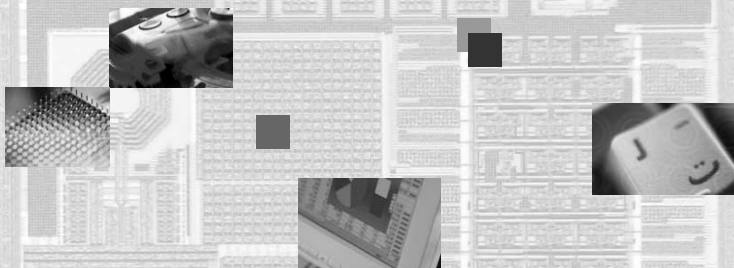


2009 SoC C o n f e r e n c e

2009년도 SoC 학술대회

2 0 0 9 S o C C o n f e r e n c e



<http://soc2009.chonbuk.ac.kr>

일 시 : **2009년 5월 15일** (금) 19:00 - 21:30 (리셉션)
5월 16일 (토) 09:00 - 17:00 (학술제)

장 소 : 전주 한옥마을 (리셉션)
전북대학교 진수당 (학술제)

주 최 : 대한전자공학회 SoC 설계 연구회

주 관 : 전북대학교 BK21 전자정보고급인력양성사업단
ETRI 시스템반도체진흥센터

후 원 : IDEC, KETI, 마그마 코리아, 한국멘토,
휴인스, 한백전자, Synopsys, 리버트론,
IEEE CAS Seoul Chapter,
IEEE SSCS Seoul Chapter



사단법인 **대한전자공학회**
The Institute of Electronics Engineers of Korea



PLL

좌장 : 신현철 (광운대)

A3.1 A Design of Tx PLL and Spread Spectrum Clock Generator for Display Port Application

김성근, 김영신, 김상우, 조후현, 부영건, 이강윤(건국대)

A3.2 MIPI 및 SMIA 모바일 이미지 센서용 주파수 합성기 설계

박선용(연세대&삼성전자I)
최우영(연세대)

A3.3 DTV 응용을 위한 광대역 CMOS 주파수합성기 설계*

고승오, 이덕환, 박종태, 유종근(인천대)

A3.4 RFID 리더를 위한 Ring VCO를 사용한 CMOS 주파수합성기 설계*

서희택, 전지호, 박종태, 유종근(인천대)

A3.5 DAB-T 규격을 만족하는 주파수합성기 연구*

김용우, 문 용(숭실대)

A3.6 일정한 펌프전류와 작은 전류 부정합 특성을 가지는 전하 펌프*

이동건, 정항근(전북대)

MIPI 및 SMIA 모바일 이미지 센서용 주파수 합성기 설계

박선용¹, 최우영²

¹연세대학교 전기전자공학과 & 삼성전자 System LSI, ²연세대학교 전기전자공학과
전화: (031)209-3425, E-mail: psunyong@samsung.com

A Frequency Synthesizer Design for MIPI and SMIA mobile image sensor applications

Sun-yong Park¹, Woo-Young Choi²

¹Department of Electrical Electronic Engineering, Yonsei Univ. & Samsung Electronics System LSI, ²Department of Electrical Electronic Engineering, Yonsei Univ.

요 약

본 논문에서는 모바일 이미지 센서에 사용되는 MIPI 인터페이스와 SMIA 인터페이스를 위한 저전력 광대역 주파수 합성기를 설계하였다. 0.18um CMOS 표준공정을 사용하였으며, 모바일 이미지 센서용으로 대기 누설 전류를 최소화 하기 위하여 게이트 길이 0.35um의 thick CMOS 트랜지스터를 사용하였다. 공정변화 및 전압과 온도에도 SMIA용 650MHz에서 MIPI용 1GHz까지 동작하도록 PMOS latched delay cell을 이용하여 4단 전압조절 발진기를 설계하였으며, 6 ~ 27MHz의 기준입력 클럭을 사용하기 위하여 TSPC 타입의 레치로 전압조절 발진기 출력 클럭을 64분주하도록 하였고 주파수 락킹 시간은 5us 이하로 하였다. 설계된 주파수 합성기는 공급전압 2.4 ~ 3.2V에서 500MHz ~ 1.1GHz의 발진 클럭을 확보하였고, MIPI용 클럭으로 1GHz 동작했을때 공급전압 2.8V에서 소비 전력은 20mW로 설계되었다.

Abstract

We designed a low-power and wide tuning range frequency synthesizer for MIPI(Mobile Industry Processor Interface) and SMIA(Standard Mobile Imaging Architecture) mobile image sensor applications. Our design is based on 0.18um CMOS process but 0.35um thick CMOS transistors are used to minimize the stand-by leakage currents for mobile image sensors. A 4-stage voltage controlled oscillator which consists of Maneatis PMOS latched delay cell designed to operate from 650MHz(SMIA applications) to 1GHz(MIPI applications) with consideration for PVT(Process, Voltage, Temperature) worst conditions. We designed a TSPC(Truth Single Phase Clock) latch type 64 clock divider using 6 ~ 27MHz input reference clock, The locking time is under 5us. The designed frequency synthesizer achieves 500MHz ~ 1.1GHz oscillation clock at 2.4 ~ 3.2V supply voltage, and when it runs at 1GHz, power consumption is 20mW at 2.8V supply voltage.

Keywords : MIPI(Mobile Industry Processor Interface), SMIA(Standard Mobile Imaging Architecture), wide range PLL, Ring Oscillator, TSPC latched divider

I. 서 론

최근 모바일용 이미지 센서는 단위 픽셀 크기가 점차 작아졌으며 현재 1.4um 픽셀의 최소 크기가 적용된 5메가픽셀 또는 8메가픽셀급의 고해상도용 이미지 센서

가 상용화 되고 있다. 과거의 이미지 센서는 2메가픽셀급 이하의 저해상도로서 일반적으로 이미지 센서에서 출력되는 픽셀 정보를 디지털 10비트(Data 0bit ~ Data 9bit)를 병렬 출력 방식으로 수신단으로 보내거나 SMIA (Standard Mobile Imaging Architecture)로

불리는 CSI(Camera Serial Interface) 규격으로 수신 단으로 보내었다. 그러나 5메가픽셀 이상의 고해상도용 이미지 센서의 픽셀 정보를 수신단으로 보내기 위해서는 더 높은 주파수 대역을 확보해야 한다. 예를 들어 8 메가픽셀(가로 3360픽셀 X 세로 2520픽셀)이미지센서^[1]의 경우 수평 블랭크 및 수직 블랭크 데이터를 포함하여 1프레임당 약 94메가비트의 데이터가 발생하며 1초에 15프레임을 전송하기 위해서는 초당 1410메가비트의 전송 속도를 요구한다. 이에 2004년에 NOKIA, ARM, ST, TI에 의해 설립된 MIPI(Mobile Industry Processor Interface) 단체에서 2005년에 발표된 CSI-2 (Camera Serial Interface-2) 규격을 통하여 고해상도 이미지 센서의 픽셀 데이터가 전송이 가능하도록 하고 있다. 이러한 MIPI 전송을 위해서는 1개의 데이터 라인당 최대 1Gbps를 보장해야 하며 이때 1GHz의 입력 클럭이 필요하다. 따라서 본 논문에서는 고해상도 이미지 센서에 사용되어 MIPI 데이터 전송 또는 SMIA 데이터 전송이 가능하도록 650MHz ~ 1GHz에서 사용 가능한 저전력 광대역 주파수 생성기를 제안한다.

II. MIPI와 SMIA 표준

1. MIPI 표준 개요

MIPI 인터페이스에는 그림 1과 같이 CSI-2 프로토콜 표준 계층과 D-PHY인 물리 계층으로 구성된다.

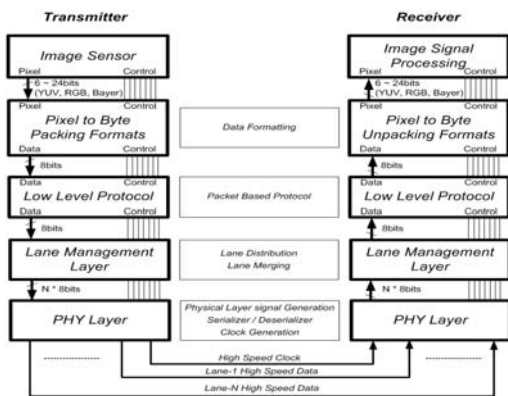


그림 1. CSI-2 계층 및 PHY 계층 정의

CSI-2 계층에서는 이미지 센서로부터 출력되는 YUV, RGB, Bayer 등의 픽셀 디지털 코드를 패킷포맷 계층(Pixel to Byte Packing Formats)에서 바이트 포맷으로 변환하고 하위레벨 프로토콜 계층(Low Level Protocol)에서는 바이트 포맷 데이터를 패킷 데이터 형식으로 변환한다. 레인관리 계층(Lane Management

Layer)에서는 멀티레인이 지원하기 위하여 물리 계층으로 각각 독립적으로 패킷 데이터를 분배한다. 1개 라인당 최대 1GBPs로 한정되어 있으므로 그 이상의 속도로 패킷 데이터를 보내기 위해서는 2개 이상의 레인을 사용하여 고해상도 이미지 픽셀 데이터를 전송한다. 물리 계층에서는 LVDS(Low Voltage Differential Signal)방식의 클럭 레인과 N개의 데이터 레인으로 구성되어 있으며 그림 2와 같이 각 클럭레인 드라이버와 직렬 데이터 레인 드라이버에 1GHz의 주파수 생성기가 클럭 입력으로 사용된다.^{[2][4]}

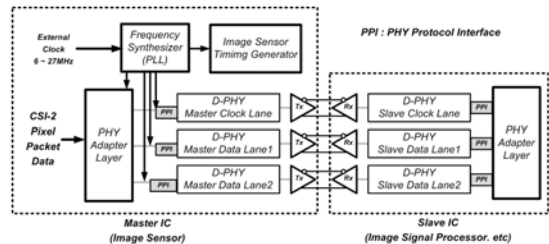


그림 2. 2 데이터 라인 물리계층 구조

2. SMIA 표준 개요

SMIA 인터페이스는 CCP2 (Compact Camera Port 2) 데이터 포맷을 최대 650Mbps를 지원하는 LVDS 방식의 클럭레인과 데이터레인을 통해 전송한다.^{[3][4]} 표 1은 MIPI 표준과 SMIA 표준을 보여준다.

	MIPI	SMIA
데이터 속도	~ 1Gbps/Lane	~ 650Mbps
LVDS전압	200mV(HS mode)	1V(sub LVDS)
사용 온도	-20°C ~ 60°C	
공급 전압	아날로그 및 IO 전압 : 2.8V 디지털 전압 : 1.8V(또는 1.2V)	

표 1. MIPI 및 SMIA 표준 비교^{[2][3]}

III. 회로 구현

최근의 모바일 이미지 센서의 경우 디지털 및 아날로그의 듀얼 공급 전압을 사용하며, 모바일 특성상 저전력 및 대기전력의 최소화가 필요하게 되는데, CMOS 공정 기술의 발달로 디지털 회로의 게이트길이가 45nm까지 상당히 줄어들었으나 트랜지스터의 대기누설 전류는 크게 증가하게 되었다. 따라서 모바일 이미지 센서에서는 로직 회로를 제외한 대부분의 아날로그 및 픽셀 회로에서 게이트 유전막이 두꺼운 트랜지스터를 사용하고 이때 전력을 줄이기 위하여 2.8V를 공급 전압으로 채택한다. 따라서 본 논문에서는 공급전압 2.8V를 기준으로 그림 3과 같은 주파수 합성기 구조를 설계하였다.

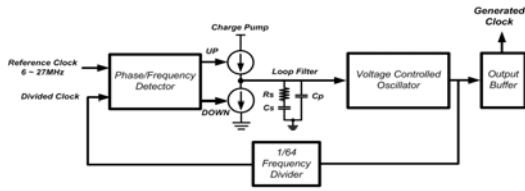


그림 3. 주파수 합성기 전체 구조

1. 위상/주파수 검출기 및 전하펌프와 루프필터

본 설계에서 사용한 위상 검출기는 Positive edge triggered D플립플롭으로 구성된 3상태 연속형태의 위상/주파수 검출기를 사용하여 기준 클럭과 전압조절 발진기로 부터 분주된 내부 클럭의 차에 비례하는 위상 및 주파수를 검출하고 락킹 속도를 향상시켰다.[5] 외부 기준 클럭보다 내부 분주된 클럭의 위상이 빠른 경우 다운 펄스를 발생하고 반대로 느린 경우 업 펄스를 발생한다. 위상/주파수 검출 회로로부터 생성되는 업 펄스 발생시 루프 필터에 전류가 충전되고, 다운 펄스 발생시 전류를 방전하기 위해 그림 4와 같은 구조의 전하 펌프 회로를 적용하였다. 업 펄스 발생에 따른 루프 필터 유입 전류와 다운 펄스 발생시 따른 방전 전류의 양을 같게 하기 위하여 업/다운 스위치와 동일한 전류 패스를 만들고 앰프를 적용하였으며 전류의 양은 그림 5와 같이 업 펄스 발생시 충전 전류(I charge)에 의해 루프필터의 출력 전압이 상승, 다운 펄스 발생시 방전 전류(I discharge)에 의해 루프 필터의 전압이 낮아지는 것을 확인하였다.

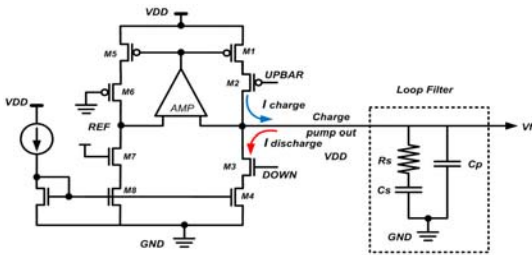


그림 4. 전하 펌프 회로와 루프 필터 회로

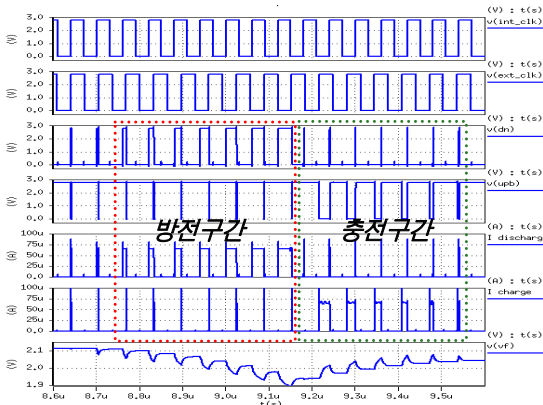


그림 5. 위상/주파수 검출에 따른 전류 및 루프필터 출력

2. 광대역 전압조절 발진기

본 설계는 전압조절 발진기에서 전압조절을 통해 650MHz ~ 1GHz까지의 광대역 주파수 생성을 위하여 그림 6과 같은 4단 전압조절 발진기와 트랜지스터 7개로 구성된 단위 지연셀을 적용하였다. VDD에 연결된 로드저항용 트랜지스터 M3, 4에 의해 공급전압의 노이즈를 효과적으로 억제하였고, 추가로 트랜지스터 M5, M6를 CMOS 래치 형식으로 연결하여 래치의 순방향 피드백에 의해 단위 지연셀의 출력 파형을 공급전압 VDD로 확실히 세워 주어 전압조절 발진기의 노이즈 성분을 억제토록 하였다.[6]

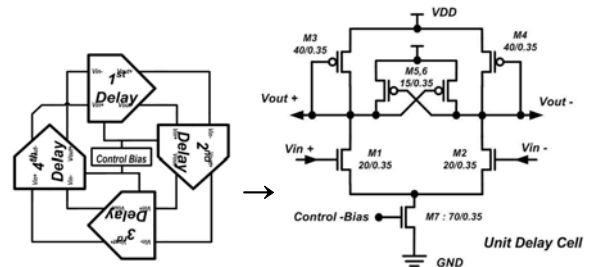


그림 6. 4단 전압조절 발진기 및 단위 지연 셀

그리고 트랜지스터 M7에 의해 단위 지연셀에 흐르는 전류량을 조절하여 주파수 범위가 650MHz ~ 1GHz까지 보장되도록 하였다. 또한 전압조절 발진기의 주파수 범위는 그림 8과 같이 -20도에서 60도의 보장 온도 및 공정 변화에도 동작하도록 설계하였다.

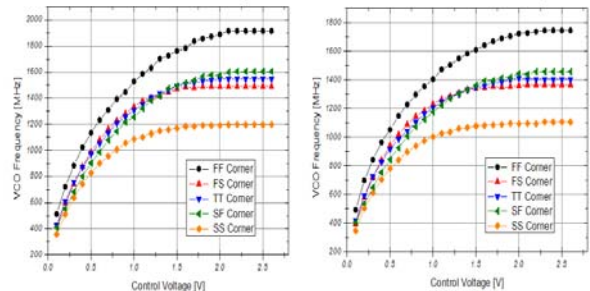


그림 8. -20°C 및 60°C 트랜지스터 코너별 주파수 범위

3. 주파수 분주기

모바일 이미지 센서의 경우 기준 입력 전압은 6~27MHz의 낮은 기준 클럭 입력을 사용하는데 이에 대해 MIPI 및 SMIA 인터페이스를 동작시키기 위해서는 전압조절 발진기로부터 생성되는 1GHz 이상의 클럭을 기준 클럭 입력과 같은 대역으로 분주해야 하며 이때 64분주를 통해 기준 클럭 입력 대역과 맞추도록 하였다. 그림 9과 같은 TSPC 타입 2분주기 6개를 직렬 연결하여 최대 전압조절 발진기의 클럭인 1.9GHz대역까지 충분히 분주하도록 설계하였다.[7]

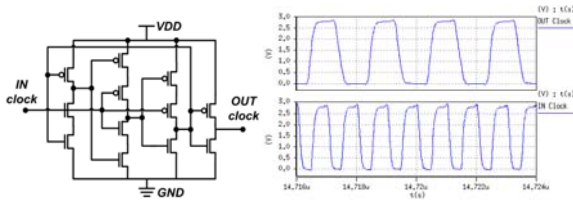


그림 9. TSPC D 플립플롭 2분주회로 및 출력결과

4. 주파수 합성기 시뮬레이션 결과

구현된 주파수 합성기의 전체 레이아웃은 그림 12와 같이 배치하였으며 코아면적은 121um X 51um이다.

설계된 주파수 합성기는 그림 10과 같이 MIPI응용을 위한 1GHz의 락킹 시간은 2.5us이며 SMIA응용을 위한 650MHz의 락킹 시간은 2us로 확인되었다.

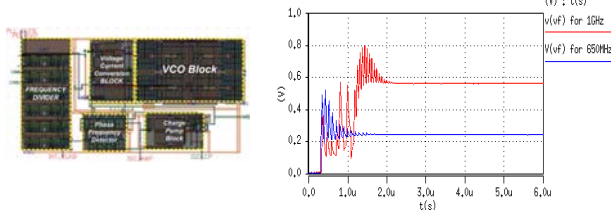


그림 10. 설계된 주파수 합성기 레이아웃 및 락킹결과

IV. 실험 결과

제작된 주파수 합성기에 대해 먼저 공급 전압에 따른 주파수 범위를 측정하였으며 그림 11와 같이 650MHz ~ 1GHz까지 발진하였다.

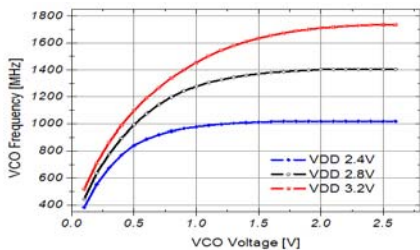


그림 11. 공급전압에 따른 전압조절 주파수 범위측정결과

그림 12는 RBW(Resolution Bandwidth)가 30kHz 일 때 각각 1GHz 및 650MHz에서 측정한 파워 스펙트럼 출력 결과이다.

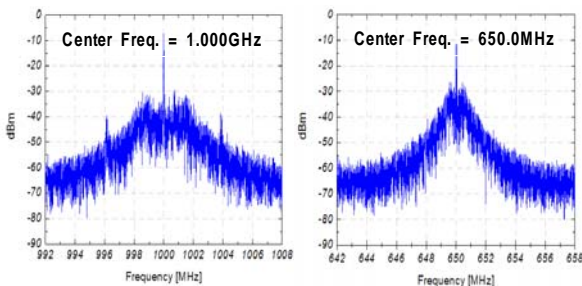


그림 12. 1GHz 및 650MHz에서의 파워 스펙트럼

사용 공정	Dongbu 0.18um CMOS
공급 전압	2.4V ~ 3.2V (Typical 2.8V)
사용주파수 범위	500MHz ~ 1.1GHz
락킹 시간	~ 2.5u sec
전력 소비	20mW (at 1GHz)
칩 면적 (코아)	121um X 51um

표 2. 제작된 주파수 합성기 결과

V. 결론

본 설계는 고해상도 이미지 센서에 사용되는 주파수 합성기로서 MIPI 및 SMIA 인터페이스를 지원하기 위하여 공급전압 2.8V 및 0.35um IO 트랜지스터를 사용하였고, 규격 온도 및 공정 산포에 대해 500MHz ~ 1.1GHz의 광대역 클록을 발생, 2.5us 이하의 락킹 시간을 적용하여 MIPI 인터페이스가 적용된 이미지 센서의 주파수 합성기로서 사용될 수 있다.

참고 문헌

[1] J. H. Kim, J. C. Shin, C. R. Moon, S. H. Lee, D. C. Park, H. G. Jeong, D. W. Kwon, J. W. Jung, H. P. Noh, K. B. Lee, K. G. Koh, D. H. Lee and K. N. Kim, "1/2.5" 8 mega-pixel CMOS Image Sensor with enhanced image quality for DSC application", IEDM, Dec 2006.

[2] www.mipi.org

[3] www.smia-forum.org

[4] M. Y. Eom, J. G. Oh, and S. W. Kim, "Camera interface method in mobile handset and its performance comparison" ICPPW. pp. 33-33, Sep 2007.

[5] Zhinian Shu, Ka Lok Lee, and Bosco H. Leung, "A 2.4-GHz Ring-Oscillator-Based CMOS Frequency Synthesizer With a Fractional Divider Dual-PLL Architecture" IEEE J. Solid-State Circuits, VOL39. NO. 3, pp. 452-462, Mar 2004.

[6] M. El-Hage and Fei Yuan, "An overview of Low-Voltage VCO delay cells and a worst-case analysis of supply noise sensitivity" CCECE, pp. 1785-1788, May 2004.

[7] J. U. Lee, "Research of Gbps Data and clock Recovery Circuit" Yonsei Univ. Master's thesis, p.42, Feb 2001