

2010 SoC C o n f e r e n c e

2010년도 SoC 학술대회

2 0 1 0 S o C C o n f e r e n c e



<http://soc2010.inha.ac.kr>

일 시 : **2010년 4월 30일** (금) 18:00 ~ 20:30 (리셉션)
5월 1일 (토) 08:00 ~ 18:00 (학술제)

장 소 : 라마다송도호텔 12층 뷔페식당 (리셉션)
인하대학교 하이테크관 (학술제)

주 최 : 대한전자공학회 SoC 설계 연구회

주 관 : 인하대학교, ETRI 시스템반도체진흥센터

후 원 : IDEC, 휴인스, Synopsys, 인하대학교 초광대역
무선통신연구센터, 울산대학교 e-Vehicle 연구
인력양성사업단, 인하대학교 정보전자공동연구소,
인하대학교 전자공학과 BK사업단, 실리컴텍, 아이
엔텍, 리버트론, 하이버스, IEEE CAS Seoul
Chapter, IEEE SSCS Seoul Chapter



사단
법인 **대한전자공학회**
The Institute of Electronics Engineers of Korea

High Speed Interface SoCs

좌장 : 심재윤, 박성민

P1.1 Multi-channel 5Gb/s/ch SERDES for Parallel Optical Links

Changchun Zhang(Southeast University, Ewha Womans University)

Zhigong Wang(Southeast University)

S. M. Park(Ewha Womans University)

P1.2 비동기 클럭 샘플링을 이용한 적응형 등화기

김왕수, 성장경, 한평수, 최우영(연세대)

P1.3 빠른 locking time, 넓은 Range을 가지는 디지털 지연 고정 루프에 대한 연구

서용원, 김정범(강원대)

P1.4 USB 3.0 용 5Gb/s급 클럭-데이터 복원 회로

최광천, 최우영(연세대)

P1.5 A 8-PAM multi Gb/s serial link Receiver in 0.13um CMOS Technology

윤대호, 범진욱(서강대)

P1.6 Phase-Locked Loops의 Charge Pump Current Mismatch를 줄이기 위한 Digital Calibration 기법

정찬희, 이두찬, 김규영, 김수원(고려대)

P1.7 A CMOS 7.2 Gb/s 8-PAM transmitter for Chip-to-Chip Communication

유성민, 범진욱(서강대)

P1.8 위상 변조를 이용한 고속 저전력 직렬 입출력 인터페이스 회로

박형민, 김상호, 강진구(인하대)

P1.9 병렬인터페이스와 직렬인터페이스 변환의 전력 소모 모델

오성민, 백상현(한양대)

비동기 클럭 샘플링을 이용한 적응형 등화기

김왕수¹, 성창경¹, 한평수², 최우영¹

¹연세대학교 전기전자공학부

²LG전자 시스템 IC 사업팀 MCS 그룹

전화: (02)2123-7709, E-mail: knight0007@tera.yonsei.ac.kr

An Asynchronous Clock Sampling Adaptive Equalizer

Wang-Soo Kim¹, Chang-Kyung Seong¹, Pyung-Su Han², Woo-Young Choi¹

¹School of Electrical and Electronic Engineering, Yonsei University

134 Shinchon-dong, Seodaemun-ku, Seoul, Korea 120-749

²LG electronics System IC Business MSC Group

Woomyun-dong, Seocho-gu, Seoul, Korea 137-724

요 약

본 논문은 비동기 클럭 샘플링 히스토그램 정보를 이용한 간단한 적응형 등화기 설계를 제안한다. 히스토그램 정보는 등화된 신호를 비동기된 클럭으로 랜덤 샘플링함으로써 얻어질 수 있다. 이렇게 얻어진 히스토그램을 분석하여 가장 높은 값의 분포를 갖는 등화 코드를 탐색하여 최적의 비트 오류율을 갖는 신호 상태를 얻을 수 있다. 시뮬레이션을 통해 설계된 적응형 등화기를 사용하여 3-m 디스플레이 포트 케이블을 통과한 5-Gb/s PRBS 2⁷-1 신호 전송이 가능함을 입증하였으며, 디지털 제어기의 동작 검증으로 등화 코드에 적응 제어가 최적의 조건으로 수렴함을 확인하였다.

Abstract

This paper presents a simple asynchronous clock sampling adaptive equalizer. The histograms are obtained by random sampling of the equalized signals with an asynchronous clock. The equalization code is set so that the equalizer produces the highest concentration in the histograms. As a results, signal quality become the best condition for the lowest bit error rate(BER). The simulation results represent designed adaptive equalizer can successfully equalize 5-Gb/s 2⁷-1 data through a 3-m DisplayPort cable with optimum equalization code.

Keywords : Adaptive equalizer, Asynchronous clock, random sampling

I. 서 론

최근 집적 공정의 발전과 더불어 신호의 통신 속도가 급진적으로 높아지면서 대역폭의 제한이 초고속 통신 시스템에 큰 병목으로 작용하고 있다. 게다가 신호 전송에서의 다양한 채널 특성의 변화라는 난제가 있기 때문에 초고속 통신에서 적응형 등화기는 그 역할이 부각되고 있다.

기존에 보고된 적응형 등화기에 대해 살펴보면 여러

적응 알고리즘들이 제안되고 있음을 확인할 수 있다. 먼저 신호의 파워를 추출하여 저주파 부분과 고주파 부분을 비교하여 등화기를 적응 조절 해주는 방법이 보고되었다^{[1],[2]}. 하지만 위 방법은 공정과 공급 전원 그리고 온도 변화에 취약하다는 단점이 있다. 다음 보고된 아이 오프닝 모니터링 방법은 아이 다이어그램에서 추출된 신호 정보를 통해 신호의 전송 품질을 분석하여 등화기를 적응 조절해 주는 방법이다^{[3],[4]}. 하지만 이 방법은 신호의 샘플링 시 신호와 동기화된 클럭이 필요

하며 초기 완전히 닫힌 아이 다이어그램에서 클럭을 제공받기 어렵다는 한계가 존재한다.

본 논문은 비동기 클럭 샘플링을 이용하여 신호의 전송 품질을 평가하여 등화기의 적응 조절을 하는 새로운 방법을 제안한다. 비동기 클럭을 이용함으로써 기존 아이 오프닝 모니터링의 신호와 클럭 동기화 한계를 극복하였다.

II. 본 론

1. 이론 분석

신호의 전송 품질을 평가하는 기준으로 아이 다이어그램에서 추출된 히스토그램을 이용하여 계산된 Q factor를 사용할 수 있다.

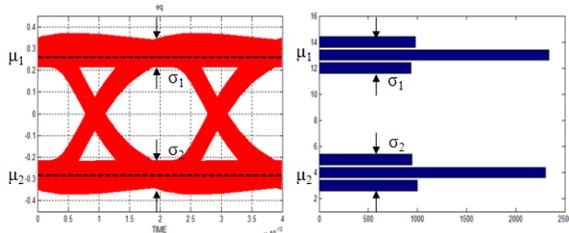


그림 1. 아이 다이어그램과 동기식 클럭 추출 히스토그램

그림 1은 Matlab 시뮬레이션을 통한 신호의 아이 다이어그램과 신호와 동기화된 클럭을 사용하여 아이에 중앙에서 신호를 추출한 히스토그램이다. 여기서 μ_1 과 μ_2 는 신호 상단부와 신호 하단부 레벨의 평균값을 나타내고, σ_1 과 σ_2 는 각 신호 레벨에 표준 편차 값을 나타낸다. 이 값들을 이용하여 Q factor를 구해보면 다음과 같다^{[5],[6]}.

$$Q = \frac{\mu_1 - \mu_2}{\sigma_1 + \sigma_2} \quad (1)$$

아이 다이어그램에서 추출된 히스토그램은 앞서 언급한 평균값과 표준 편차 값을 갖는 두 개의 가우시안 분포로 근사화시킬 수 있고, 주어진 신호 판단 레벨(D)에 대하여 비트 오류율로 계산될 수 있다.

$$BER(D) = \frac{1}{2} \left\{ \operatorname{erfc} \left(\frac{|\mu_1 - D|}{\sigma_1} \right) + \operatorname{erfc} \left(\frac{|\mu_0 - D|}{\sigma_0} \right) \right\} \quad (2)$$

$$\operatorname{erfc}(x) = \frac{1}{\sqrt{2\pi}} \int_x^\infty e^{-\beta^2/2} d\beta \approx \frac{1}{\sqrt{2\pi}} e^{-x^2/2}$$

수식을 살펴보면 Q factor 값이 커질 수록 주어진 신호 판단 레벨에 대하여 비트 오류율의 값이 작아지고, 신호의 전송 품질은 좋아지게 된다. 이러한 전송 품

질과 Q factor 값에 대한 경향성은 입력 신호와 비동기화된 클럭에 대해서도 동일하게 적용된다.

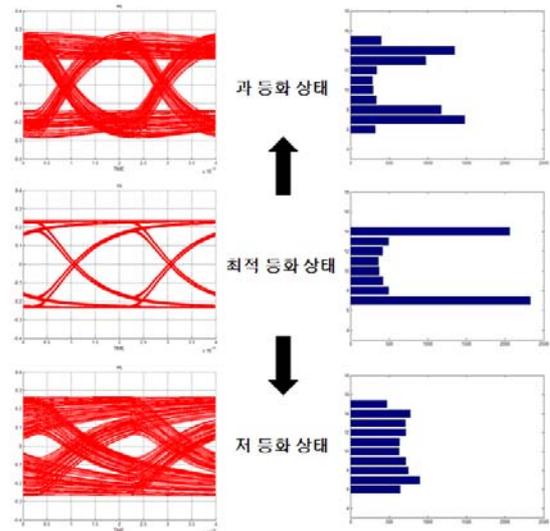


그림 2. 아이 다이어그램과 각 오프닝 상태에 따른 비동기식 클럭 추출 히스토그램

그림 2의 Matlab 시뮬레이션 결과를 살펴보면 각 아이 다이어그램의 오프닝 상태에 따른 히스토그램 값들을 확인 할 수 있다. 여기서 각 히스토그램은 신호의 전송 속도와 비동기화된 주파수를 갖는 클럭 신호를 통해 랜덤하게 추출되었다. 기존의 Q factor의 경향성과 동일하게 가장 최적의 아이 오프닝 상태를 갖는 아이 다이어그램에 대하여 가장 높은 Q factor 값을 갖는 것을 확인할 수 있다. 이러한 특성을 사용하여 등화 필터에 계수 값을 최적의 신호 전송 품질을 갖도록 조절할 수 있다.

2. 시스템 블록 구성

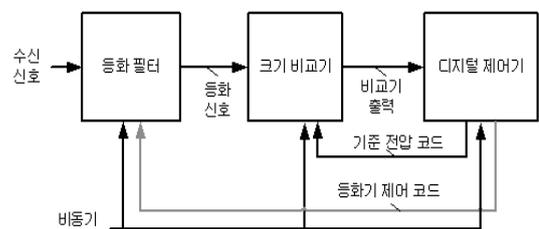


그림 3. 비동기식 적응형 등화기 구성도

그림 3은 비동기 클럭을 이용한 적응형 등화기의 구성도를 보여준다. 먼저 등화 필터에 코드가 입력되고, 기준 전압을 공급하는 디지털-아날로그 변환기에 코드가 입력된다. 그 후 등화 필터를 통과한 수신 신호는

비동기 클럭 입력 시 샘플링 되어 기준 전압과 비교기를 통해 비교되고 기준 전압보다 큰 수신 신호에 대하여 1의 값을 내보내게 된다. 이 값은 카운터를 통해 일정 기간 동안 누적되어 카운팅된다. 이후 기준 전압 코드가 다음 코드로 변환이 되고 다음 기준전압 값에 대하여 동일한 작업이 반복되게 된다. 모든 기준 전압 값에 대하여 누적된 값을 얻어내면 하나의 등화기 코드에 대한 누적 확률 분포를 얻어낼 수 있다. 각 누적 확률 분포의 값의 차이를 디지털 제어기를 통해 계산하면 그 값들은 확률 밀도 함수를 나타내는 히스토그램으로 얻을 수 있다. 위를 다음 등화기 코드에 대하여 반복 수행하여 모든 등화 코드에 대한 확률 밀도 함수를 추출하고 가장 큰 극점 값을 나타내는 등화 코드를 디지털 제어기를 통해 설정하여 주면 Q factor 값이 가장 큰 최적 신호 전송 품질을 얻어낼 수 있다.

III. 시뮬레이션 결과

Hspice와 Modelsim을 통해 비동기식 적응형 등화기를 구현하여 시뮬레이션 하였다. 5-Gb/s PRBS 2^7-1 입력 신호에 대하여 3-m 디스플레이 포트 케이블 모델링 채널을 통과시켜 등화기에 전송하였다. 4비트 제어식 등화 필터와 4비트 아날로그-디지털 변환기로 디지털 제어기의 값이 인가되도록 설계하였으며 클럭 센스 증폭기를 통해 데이터 비교를 수행하였다.

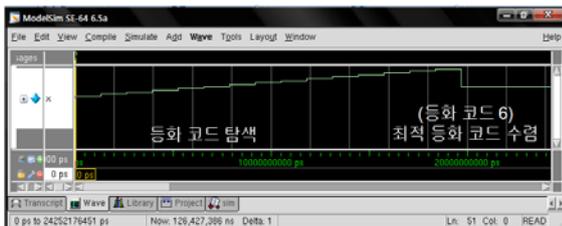


그림 4. 등화기 적응 제어 시뮬레이션 결과

그림 4는 등화기 코드 탐색 후 최적 등화 코드가 수렴되는 디지털 적응 제어 시뮬레이션 결과를 나타낸다. 최적의 등화 코드는 디지털 제어기를 통해 등화 필터에 인가되고 최적 등화 제어는 완료된다.

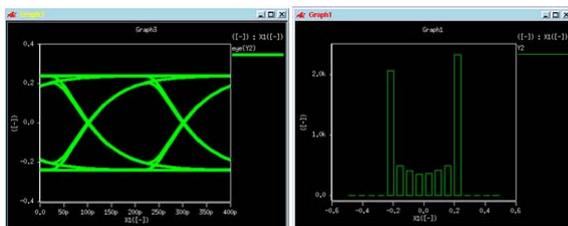


그림 5. 최적 등화 아이 다이어그램과 히스토그램

그림 5는 최적 등화 코드가 등화 필터에 인가된 아이 다이어그램과 그 때의 히스토그램을 나타낸다. 최적의 신호 전송 품질을 갖는 아이 다이어그램을 얻을 수 있음을 확인할 수 있다.

IV. 결론

본 논문에서는 기존의 동기화된 클럭을 이용하여 신호의 전송 품질을 평가하여 등화기의 적응 조절을 제어하는 방식의 한계를 극복하는 비동기식 클럭 샘플링을 이용한 새로운 방식의 적응형 등화기를 설계하였다. 간단한 등화 필터와 비교기, 디지털-아날로그 변환기를 제외한 부분의 디지털 변환을 통해 저전력 회로 설계가 가능하였으며, 시뮬레이션 결과 최적의 전송 품질로 등화 코드를 적응 제어함을 확인할 수 있었다.

참고 문헌

- [1] J. Lee, "A 20-Gb/s adaptive equalizer in 0.13- μ m CMOS technology," *IEEE J. Solid-State Circuits*, vol. 41, no. 9, pp. 2058-067, Sep. 2006.
- [2] C. Liao, S. Liu, "40-Gb/s CMOS Serial Link Receiver with Adaptive Equalization and Clock/Data Recovery," *IEEE J. Solid-State Circuits*, vol. 43, no. 11, pp. 2492-502, Nov. 2008.
- [3] B. Analui, A. Rylyakov, S. Rylov, M. Meghelli and A. Hajimiri, "10-Gb/s two-dimensional eye-opening monitor in 0.13- μ m standard CMOS," *IEEE J. Solid-State Circuits*, vol. 40, pp. 689-699, Dec. 2005.
- [4] H. Noguchi, N. Yoshida, H. Uchida, M. Ozaki, S. Kanemitsu and S. Wada, "40-Gb/s CDR with Adaptive Decision-Point Control Based on Eye-Opening Monitor Feedback," *IEEE J. Solid-State Circuits*, vol. 43, no. 12, pp. 2929-938, Dec. 2008.
- [5] N. S. Bergano, F. W. Kerfoot, and C. R. Davidson, "Margin measurements in optical amplifier systems" *IEEE Photon. Technol. Lett.*, vol. 5, pp. 304-306, 1993.
- [6] H. Chen, A.W. Poon, X.-R. Cao, "Transparent monitoring of rise time using asynchronous amplitude histograms in optical transmission systems" *IEEE/ OSA J. Lightwave Technol.* vol. 22, pp. 1661-667, July. 2004.