

2011

SoC Conference

2011년도 SoC 학술대회

| 일시 |

- 2011년 4월 29일(금) 18:30-20:30
(Reception 및 SoC 설계 연구회 포럼)
- 2011년 4월 30일(토) 9:00-18:00 (학술발표)

| 장소 |

- 청주라마다호텔 2층 레스토랑 카페라마다
(Reception 및 SoC 설계 연구회 포럼)
- 충북대학교 인문사회관 (학술발표)

| 주최 | 대한전자공학회 SoC 설계 연구회

| 주관 | 충북대학교, ETRI 시스템반도체진흥센터

| 후원 | 실리콘웍스, 휴인스, 누비콤텍트로닉스, 엠텍비전,
삼성전자, 맹성재특허사무소, 충북테크노파크, IDEC,
IEEE CAS Seoul Chapter, IEEE SSCS Seoul Chapter

Session IV. D5: Clocking Circuits

세션 번호	발표 시간	발표 장소	좌장
D5	16:00-17:00	103호	정진균

D5.1 HDMI 1.3a용 2차 시그마-델타 모듈레이터를 이용한 오디오 클럭
생성기*

오승욱, 김상호, 강진구(인하대학교)

D5.2 적응형 조절 회로를 이용한 전원 잡음 보상 ring oscillator

박영석, 최우영(연세대학교)

D5.3 온칩 통신을 위한 저 전력 동기화 기술

이정현, 김동철, 어영선(한양대학교)

D5.4 출력폭 감소 이진 위상검출기를 사용한 클럭 데이터 복원 회로*

임상순, 강진구(인하대학교)

적응형 조절 회로를 이용한 전원 잡음 보상 ring oscillator

박영석¹, 최우영¹

¹연세대학교

전화: (02)2123-7709, E-mail: circuit@tera.yonsei.ac.kr

Supply noise insensitive ring oscillator with adaptive control circuit

Young-Seok Park¹, Woo-Young Choi¹

¹Yonsei University

요 약

본 논문에서는 전원 잡음에 둔감한 발진 주파수를 가지는 CMOS ring oscillator를 설계하였다. 제시한 전원 잡음 보상형 ring oscillator 는 on-chip 으로 내장된 적응형 bias-current 및 voltage-swing 조절 회로를 이용하였다. 설계된 ring oscillator 는 0.13- μm 공정을 사용하였고 전원 변화에 대한 민감도는 $0.013\% \cdot f_{\text{oscillator}}/1\% \cdot V_{\text{dd}}$ 를 보이고 있다.

Abstract

This paper demonstrates a CMOS Ring oscillator whose oscillation frequency is insensitive to supply noise. Our ring oscillator achieves this with on-chip adaptive bias-current and voltage-swing control. A prototype oscillator is fabricated with 0.13 μm CMOS technology and it achieves static supply voltage sensitivity of $0.013\% \cdot f_{\text{oscillator}}/1\% \cdot V_{\text{dd}}$.

Keywords: Ring oscillator, Phase Locked Loops, Supply voltage sensitivity, Supply noise compensation

I. 서 론

Phase-Locked Loops (PLLs) 는 on chip clock generation 회로로서 많은 시스템에 사용되고 있으며 디지털 회로들의 정확한 동작을 위해서는 low-noise PLL을 디자인 하는 것이 매우 중요하다. Ring oscillator 는 직접화가 쉽고, 주파수 가변 범위가 넓으며 또한 multi-phase clock 신호를 쉽게 생성할 수 있다는 장점 때문에 PLL system을 디자인 하는 데에 많이 사용되고 있다. 하지만, ring oscillator 는 전원 잡음과 같은 외부 잡음에 대단히 민감하다는 단점이 있기 때문에, 이를 줄이기 위한 연구가 활발히 진행되고 있다.

[1]-[4].

Ring oscillator 의 전원 잡음을 줄이기 위해 가장 흔히 사용되는 방법은 supply voltage regulator를 이용하는 방법[2] 인데, 이 방법은 regulator를 안정적으로 동작시키기 위해서 매우 큰 capacitor 가 필요하다는 단점이 있으며, power 소모 또한 크다. 전원과 oscillator 의 control node를 ac coupling 시키는 방법[3] 또한 매우 큰 capacitor 가 필요하다는 단점을 가지고 있다.

본 논문에서는 Ring oscillator의 전원 잡음에 대한 민감도를 줄이는 새로운 방식의 on-chip 적응형 보상 기술을 제안하고 있다.

voltage 인 V_4 가 되도록 V_{load} 를 조절하고, V_{load} 는 모든 ring oscillator 의 delay stage 에 인가되어 ring oscillator 의 voltage swing을 bias-voltage (V_{bias}) 의 변화에 상관 없이 항상 일정하게 V_{dd} 에서 V_4 까지 움직이도록 만들어준다.

이 회로를 사용하여 ring oscillator 의 voltage swing을 규제하게 되면, V_4 값은 전원 전압에 의해 거의 변하지 않기 때문에 전원전압의 변화에 비례하여 ring oscillator의 voltage swing은 증가하게 된다. 이는 앞선 bias-current 조절회로에서 완벽하게 보상하지 못했던 전원전압에 의한 I_{bias} 변화를 보조하여, ring oscillator 의 전원전압에 대한 민감도를 더욱 줄여주는 역할을 한다.

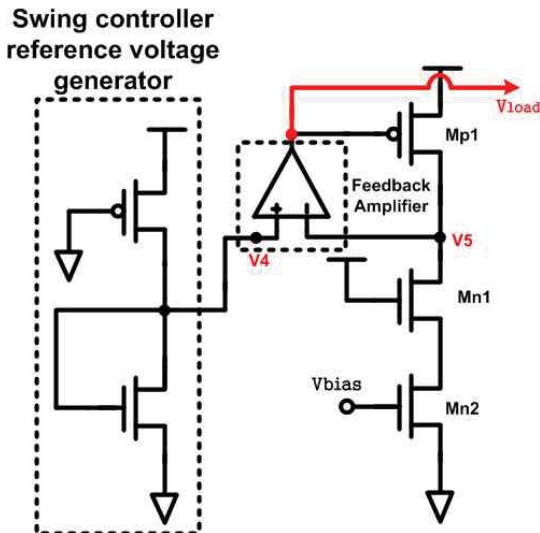


그림 3. Voltage-swing 조절 회로의 회로도
Fig. 3. Voltage-swing controller circuit topology

2. 전체 Ring oscillator 의 구조

전체 Ring oscillator 의 구조는 그림 5 와 같이 voltage swing 조절 회로와 bias-current 조절 회로로 모든 delay stage 의 current bias 와 load bias를 조절하는 형태이다. 흔히 사용되는 ring oscillator 와 본 논문에서 제안된 ring oscillator 의 유일한 차이는 이 조절회로들 뿐이며, 이 조절회로들은 모두 active 소자로서 이뤄져 있기 때문에 die area 의 불이익은 거의 없다.

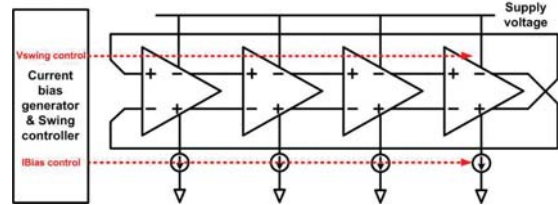


그림 4. 전체 ring oscillator 의 구조
Fig. 4. Proposed 4-stage ring oscillator

III. 측정결과

제안된 Ring oscillator 의 성능을 확인하기 위해서, 두 가지 형태의 ring oscillator를 0.13 μ m CMOS 공정을 이용하여 제작하였다. Bias-current 조절 회로와 voltage-swing 조절 회로를 포함한 ring oscillator를 편의상 Type I oscillator 라 하고, 조절 회로를 포함하지 않은 ring oscillator를 Type II oscillator 라 하도록 하겠다. 그림 6은 제작된 각 Ring oscillator 의 칩사진을 보여주고 있다. Core area 는 Type I 이 0.0066mm² Type II 가 0.006mm² 으로서 면적의 차이는 거의 없음을 알 수 있다.

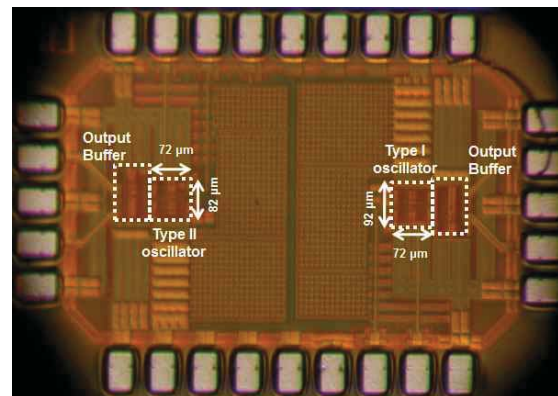


그림 5. 제작된 ring oscillator 의 chip micrograph
Fig. 5. Chip micrograph of fabricated ring oscillator

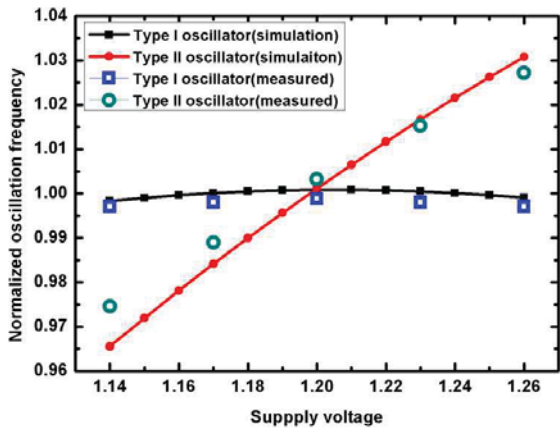


그림 6. DC 전원 전압의 변화에 대한 두 가지 형태의 ring oscillator 의 발진 주파수 변화

Fig. 6. Static supply voltage sensitivity of type I oscillator and type II oscillator

그림 7 은 전원 전압을 1.14V 에서 1.26V 까지 1.2V 기준 $\pm 5\%$ 의 변화를 주었을 때, 발진 주파수의 변화를 보여준다. 흔히 oscillator 의 전원 전압 민감도는 $\% - f_{oscillator} / \% - V_{dd}$, 즉, 전원 전압 변화율 대 발진 주파수 변화율로서 표현되는데, Type I Oscillator 의 경우 $0.013\% - f_{oscillator} / 1\% - V_{dd}$ 의 전원 전압 민감도를 보이고 있고, Type II Oscillator 는 $0.53\% - f_{oscillator} / 1\% - V_{dd}$ 의 민감도를 보인다.

IV. 결론

본 논문에서는 전원 전압의 변화에 둔감한 ring oscillator를 새로운 형태의 bias-current 조절 회로와 voltage-swing 조절 회로를 이용하여 설계 및 제작하였다. 제안된 Ring oscillator 는 die area를 거의 변화시키지 않으면서, 평범한 구조의 Ring oscillator 에 비해 전원 전압 변화에 대해서 25배 이상 개선된 전원 전압 민감도 성능을 가진다.

참고 문헌

[1] F. Herzel and B.Razavi, "A Study of Oscillator Jitter Due to Supply and Substrate Noise," IEEE Trans, Circuits Syst. II vol.46, pp.56-62, Jan, 1999
 [2] Elad Alon, et al, "Replica Compensated

Linear Regulators for Supply-Regulated Phase Locked Loops," IEEE J.Solid-State Circuits, vol.41, No.2, 2006

[3] Devesh Nema and Thomas Toifl, "Active Compensation of Supply Noise for a 5-GHz VCO in 45-nm CMOS SOI Technology," IEEE Int. Symp. Circuits and Syst. (ISCAS), pp.2617-2620, 2008.
 [4] A.Hajimiri, et al., "Jitter and Phase Noise in Ring Oscillators," IEEE J.Solid-State Circuits, vol.34, pp.790-804, 1999.

Acknowledgement

본 연구는 지식경제부 및 한국산업기술평가관리원의 산업원천기술개발사업(정보통신)의 일환으로 수행하였습니다. [10034834]. 또한 본 연구는 반도체설계교육센터(IDEC)의 CAD TOOL 및 MPW 지원을 받아 수행되었습니다.