

# 제19회 한국반도체학술대회

The 19th Korean Conference on Semiconductors

“Semiconductor for Smart Living Technologies”

● 2012년 2월 16일(목)

Plenary Talks

구두발표

포스터 발표

Chip Design Contest

● 2012년 2월 17일(금)

구두발표

포스터 발표

■ 일시 : 2012년 2월 15일(수)~2월 17일(금)

■ 장소 : 고려대학교 자연계캠퍼스



주관 : 고려대학교-공학기술연구소, BK21 정보기술사업단, WCU 플렉서블 나노시스템 기반기술 사업단, 반도체기술연구소, 타임도메인 나노기능소자연구센터, 한국반도체산업협회, 한국반도체연구조합

주최 : 한국물리학회 반도체분과회, 한국재료학회, 대한전기학회 전기재료연구회, 대한전기학회 MEMS 연구회, 대한전자공학회 반도체재료 및 부품연구회, 대한전자공학회 SoC 설계연구회, 반도체설계교육센터(IDEC)

후원 : 삼성전자, 하이닉스반도체, 동부하이텍, 재)고대한국산학융합연구재단, 한국램리서치, ASML Korea, 주식회사 티앤비나노일렉, 세미랩코리아(주), (주)유진테크, KLA-Tencor Korea, (주)미코 엠에스티, 페어차일드 코리아, 다이솔티모, (주)그랜드텍, LIG-ADP, 실리콘헨즈, 세미코리아, 코리아바쿰테크(주), 시뉴시스 코리아, IEEE Electron Device Society Korea Chapter, IEEE SSC Seoul Chapter

## M. RF Design 분과

Room A

창의관 (106)

일 시 : 2월 16일(목) 09:30-11:00

세션명 : [TA1-M] Si-Based mm-Wave and Optoelectronic Circuits

---

TA1-M-1 09:30-10:00 **[Invited]**A BiCMOS T/R Module for Phased Array Applications

저자: Byung-Wook Min

소속: School of Electrical and Electronic Engineering, Yonsei University

TA1-M-2 10:00-10:30 **[Invited]**Phased-array Transceiver Chipsets for 60-GHz Communications

저자: Dong Gun Kam

소속: Department of Electronics Engineering, Ajou University

TA1-M-3 10:30-10:45 **애벌런치 광 검출기를 사용한 10 Gb/s CMOS 집적 광 수신기**

저자: 윤진성, 이명재, 박강엽, 최우영

소속: 연세대학교 전기전자공학과

TA1-M-4 10:45-11:00 **60GHz 광섬유-무선 다운링크를 위한 SiGe BiCMOS 집적화된 광-밀리미터파 변환기**

저자: 고민수, 이정민, 윤진성, 이명재, 최우영

소속: 연세대학교 전기전자공학과

# 에벌런치 광 검출기를 사용한 10 Gb/s CMOS 집적 광 수신기

윤진성, 이명재, 박강엽, 최우영

연세대학교 전기전자공학과

## 초록

An 850nm optoelectronic integrated circuit (OEIC) receiver is fabricated with standard 0.13  $\mu\text{m}$  CMOS technology for optical interconnect applications. The OEIC receiver is composed of a silicon avalanche photodetector, a transimpedance amplifier, an equalizer, and a limiting amplifier. Using the fabricated OEIC receiver, we successfully demonstrated 10 Gb/s optical data transmission with a bit error rate of  $10^{-12}$  at the incident optical power of  $-4$  dBm.

## 1. 서론

시스템 인터페이스에서 요구되는 데이터 전송 속도는 빠르게 증가하고 있다. 한 예로 CPU 간 또는 CPU와 메모리 사이에서는 100 Gb/s 데이터 전송 속도가 요구될 것으로 예상된다 [1]. 이와 같은 시스템 요구조건을 충족시키기 위해서 광 연결 기술은 큰 관심을 받고 있다. 광 연결 기술은 기존의 구리선 기반 전기적 연결 기술에 비하여 신호의 고주파 손실이 적어서 고속 전송에 유리하다는 장점을 갖고 있다. 광 연결 기술이 기존의 고속 인터페이스에 효과적으로 접목되어야 하며 저가로 시스템이 구현되어야 한다. 이를 위해 표준 CMOS 공정을 이용한 집적 광 수신기 구현은 많은 연구가 되고 있는데, 850nm 대역의 빛 검출이 가능하고 표면방출 레이저(vertical-cavity surface-emitting laser, VCSEL)와 다중모드 광섬유(multimode fiber)와 함께 저가로 광 시스템 구현이 가능하기 때문이다.

고속 광 수신기 구현을 위해 spatially modulated light (SML) 광 검출기가 연구되었고, 이를 기반으로 등화기 회로 함께 8.5 Gb/s [2], 인덕터가 포함된 회로와 함께 10 Gb/s [3] 집적 광 수신기가 보고되었다. 또한 고속 에벌런치 광 검출기를 기반으로 4.25 Gb/s, 9 Gb/s 집적 광 수신기가 보고되었다 [4],[5]. 본 논문에서는 에벌런치 광 검출기를 사용하여 CMOS 집적 광 수신기를 구현하였고, 인덕터를 사용하지 않고 등화기 회로만을 추가하여 10 Gb/s 광 신호를 성공적으로 전송하였다.

## 2. 10 Gb/s CMOS 집적 광 수신기

그림 1은 제작된 CMOS 집적 광 수신기 구조도를 보여준다. 집적 광 수신기는 에벌런치 광 검출기(avalanche photodetector), 전치증폭기(transimpedance amplifier), 등화기(equalizer), 리미팅 증폭기(limiting amplifier)로 구성되어 있다. 회로는 공통 모드 잡음(common-mode noise)를 효율적으로 제거하기 위하여 완전 차동 구조(fully-differential configuration)로 설계되었다.

에벌런치 광 검출기는  $P^+/N$ -well 접합 구조를 사용하였다 [6].  $P^+/N$ -well 접합 구조는  $P$ -substrate에서 발생하는 느린 확산 전류의 영향을 줄일 수 있어서 고속 광 검출기 구현이 가능해진다. 비록  $N$ -well/ $P$ -substrate 접합 구조보다는 빛을 흡수할 수 있는 영역이 적지만, 이 문제는 에벌런치 효과를 써서 극복하였다.

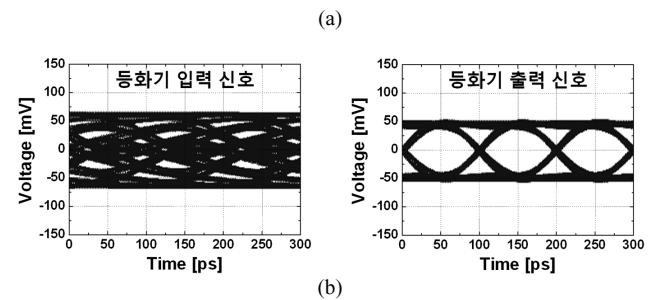
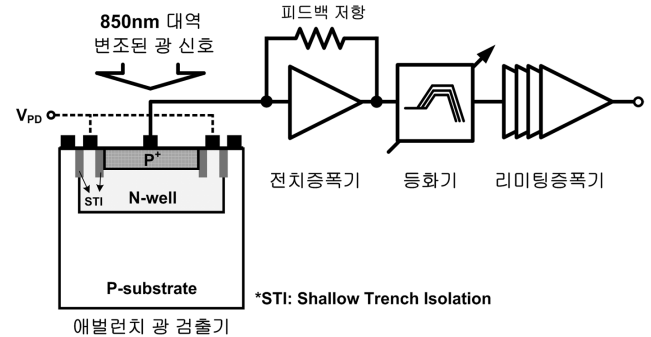
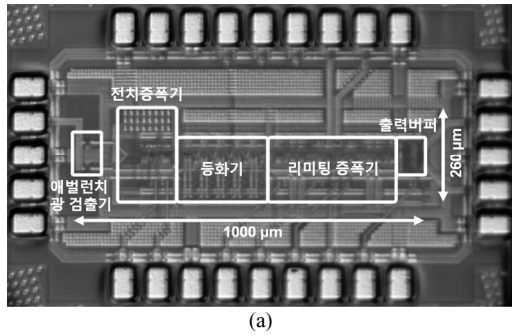


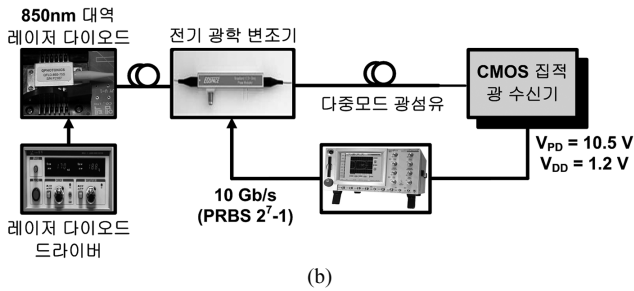
Fig. 1. (a) CMOS 집적 광 수신기 구조도. (b) 등화기 전후의 10 Gb/s eye diagram 시뮬레이션 결과 [7].

에벌런치 광 검출기의 출력 전류 신호는 전치증폭기에 의해서 전압신호로 변환된다. 회로 잡음 성능을 줄이고 높은 전류-전압( $I$ - $V$ ) 변환 증폭률을 얻기 위하여, 전치증폭기는 션트-션트(shunt-shunt) 부캐환 구조로 설계되었다. 전치증폭기는 두 단의 차동 증폭기(differential amplifier)와 4 k $\Omega$ 의 피드백 저항으로 구성되어 있다. 차동 구조의 전치증폭기는 한쪽에서만 입력을 받기 때문에 선천적으로 DC 오프셋 문제를 갖고 있고, 전치증폭기 출력은 유사 차동 신호(pseudo differential signal)가 된다. 이 문제는 오프셋 제거 회로(offset cancellation network)에 의해 해결될 수 있고, 완전 차동 신호(fully differential signal)를 얻을 수 있다.

하지만 에벌런치 광 검출기 및 전치증폭기의 제한된 대역폭으로 인하여, 10 Gb/s 신호가 전송되었을 때 심볼간 간섭 현상(intersymbol interference)을 겪게 되어 정확한 신호의 판별이 어려워진다. 이와 같은 문제는 고주파 성분을 보상해주는 등화기를 사용하면 해결된다. 그림 1(b)는 10 Gb/s 신호가 전송되었을 때, 등화기 전후에서의 eye diagram 시뮬레이션 결과를 보여준다. 등화기 출력에서는 깨끗한 10 Gb/s 전압 신호를 얻을 수 있다. 등화기는 다섯 단으로 구성되어 있고, 각 단은 기본적으로 캐패시티브 디제너레이션(capacitive degeneration) 구조로 설계되었으며, 고주파 보상 능력을 보다 향상시키기 위해서 부캐패시턴스(negative capacitance) 기술이 추가적으로 사용되었다. 캐패시티브 디제너레이션 구조에 사용되는 캐패시턴스 값을 조정 가능하도록 4 비트 캐패시터 배열(capacitor array)로 설계하였고, 이는 환경변화에 의해 달라지는 집적 광 수신기 성능을 보상해주게 된다.



(a)



(b)

Fig. 2. (a) 제작된 CMOS 집적 광 수신기의 칩 사진 (b) 광 신호 전송 실험 구조 [7].

등화기의 출력 전압 신호는 리미팅 증폭기에 의해서 디지털 신호 크기 수준으로 증폭된다. 고속 신호를 성능 저하 없이 증폭시키기 위해서는 넓은 대역폭과 높은 전압-전압(V-V) 변환 증폭률을 갖는 리미팅 증폭기 설계가 요구된다. 제작된 리미팅 증폭기는 다섯 단으로 구성되어 있고, 두 가지 종류의 증폭기가 상호 배치되어 있다. 하나의 증폭기는 두 단의 차동 증폭기에 능동 케환회로(active feedback) 기술이 사용되었고, 다른 증폭기는 능동 케환회로와 부캐패시턴스 기술이 복합적으로 사용되었다.

### 3. 측정 결과

그림 2(a)는 제작된 CMOS 집적 광 수신기의 칩 사진을 보여준다. 수신기의 칩 크기는  $1000\mu\text{m} \times 260\mu\text{m}$  이고 출력 버퍼를 제외한 회로의 전력 소모는 66.8 mW 이다. 그림 2(b)는 광 신호 전송 실험 구조를 보여준다. 광 신호 변조를 위해서 850nm 대역 레이저 다이오드(laser diode)와 전기 광학 변조기(electro optic modulator)가 사용되었고, 변조된 광 신호는 다중모드 광섬유를 통해 전송되었고, lensed fiber 를 통하여 제작된 집적 광 수신기의 애벌런치 광 검출기에 주입되었다. 입력 데이터 신호는  $2^7-1$  유사 랜덤 비트 시퀀스(pseudorandom bit sequence, PRBS) 이다. 애벌런치 광 검출기와 전기회로에 인가된 전압은 각각 10.5 V 와 1.2 V 이다.

그림 3 은 측정된 CMOS 집적 광 수신기의 비트 에러율(bit error rate, BER) 성능을 보여주고 있다. 10 Gb/s 변조된 광 신호가 전송 되었을 때,  $10^{-12}$  이하의 비트 에러율 성능을 만족시키기 위하여 -4 dBm 의 수신기 민감도(receiver sensitivity)가 요구되었다. 그림 3 의 내부 그림은 수신기의 입력 광 파워(incident optical power)가 -4 dBm 일 때, 측정된 10 Gb/s eye diagram 을 보여준다.

### 4.결론

본 논문에서는 애벌런치 광 검출기를 사용한 집적 광 수

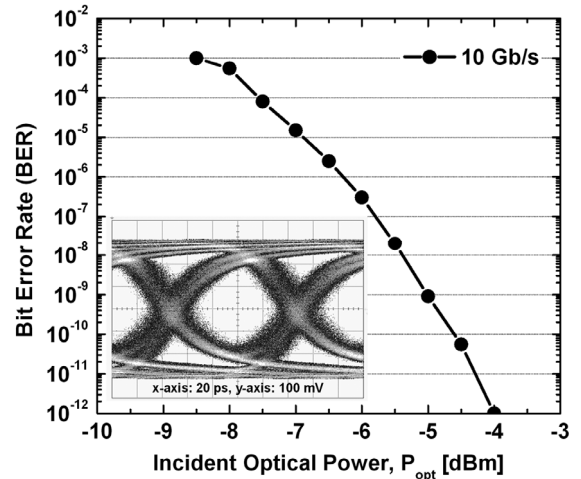


Fig. 3. 측정된 CMOS 집적 광 수신기의 비트 에러율 성능 및 10 Gb/s eye diagram [7].

신기를 표준  $0.13\mu\text{m}$  CMOS 공정을 이용하여 구현하였다. 제작된 CMOS 집적 광 수신기를 사용하여 입력 광 파워가 -4 dBm 일 때,  $10^{-12}$  이하의 비트 에러율 성능을 만족시키며, 10 Gb/s  $2^7-1$  PRBS 광 신호를 성공적으로 전송하였다. 제작된 CMOS 집적 광 수신기는 저가 구현이 요구되는 근거리 광 연결 응용에 사용 가능성을 보여준다.

### Acknowledgements

This work is supported by Mid-career Researcher Program through NRF grant funded by the MEST [2010-0014798]. The authors are very thankful to IDEC for EDA software and MPW support.

### 참고문헌

- [1] E. Mohammed, *et al.*, "Optical interconnect system integrated for ultra-short-reach applications," *Intel Technol. J.*, vol. 8, no. 2, pp. 115-127, May 2004.
- [2] D. Lee, *et al.*, "An 8.5 Gb/s fully integrated CMOS optoelectronic receiver using slope-detection adaptive equalizer," *IEEE J. Solid-State Circuits*, vol. 45, no. 12, pp. 2861-2873, Dec. 2010.
- [3] S.-H. Huang, *et al.*, "A 10 Gb/s OEIC with meshed spatially-modulated photodetector in  $0.18\mu\text{m}$  CMOS technology," *IEEE J. Solid-State Circuits*, vol. 46, no. 5, pp. 1158-1169, May 2011.
- [4] J.-S. Youn, *et al.*, "High-speed CMOS integrated optical receiver with an avalanche photodetector," *IEEE Photon. Technol. Lett.*, vol. 21, no. 20, pp. 1553-1555, Oct. 2009.
- [5] J.-S. Youn, *et al.*, "A 9 Gb/s optical receiver front-end with a monolithically integrated avalanche photodetector in  $0.25\mu\text{m}$  SiGe BiCMOS technology," *The Korean Conf. on Semiconductor (KCS)*, Feb. 2011.
- [6] H.-S. Kang, *et al.*, "Si avalanche photodetectors fabricated in standard complementary metal-oxide-semiconductor process," *Appl. Phys. Lett.*, vol. 90, no. 15, pp. 151118-1-151118-3, Apr. 2007.
- [7] J.-S. Youn, *et al.*, "10 Gb/s 850-nm CMOS OEIC receiver with a silicon avalanche photodetector," *IEEE J. Quantum Electron.*, to be published.