

제19회 한국반도체학술대회

The 19th Korean Conference on Semiconductors

“Semiconductor for Smart Living Technologies”

- 일시 : 2012년 2월 15일(수)~2월 17일(금)
- 장소 : 고려대학교 자연계캠퍼스

● 2012년 2월 16일(목)

Plenary Talks

구두발표

포스터 발표

Chip Design Contest

● 2012년 2월 17일(금)

구두발표

포스터 발표



주관 : 고려대학교-공학기술연구소, BK21 정보기술사업단, WCU 플렉서블 나노시스템 기반기술 사업단, 반도체기술연구소, 타임도메인 나노기능소자연구센터, 한국반도체산업협회, 한국반도체연구조합

주최 : 한국물리학회 반도체분과회, 한국재료학회, 대한전기학회 전기재료연구회, 대한전기학회 MEMS 연구회, 대한전자공학회 반도체재료 및 부품연구회, 대한전자공학회 SoC 설계연구회, 반도체설계교육센터(IDECC)

후원 : 삼성전자, 하이닉스반도체, 동부하이텍, 재)고대한국산학융합연구재단, 한국램리서치, ASML Korea, 주식회사 티앤비나노일렉, 세미랩코리아(주), (주)유진테크, KLA-Tencor Korea, (주)미코 엠에스티, 페어차일드 코리아, 다이솔티모, (주)그랜드텍, LIG-ADP, 실리콘헨즈, 세미코리아, 코리아바쿰테크(주), 시뉴시스 코리아, IEEE Electron Device Society Korea Chapter, IEEE SSC Seoul Chapter

M. RF Design 분과

TP1-31 09:30-12:35 Comparison of CE and CB Configurations of SiGe HBTs for Power Gain and Stability

저자: Yongho Oh, Hyunchul Kim, and Jae-Sung Rieh
소속: School of Electrical Engineering, Korea University

TP1-32 09:30-12:35 A 140 GHz Colpitts Push-push VCO in a SiGe BiCMOS Technology

저자: Kyungmin Kim, Namhyung Kim, and Jae-Sung Rieh
소속: School of Electrical Engineering, Korea University

TP1-33 09:30-12:35 A Study on Fast Locking and Wideband PLL

저자: Jun Cheng and Yong Moon
소속: Department of Electronic Engineering, Soongsil University

TP1-34 09:30-12:35 비동기식 히스토그램을 이용한 적응형 등화기의 신뢰성 분석

저자: 김왕수, 성창경, 최우영
소속: 연세대학교 전기전자공학과

TP1-35 09:30-12:35 A High Frequency Resolution Digitally Controlled Oscillator with Adjustable ΔC

저자: 유상선, 박정호, 조한원, 유형준
소속: 한국과학기술원 전기 및 전자공학과

P. Device for Energy 분과

TP1-36 09:30-12:35 ONO 후면 패시베이션 및 레이저 가공을 통한 태양전지의 후면 전극 형성

저자: 최평호, 김효중, 이경수, 최병덕
소속: 성균관대학교 태양광시스템공학협동과정

TP1-37 09:30-12:35 GZO 투명전극을 이용한 염료 감응형 태양전지의 전기화학적 임피던스 및 효율 특성 분석

저자: 박재호, 이경주, 송상우, 신주홍, 조슬기, 문병무
소속: 고려대학교 미세소자협동과정

비동기식 히스토그램을 이용한 적응형 등화기의 신뢰성 분석

김왕수, 성장경, 최우영

연세대학교 전기전자공학과

초록

Recently, we have demonstrated an adaptive equalizer using an asynchronous under-sampling histogram that can provide simple and robust equalization without clock synchronization. We measure the histogram with varying sample sizes and perform statistical analyses in order to verify the reliability of our scheme. The measurement results show that the sample size of 4096 guarantees less than 2% margin of error with 99% confidence interval.

1. 서론

최근 멀티 미디어 데이터 통신에 대한 수요가 급속히 늘어남에 따라 데이터 전송 속도는 급속히 증가하고 있지만, 채널의 대역폭은 이러한 요구를 만족시키지 못하고 있다. 이로 인해 채널에서 주파수 의존 손실과 인접 회선 누화 등 신호 왜곡이 발생하고 이는 심볼 간 간섭 현상(ISI) 문제로 이어지게 되었다. 최근 이러한 채널 성능을 개선하기 위한 여러 적응형 등화기들이 제시되고 있다.

이중 온칩 아이 모니터링 기술은 수신단에 입력된 신호의 아이 다이어그램을 아날로그 디지털 변화기의 사용 없이 비교적 간단한 방법으로 획득하기 위한 것으로, 이를 적응형 등화 과정에 응용하는 기술들이 발표되었다[1,2]. 하지만, 이를 위한 다수 위상을 가지는 고속의 클럭 발생기 및 샘플러, 비교기의 사용이 필수적이기 때문에 회로의 복잡도가 증가하고 고속 회로 구동에 따른 많은 전력이 필요하게 된다. 더욱이, 심볼 간 간섭 현상으로 인해 완전히 단락된 입력 신호에 대하여 정확한 클럭 보상이 어렵기 때문에 회로의 오동작을 야기할 수 있다.

이러한 단점을 극복하기 위한 방안의 하나로, 최근 저속 비동기식 히스토그램을 이용한 적응형 등화기가 발표된 바 있다 [3]. 본 논문에서는 통계적 분석과 실험을 통해 이 적응형 등화기의 신뢰성을 검증한 결과를 보고한다.

2. 저속 비동기식 히스토그램을 이용한 적응형 등화기

그림 1(a)의 좌측과 같이 등화기를 통과한 신호가 과 등화 상태부터 저 등화 상태까지 나타날 때, 이를 저속 비동기 클럭을 이용하여 샘플링을 한 후 신호 진폭에 따라 누적하면 우측과 같은 따른 히스토그램을 얻어 낼 수 있다.

이러한 히스토그램을 살펴보면, 최적의 등화상태에서 등화기가 심볼 간 간섭 현상을 보상해주어 신호의 분포가 1과 0에 집중되므로 가장 높은 첨두값을 가지는 특성을 보인다. 이를 이용하면 신호의 진폭 분포 측정을 통해 최적의 등화 상태로 등화기를 조절할 수 있다.

히스토그램을 이용한 회로의 구성도는 그림 1(b)와 같다. 회로의 동작을 살펴보면 먼저 등화기에 등화 계수가 입력되고, 기준전압 발생기에 기준 전압 계수가 입력된다. 이후 등화된 수신 신호가 비동기 클럭에 따라 샘플링 되어 기준 전압과 비교기를 통해 비교되고 기준 전압보다 큰 수신신

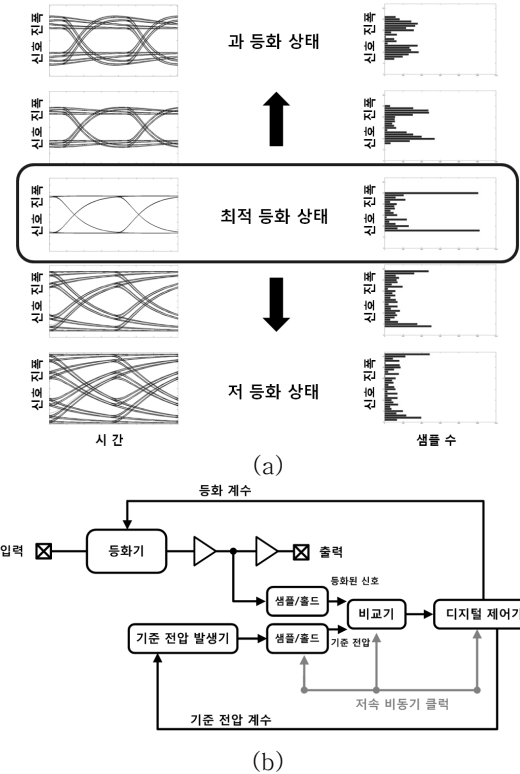


Fig. 1. (a) 신호 상태에 따른 아이 다이어그램과 히스토그램 (b) 적응형 등화기 회로 구성도

호에 대하여 1의 값을 내보내게 된다. 이 값은 카운터를 통해 일정 기간 동안 누적되어 카운팅된다. 이후 다음 기준전압 값에 대하여 동일한 작업이 반복되어, 모든 기준전압 값에 대하여 누적된 값을 얻어내면 하나의 등화 계수에 대한 누적 확률 분포(CDF)를 얻어낼 수 있다. 각 누적 확률 분포의 값의 차이를 디지털 제어기를 통해 계산하면 그 값들은 확률 밀도 함수(PDF)를 나타내는 히스토그램으로 얻을 수 있다. 위를 다음 등화 계수에 대하여 반복 수행하여 모든 등화 계수에 대한 확률 밀도 함수를 추출하고 가장 높은 첨두값을 나타내는 등화 계수를 디지털 제어기를 통해 찾아주면 최적의 등화 상태를 설정할 수 있다.

3. 저속 비동기식 히스토그램 신뢰성 검증

그림 2(a)는 적응형 등화기 실험 구성을 나타낸다. 패턴 생성기를 통해 $2^{31}-1$ 5.4Gb/s PRBS 신호를 공급하게 되고, 이를 3m DisplayPort 채널을 통과시켜 114MHz의 비동기식 클럭과 디지털 제어기를 통해 히스토그램을 분석하여 등화기에 최적 등화 상태를 제공하고, 이후 비트 에러율 측정기를 통해 아이 다이어그램을 관측하였다. 그 결과 그림 2(b)와 같이 채널을 통과한 완전히 단락된 신호의 아이 다이어그램이 적응형 등화기를 통해 깨끗한 신호 상태로 보강됨을 확인할 수 있었다[3].

히스토그램의 정확도는 샘플 수에 비례한다. 하지만 실제 칩을 제작하기 위해서는 샘플 수는 한정될 수 밖에 없

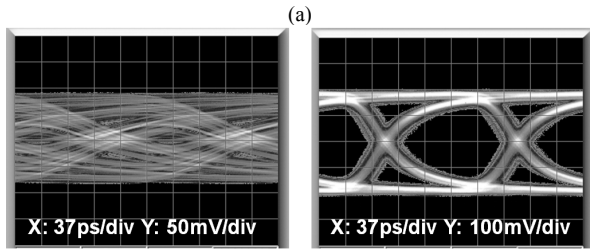
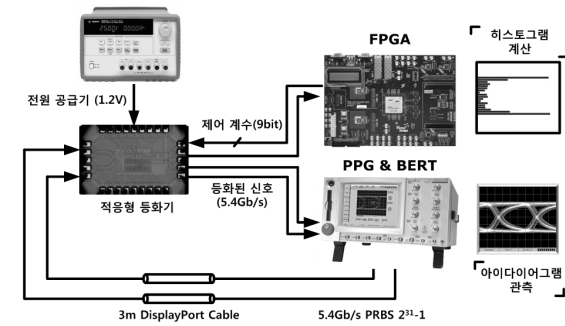


Fig. 2. (a) 적응형 등화기 실험 구성 (b) 적응형 등화기 전과 후의 아이다이아그램

으므로 적절한 샘플 수를 결정하는 것이 중요하다. 이를 분석하기 위하여 샘플링 과정을 이항 과정으로 모델링 하였다. 즉, 샘플링 된 신호가 1 일 때를 성공으로, 이를 제외한 경우는 실패로 가정한다.

등화기로 ISI 가 제거된 조건에서의 신호의 상태는 3 비트의 패턴으로 모든 경우의 수를 표현 할 수 있다. 여기서 111 이라는 신호가 샘플링 되면 항상 1 의 값이 나오고,

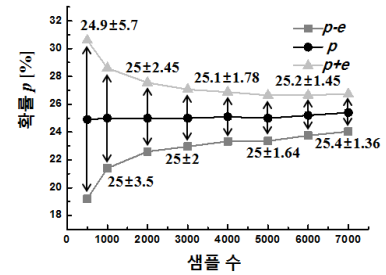
110 또는 011 의 신호가 샘플링 되면 0.5 의 확률로 1 의 값이 나오게 된다. 따라서 1 이 나올 확률 p 를 고려하면 전체 8 가지 경우의 수에 대하여 $(1+2 \times 0.5)/8=0.25$ 로 나오게 된다.

이항 과정을 샘플 수 n 과 확률 p 에 대하여 $np > 10$ 의 조건을 만족시키게 되면 정규분포로 근사화 시킬 수 있다. 이를 이용하여 e 라는 허용 오차 값을 가지고, $(1-\alpha)$ 의 신뢰구간을 갖는 샘플 수 n 을 구하면 다음과 같다[4].

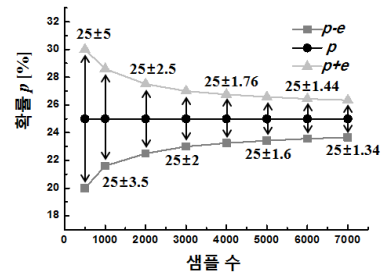
$$n \geq \frac{p(1-p)(z_{1-\alpha/2})^2}{e^2}$$

여기서 $z_{1-\alpha/2}$ 는 정규 분포 양 끝이 $\alpha/2$ 의 구간이 되는 임계 값을 말한다. 즉, 99% 신뢰 구간에 대하여 α 값은 0.01 이 되며, 그 때의 $z_{1-\alpha/2}$ 는 2.58 이 된다. 허용 오차는 등화기의 최적 등화 계수와 그 주변 계수들일 때의 첨두값 차이를 뜻하며 2% 이상으로 설계하였다. 하지만, 시스템의 안정성을 위해 1.75% 허용오차와 99% 신뢰구간을 적용하면 최소 샘플 수는 4075 개가 된다. 따라서, 제작된 칩에 집적된 디지털 제어기에서 히스토그램 추출을 위해 4096 개의 샘플을 사용하였다.

제작된 칩의 히스토그램 신뢰도를 검증하기 위하여 FPGA 를 통해 샘플 수에 따른 오차 범위를 측정 하였다. 500 개에서 7000 개까지 샘플 수를 변경하면서 최적 등화 상태일 경우의 첨두값을 측정하여 총 샘플 수로 나누어 확률 p 를 구하였고, 모든 샘플 수에 따라 각 100 번의 실험을 반복하였다. 또한 앞의 수식으로 계산된 확률 p 와 허용 오차 e 를 이용하여 p 를 계산하였으며 그 결과를 측정 값과 비교해 보았다. 측정된 확률과 계산된 확률이 유사하게 샘플 수 n 이 증가함에 따라 허용오차 e 가 감소하였으며, 4000 개 이상의 샘플 수에서 2% 이하의 허용 오차가 측



(a) 측정된 확률



(b) 계산된 확률

Fig. 3. 히스토그램 신뢰도 (a) 측정 결과 (b) 계산 결과

정되었다. 그러므로 제작된 칩의 4096 개의 샘플 수가 99%의 신뢰구간에서 2% 이하의 허용 오차를 나타낼 수 있음을 검증 할 수 있었다.

4. 결론

비동기식 히스토그램을 이용한 적응형 등화기는 신호 진폭 분포를 측정하는 과정에서 전송되는 신호와 동기 되지 않은 저속의 클럭을 사용하므로 추가적인 클럭 회로에 대한 부담을 줄일 수 있다. 동시에 아이 패턴이 열리지 않는 열악한 채널 환경에서도 파일럿 시퀀스 없이 안정적인 초기 동작을 제공한다. 제작된 칩은 신뢰도 실험을 통해 99% 신뢰구간에서 2%이하의 허용 오차를 보증함으로써 안정적인 적응형 등화 조절 구간을 확보할 수 있다.

Acknowledgements

This work was supported by Samsung Electronics. We also acknowledge the support of IC Design Education Center (IDEC) for EDA software support and Samsung Electronics for chip fabrication.

참고문헌

- [1] Y. Tomita, et al., "A 10-Gb/s receiver with series equalizer and on-chip ISI monitor in 0.11- μ m CMOS," *IEEE Journal of Solid-state Circuits*, vol. 40, no. 4, pp. 986-993, Apr. 2005.
- [2] Debesh Bhatta, et al., "A 10Gb/s two dimensional scanning eye opening monitor in 0.18- μ m CMOS process," *IEEE International Microwave Symposium Digest*, Vol. 7, No. 12, pp.1141-1144, June. 2009.
- [3] Wang-Soo Kim, Chang-Kyung Seong and Woo-Young Choi, "A 5.4-Gb/s adaptive equalizer using asynchronous-sampling histograms," *ISSCC Dig. Tech. papers*, pp. 358-359, Feb. 2011.
- [4] Moore, D. S. "The Basic Practice of Statistics," Third Edition. Freeman, New York. 2004.