

비동기식 히스토그램을 이용한 자동 교정 기능 프리엠퍼시스

김왕수, 최우영

연세대학교 전기전자공학부

전화: (02)2123-7709, E-mail: wchoi@yonsei.ac.kr

Auto-calibration pre-emphasis using asynchronous histogram

Wang-Soo Kim, Woo-Young Choi

School of Electrical and Electronic Engineering, Yonsei University

134 Shinchon-dong, Seodaemun-ku, Seoul, Korea, 120-749

요 약

본 논문은 저속 비동기 클럭 샘플링 히스토그램을 통해 자동 교정 기능을 수행하는 프리엠퍼시스에 관한 논문이다. 히스토그램 정보는 신호의 진폭 분포 상태를 나타내며, 등화된 신호를 비동기 저속 클럭 샘플링하여 얻어질 수 있다. 이렇게 얻어진 히스토그램을 분석하여 가장 높은 극값을 보이는 히스토그램으로 프리엠퍼시스 계수를 조절시켜주면 최소 비트 오류율을 갖는 신호 상태를 얻을 수 있다. 자동 교정 기능 프리엠퍼시스는 90-nm CMOS 표준 공정으로 설계되었으며 80-cm FR4 PCB 채널에 대하여 6-Gb/s PRBS $2^{31}-1$ 신호 전송 실험을 성공하였고, 측정 결과 10^{-13} 이하의 BER과 59.4-ps_{pp} 지터량을 확인할 수 있었다. 칩 면적은 0.77 mm² 이고, 전력 소모는 1-V 공급 전압에서 64.5 mW이다.

Abstract

This paper presents an auto-calibration pre-emphasis using asynchronous under-sampling histogram. The histograms representing the signal amplitude distribution are obtained by asynchronous under-sampling of the equalized signals. The adaptive equalization can achieve the best BER performance from histogram having the largest peak value. An auto-calibration pre-emphasis implementing this algorithm is realized with 90-nm CMOS technology. This pre-emphasis successfully equalized 6-Gb/s PRBS $2^{31}-1$ data through a 80-cm FR4 PCB trace. The equalized signal exhibits 250-mV_{pp} output swing and 59.4-ps peak-to-peak jitter. The core of the chip excluding output buffer consumes 64.5 mW from a 1-V supply and occupies 0.77 mm².

Keywords : Pre-emphasis, Asynchronous under-sampling histogram, Auto-calibration

I. 서 론

최근 고속 유선 통신 분야에서 채널의 주파수 의존 손실에 따른 ISI (Inter-Symbol Interference) 문제가 많은 송수신기 설계자에게 뜨거운 이슈이다. 이러한 주파수 저역 통과 현상을 해결하기 위해 고주파 증폭 필터를 사용하여 Nyquist 대역까지 평탄하게 보상하여 ISI를 해결하는 여러 등화 기법들이 보고되고 있다.

기존의 등화 기법은 송신 단의 프리엠퍼시스와 수신 단의 CTLE (Continous-Time Linear Equalizer), 그

리고 DFE (Decision Feedback Equalizer)로 나눌 수 있다. 이들 중 프리엠퍼시스는 신호 전송 전 트랜지션 첫 비트를 다른 비트보다 더 크게 강조하여 채널의 주파수 손실을 보상해 준다. 이는 송신 단에서 신호를 선 처리하여 신호 잡음 증폭 없이 프리 커서의 ISI도 제거할 수 있기 때문에 많은 분야에서 적용되고 있다.

일반적인 프리엠퍼시스는 채널의 손실을 정확하게 보상하기 위해 수동적으로 조절하는 방식을 사용하기 때문에 많은 시간과 시행착오를 야기한다. 이는 실제 회로를 사용하는데 있어서 동작 검증을 위한 테스트 비

용 증가로 반영된다. 이를 해결하기 위해 적응형 알고리즘을 적용한 프리엠퍼시스가 활발히 연구되고 있다.

자동 교정 기능 프리엠퍼시스는 초기 동작 조건, 불확실한 채널의 특성 및 공정 변화 등을 모니터링 회로를 통해 자체적으로 인지하여 최적의 동작 조건을 제공하는 스마트한 해결책이다. 이를 위해 LMS (Least Mean Square) 알고리즘이 대표적으로 이용되고 있다^[1]. LMS 알고리즘은 평균적인 에러를 추출하여 최소화시키는 과정에서 신호와 에러 정보를 디지털화 시켜주기 위한 고성능 ADC (Analog to Digital Converter)가 필요하기 때문에 시스템 복잡도를 증가 시킨다.

SS-LMS (Sign-Sign LMS) 알고리즘은 위 LMS 알고리즘을 간소화하여 에러의 부호만을 판단하기 때문에 간단한 하드웨어 구현과 빠른 피드백 수렴 등의 장점을 지닌다^[2]. 하지만 이를 자동 교정 프리엠퍼시스에 적용할 경우 프리엠퍼시스의 고주파 증폭 과정에서 작아지는 신호의 진폭에 대한 보상이 없고 빠른 피드백 수렴 과정에서 생기는 스위칭 잡음, 신호의 트랜지션이 장기간 없는 경우 발생하는 일탈 현상 등의 문제가 발생한다. 즉, SS-LMS 알고리즘은 BER (Bit Error Rate)의 관점에서 자동 교정 기능 프리엠퍼시스에 대하여 최적의 성능을 보장할 수 없게 된다^[3].

본 논문의 비동기 저속 클럭 샘플링 히스토그램을 통해 신호의 상태를 분석하여 최적의 프리엠퍼시스의 계수를 자동적으로 조절하는 자동 교정 기능 프리엠퍼시스를 제안한다. 90-nm CMOS 표준 공정을 이용하여 프로토타입 칩을 구현하였으며, 80-cm FR4 PCB 채널을 통과시켜 6-G/s 신호 전송 실험을 성공하였다.

II. 본 론

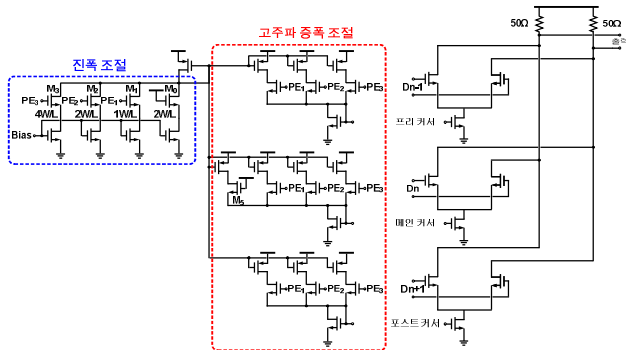


그림 1. 3탭 FIR 필터와 진폭 및 탭 계수 조절 회로

ISI를 제거하기 위해 송신 단에서 FIR (Finite Impulse Response) 필터를 이용한다. 본 설계에서 그림 1와 같이 필터는 3단 CML (Current Mode Logic)

드라이버로 구성되며 각 탭은 3비트 계수 조절 회로를 통해 계수 값이 조절되어 0 ~ 14.2 dB 까지 3 GHz에서 고주파 증폭을 얻을 수 있다. 공정한 히스토그램 추출을 위해서 저주파 진폭이 유지되도록 진폭 조절 회로를 통해 240 ~ 260 mV의 진폭을 설정하였다. 실제 필터의 구현에서 프로세스, 전원, 온도의 변화 및 초기 동작 조건의 불일치 등의 영향으로 정확한 설계 성능을 보장하지 못하므로 조절 가능한 범위를 설정하여 적응형 알고리즘을 통해 자동적으로 조절하게 된다.

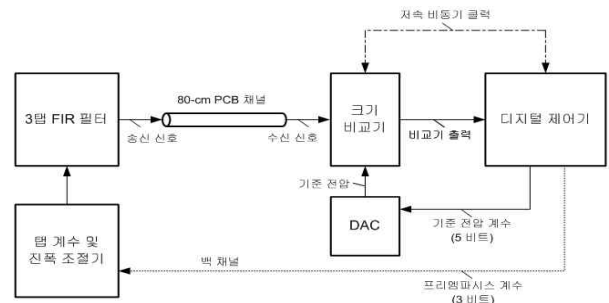


그림 2. 자동 교정 기능 프리엠퍼시스 구성도

제한된 자동 교정 기능 프리엠퍼시스는 그림 2와 같이 3탭 FIR 필터, 탭 계수 및 진폭 조절기, DAC (Digital to analog converter), 크기 비교기 그리고 디지털 제어기로 구성되어 있다. 자동 교정 과정은 크기 비교기와 DAC을 이용하여 저속의 클럭 추출 히스토그램을 얻어내고 디지털 제어기를 통해 히스토그램의 극값이 가장 크게 나타나게 프리엠퍼시스 계수를 설정해 주면 최적의 신호 전송 조건을 만족시킬 수 있다^[4].

프리엠퍼시스 조절은 필수적으로 백채널을 요구한다. 이를 위해 많은 응용 표준에서 추가적인 채널을 제공한다. DisplayPort 1.2표준에서는 테스트용 백채널인 AUX Channel을 제공하며, PCI Express 3.0 표준에서도 송신단의 최적 성능을 위해 프리엠퍼시스를 조절할 수 있는 백채널을 추가했다. 본 설계에서는 칩 안에서 송신기와 수신기를 직접 연결하였고, 이는 위에서 언급하는 백채널의 기능을 수행한다.

III. 실험 결과

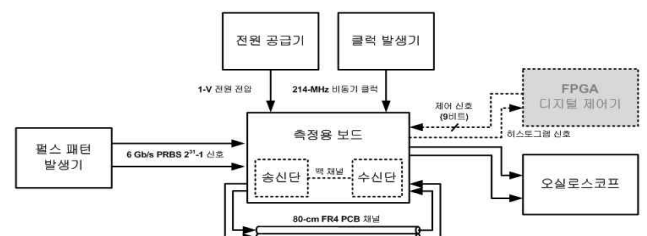


그림 3. 자동 교정 기능 프리엠퍼시스 실험 셋업

90-nm CMOS 표준공정을 이용하여 제작된 칩은 위와 같은 그림 3과 같은 실험 셋업을 통해 측정을 진행하였다. 펄스 패턴 발생기를 통해 PRBS $2^{31}-1$ 의 6-Gb/s 신호를 송신단 FIR 필터에 공급하였고, 이는 80-cm FR4 PCB 채널을 통과한 후 수신단으로 입력된다. 외부 클럭 발생기를 통해 214-MHz의 클럭을 비동기 샘플링 클럭으로 사용되었으며, 수신단으로 전송된 신호는 오실로스코프를 통해 측정되었다. 내장된 디지털 제어기는 자동적으로 최적의 히스토그램 조건을 찾아주는 자동 조절 모드와 외부 FPGA와 연결하여 각 프리엠퍼시스 계수에 따른 히스토그램을 추출하기 위한 외부 조절 모드로 동작한다.

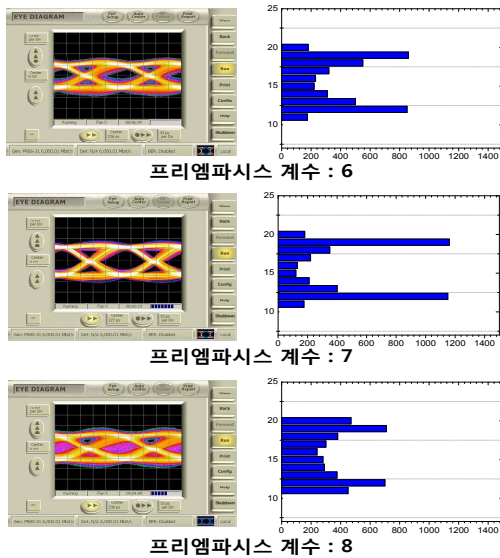


그림 4. 측정된 히스토그램과 아이 다이어그램

그림 4는 외부 조절 모드에서 측정된 아이 다이어그램과 그에 따른 히스토그램을 나타낸다. 그 결과 프리엠퍼시스 계수 7에 대하여 히스토그램에서 가장 큰 극점을 나타내고 최적의 신호 전송 품질을 보이는 아이 다이어그램을 얻을 수 있다. 계수 7의 고주파 증폭은 11.7dB이며, 이는 80-cm FR4 PCB 채널의 주파수 손실인 11.5dB에 부합되는 것을 확인할 수 있다.

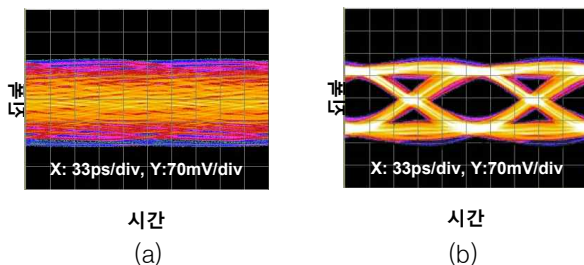


그림 5. (a) 자동 교정 전 (b) 후 측정된 아이 다이어그램

그림 5는 자동 조절 모드에서 교정 전 경우 (a)와 교정 후 경우 (b)의 6-Gb/s 아이 다이어그램을 나타낸다. 자동 교정 기능을 통해 최적의 신호 전송 품질을 갖는 아이 다이어그램을 제어함을 확인할 수 있었다. 적응형 등화 신호의 출력 전압은 250 mV_{pp}이며, 지터는 59.4 ps_{pp}이고 BER은 10^{-13} 이하이다. 칩 코어의 전력 소비는 1 V 공급 전원에 대하여 64.5 mW이며, 면적은 0.077 mm²이다.

IV. 결론

본 논문에서는 히스토그램 모니터링을 통해 최적 신호 상태를 보장하는 자동 교정 기능 프리엠퍼시스를 제안하였다. 제작된 프리엠퍼시스는 90-nm CMOS 표준 공정으로 설계 하였으며 측정된 80-cm FR4 PCB 채널에 대해 6-Gb/s PRBS $2^{31}-1$ 신호 전송 실험을 성공적으로 진행하여 10^{-13} 이하의 BER 결과를 얻을 수 있었다.

Acknowledgments

본 연구는 반도체설계교육센터(IDEC)의 설계 툴 지원 및 MPW 지원을 받았으며, 한국 연구재단 연구비(2012R1A2A1A01009233) 지원을 받았습니다.

참고 문헌

- [1] J. G. Proakis, Digital Communications, Third ed. New York: McGraw-Hill, 1995.
- [2] J. H. Winters and R. D. Gitlin, "Electrical signal processing techniques in long-haul fiber-optic systems," *IEEE Trans. Commun.*, vol. 38, no. 9, pp. 1439-1453, Mar. 1990.
- [3] E. H. Chen et al. "Near-Optimal Equalizer and Timing Adaptation for I/O Links Using a BER-based Metric," *IEEE J. Solid-State Circuits*, vol. 43, no. 9, pp. 2144-2156, Sep. 2008.
- [4] W.-S. Kim, C.-K. Seong and W.-Y. Choi, "A 5.4-Gb/s adaptive continuous-time linear equalizer using asynchronous under-sampling histograms," in *IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol. 59, no. 9, pp. 553-557, Sep. 2012.