

The 21st Korea Conference on Semiconductors

▼ Rump Session : 2014년 2월 25일(화)

■ Rump Session 1 (융합통신 IT)

차세대 반도체 신규 소재/소자의 미래
(2030 Trend of the Semiconductor Industry and Technology)

- * Organizer & Chair: 유병곤 박사(한국전자통신연구원)
- * 패널리스트: 이종호 교수(서울대학교), 박상희 박사(한국전자통신연구원), 서순애 교수(세종대학교), 김선국 교수(경희대학교), 노용영교수(동국대학교), 박순오 수석(삼성전자), 표현봉 박사(한국전자통신연구원)

■ Rump Session 2 (에너지 IT)

조명용 광반도체의 현재와 미래
(Present and Future of Optical Semiconductors for SSL)

- * Organizer & Chair: 박진섭 교수(한양대학교), 백종현 박사(한국광기술원)
- * 패널리스트: 황성민 박사(소프트에피), 이정익 박사(한국전자통신연구원), 이해용 박사(루미지엔테크), 손원국 박사(POSCO LED)

■ Rump Session 3 (바이오 IT)

■ Rump Session 4 (자동차 IT)

미래 자동차산업과 IT융합의 전망
(Future and Limits of IT Convergence in the Automotive Industry)

- * Organizer & Chair: 박효덕 연구위원(전자부품연구원)
- * 패널리스트: 선우명호 교수(한양대학교), 김용준 교수(연세대학교), 이재관 본부장(자동차부품연구원), 기석철 상무(만도), 구용서 교수(단국대학교), 김광석 기획실장(현대오트론)

▶ 온라인 사전등록 안내 마감일: 2014년 2월 6일(목)

KCS 2014	사전등록		현장등록	
	일반	학생	일반	학생
Short Course	150,000	100,000	180,000	120,000
Conference	120,000	50,000	150,000	60,000
Special Session	150,000	100,000	200,000	150,000
Short Course + Conference	220,000	100,000	280,000	130,000
Special Session + Conference	250,000	150,000	300,000	200,000
추가만찬	20,000			

** 학생 등록시 만찬은 포함되어 있지 않습니다. 참여를 원하실 경우, 추가 만찬 티켓을 구매해 주시기 바랍니다.

▶ 등록비 포함사항

- Conference 등록: 일반등록: 구두/포스터 강연장 입장, 프로그램 북, Proceedings, Chip Design Contest 참관, Coffee Break, 점심, 만찬
학생등록: 구두/포스터 강연장 입장, 프로그램 북, Proceedings, Chip Design Contest 참관, Coffee Break, 점심
- Short Course 등록: Short Course 수강, Short Course 자료집
- Special Session 등록: Special Session 수강, Special Session 자료집

▶ 등록시 유의사항

1. 발표논문 1편당 저자 1인의 사전등록이 필수입니다.
2. 사전등록을 하지 않은 경우, 논문이 게재되지 않으며 발표 또한 취소됩니다.
3. 등록비 환불은 2014년 1월 31일(금) 이전까지의 환불 요청에 한해서만 환불이 가능하오니, 이점 양지하여 주시기 바랍니다.

The 21st Korean Conference on Semiconductors

[제21회 한국반도체학술대회 사무국]
우) 302-120 대전광역시 서구 둔산동 1018번지 (대한빌딩 5층) ☎세니컴
전화: 042-472-7461 / 팩스: 042-472-7459
이메일: kcs@cosar.or.kr / 홈페이지: http://kcs.cosar.or.kr/
담당자: 김아영 대리 / 박수진 대리

제21회 한국반도체학술대회

The 21st Korea Conference on Semiconductors

일시 / 2014년 2월 24일(월)-26일(수)
장소 / 한양대학교 서울캠퍼스 (HIT 빌딩 & 제1공학관)

“ 창조경제 실현을 위한 융합반도체 ”
Fusion Semiconductor Accomplishing Creative Economy

사전등록 마감일
2014년 2월 6일(목)

/ 주 관  한양대학교 BK21플러스+
융합 IT기반 미래가치 창조 인재양성 사업단
Future IT Education Program for Future Invention Leaders

 Ksia 한국반도체산업협회

 Cosar 한국반도체연구조합

/ 주 최  Kps 한국불리유티비

 한국재료학회
KRISS Korean Research Society of Korea

 대한전기학회
KIEE The Institute of Electronics and Information Science

 대한전자공학회
IEIT The Institute of Electronics and Information Technology

 반도체설계교육센터
IC DESIGN EDUCATION CENTER



The 21st Korean Conference on Semiconductors
제21회 한국반도체학술대회
February 24–26, 2014 / Hanyang University, Seoul, Korea

L. Analog Design 분과

[TF1-L] 아날로그 및 혼성 신호 회로 설계 1

Date	Feb. 25, 2014 (Tue.)
Place	Room F / 제1공학관 404호 (# 404, Engineering Building I)

Session Chair: 박성민 교수(이화여자대학교), 문용 교수(숭실대학교)

- TF1-L-1 09:30-09:45 Area-Efficient 20-Gbps Optical Receiver Circuit in 65-nm CMOS Technology**
저자: Hyun-Yong Jung, Jin-Sung Youn, and Woo-Young Choi
소속: Department of Electrical and Electronic Engineering, Yonsei University
- TF1-L-2 09:45-10:00 입력 지터 감소 기법을 적용한 2.5 Gb/s BMCDR 회로 설계**
저자: 정재훈¹, 최정환¹, 백광현²
소속: ¹삼성전자 메모리사업부, ²중앙대학교 전자전기공학부
- TF1-L-3 10:00-10:15 A Single-Stage 40dB-Linear Digitally-Controlled Variable Gain Amplifier for Ultrasound Analog Front End**
저자: Seong-Eun Cho¹, Ji-Yong Um², Byungsub Kim², Jae-Yoon Sim², and Hong-June Park^{1,2}
소속: ¹Division of IT Convergence Engineering, Pohang University of Science and Technology, ²Department of Electronic and Electrical Engineering, Pohang University of Science and Technology
- TF1-L-4 10:15-10:30 Constant Off-Time Control with Time Calibration Method for Buck Converter**
저자: Haneul Kim, Kyoungjin Lee, Jehyung Yoon, Hyoung-Seok Oh, and Byeong-Ha Park
소속: Power Device Development Team, System LSI Division, Samsung Electronics Co., Ltd.
- TF1-L-5 10:30-10:45 A 25-Gb/s Quarter-Rate CDR in 65-nm CMOS Technology**
저자: Dae-Hyun Kwon and Woo-Young Choi
소속: Department of Electrical and Electronic Engineering, Yonsei University
- TF1-L-6 10:45-11:00 A Multi-Channel 1-Gb/s/ch Inverter Transimpedance Amplifier Array with Replica in 0.18 μ m CMOS**
저자: Hanbyul Choi, Xiao Ying, Seung-Hoon Kim, and Sung Min Park
소속: Department of Electronics Engineering, Ewha Womans University

A 25-Gb/s Quarter-Rate CDR in 65-nm CMOS technology

Dae-Hyun Kwon and Woo-Young Choi

Department of Electrical and Electronic Engineering, Yonsei University, Seoul 120-749, Korea

E-mail : kwonkkun@yonsei.ac.kr

Clock and data recovery circuits (CDR) are widely used in high-speed interface systems for restoring data and clock signals from noisy and asynchronous signals. As the required data rate for many applications is getting higher, CDR circuits with the full-rate clock face speed limitations and multiphase CDR circuits can be a better solution [1,2] as it allows easier implementation and provide deserialized out data. This paper reports a 25-Gb/s quarter-rate CDR circuit with quarter-rate clocks implemented in 65-nm CMOS. It is composed of phase detectors (PDs), charge-pumps (CPs), off-chip loop filter, and voltage controlled oscillator (VCO). All circuit blocks are designed in CMOS logic except CPs in order to minimize power consumption. CPs are designed in fully-differential topology for enhancing the operation speed, which prevents dithering of control voltage. Fig. 1 below shows the block diagram of our CDR and the eye-diagram of one of four 6.25-Gb/s recovered data when 25-Gb/s PRBS $2^{31}-1$ data are introduced into our CDR bonded on FR4 PCB. The bit-error rate is less than 10^{-12} and the measured peak-to-peak jitter is 28.3 ps. It consumes 40-mW excluding output buffers.

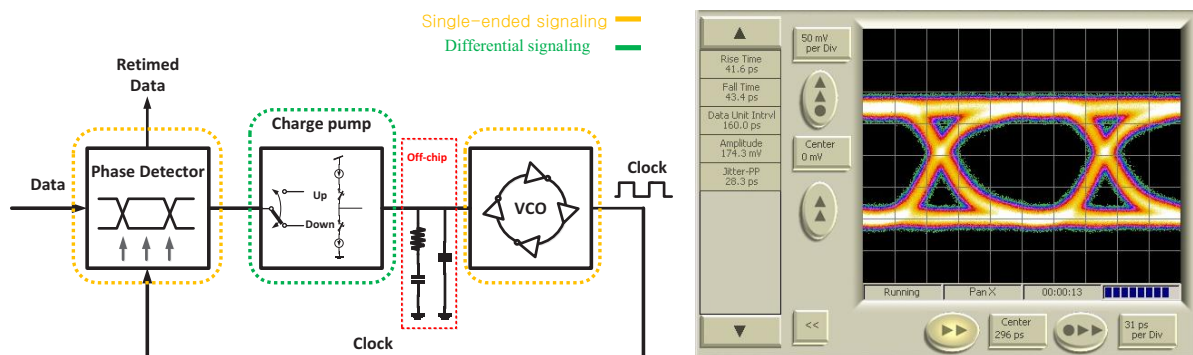


Fig 1. Block diagram of CDR and the measured eye-diagram of retimed data

[1] Jri Lee, and Behzad Razavi, IEEE J.Solid-State Circuits (2003), VOL. 38, NO. 12

[2] Jeong-Kyoum Kim, Jaeha Kim, Gyudong Kim, and Deog-Kyoon Jeong, IEEE J.Solid-State Circuits (2009), VOL. 55, NO. 5