

# GaAs MESFET을 이용한 고성능 온-칩 전압 제어 발진기 설계

## (Design of High Performance On-chip Voltage Controlled Oscillator Using GaAs MESFET)

金宰永\*, 李範哲\*\*, 崔鍾文\*\*, 崔佑榮\*\*, 金鳳烈\*\*

(Jae Young Kim, Bhum Cheol Lee, Jong Moon Choi, Woo Young Choi and Bong Ryul Kim)

### 요 약

본 연구에서는, 새로운 구조의 온-칩 링 전압 제어 발진기를 GaAs MESFET를 이용하여 설계하고 기존의 방식과 성능을 비교하였다. 각 VCO는 3, 5단 인버터 링으로 구성하였으며, 인버터, 버퍼, NOR 게이트는 GaAs 로직 중 잡음에 대한 안정성이 가장 뛰어나고, 고속 동작을 할 수 있는 Source Coupled FET Logic으로 설계하였다. SPICE 시뮬레이션 결과, 기존의 방식과 제안된 방식의 VCO 이득은 각각 1.24[GHz/V], 0.54[GHz/V]이었다. 또한 동작 주파수 대역은 각각 2.31 ~ 3.55[GHz], 2.47 ~ 3.01[GHz]이었다. 이러한 결과는 발진 주파수 대역을 크게 희생시키지 않고, VCO 이득만을 반으로 줄여 overload 및 주파수 안정도가 2배 향상되었음을 의미한다. 제안된 방식의 평균 온도 특성 계수는 -20 ~ 85[°C]에서 -2[MHz/°C]이었고, 전원 노이즈 특성 계수는 5.3[V]±10[%]에서 5[MHz/%]이었다. 총 전력 소모량은 60.58[mW]이었다.

### Abstract

In this paper, we designed a new type of high frequency on-chip voltage controlled oscillator (VCO) using GaAs MESFET, and their performances were compared with those of the conventional VCO. Each VCO was designed with three-to-five ring oscillator and inverter, buffer and NOR gate were implemented by GaAs Source Coupled FET Logic, which has better speed and noise performance compared to other GaAs MESFET logic. SPICE simulation showed that the gain of conventional and our new VCO was 1.24[GHz/V], 0.54[GHz/V], respectively. The frequency tuning range were 2.31 to 3.55 [GHz] for conventional VCO and 2.47 to 3.01[GHz] for our new design. This shows that the factor of two gain reduction was achieved without too much sacrifice in the oscillation frequency. For our new VCO, the average temperature index was -2[MHz/°C] in the range of -20 ~ 85[°C], the power supply noise index was 5[MHz/%] for 5.3[V]±10[%] and total power consumption was 60.58[mW].

### I. 서 론

최근 통신 시스템이 고속화 대응량화 됨에 따라, 수

\* 正會員, 大宇電子(株) 半導體 事業部 Power LSI팀  
(Daewoo Electronics Co., Ltd. Semiconductor Division Power LSI Team)

\*\* 正會員, 延世大學校 電子工學科 半導體 研究室  
(Microelectronics Lab. Dept. Of Electronics Eng., Yonsei University)

接受日: 1996年3月14日, 수정완료일: 1996年12月4日

GHz 급의 on-chip PLL에 대한 요구가 증가하고 있다. PLL에서 전송 속도, 안정도 및 지터 등의 성능을 결정하는 핵심 소자는 전압 제어 발진기(Voltage Controlled Oscillator)이다. 또한, PLL 시스템의 동작 대역은 VCO의 동작 주파수 대역에 의해 결정되기 때문에, GHz 급 PLL을 구현하기 위해서는 고속에서 안정적으로 동작할 수 있는 on-chip VCO가 필요하다. 그런데, 고주파 대역에서 발진하는 VCO의 설계에는 온도 변화 및 power supply 노이즈에 따른 주파수 특성 변화, 실리콘 소자의 부적합성 등 여러 가지 문제점들

이 존재한다.

인버터 링을 이용하는 기존의 VCO 방식 중 가장 고속 동작을 얻을 수 있는 방식은 아날로그 믹서를 이용하여 두 발진 루프의 지연 차이로 발진 주파수를 제어하는 방식<sup>[1]</sup>이다. 이 방식의 링 발진기에서 가장 빠른 주파수를 얻기 위해서는 두 발진 루프가 3단과 5단으로 구성되어야 하는데, 이와 같이 구현된 VCO<sup>[2]</sup>는 반주기에 한번 믹서의 주파수 제어 효과가 나타나 VCO 이득이 상대적으로 커 주파수 안정도와 VCO overload 조건에 의해 이용이 제약된다.

PLL 시스템에서 주파수 안정도란 VCO가 overload 상태에 놓이지 않고, 입력 신호에 따라 발진 주파수를 변화시켜 안정되게 locking을 할 수 있는 허용 범위를 말한다. F. M. Gardner<sup>[3]</sup>의 PLL의 주파수 안정도 및 VCO overload 조건식에 의하면 안정도 및 VCO overload는 VCO 이득  $K_v$ 에 반비례하기 때문에, 특히 GHz 대역으로 동작하는 VCO 설계시 VCO 이득을 작게 하는 것이 바람직하다.

따라서, 본 연구에서는 PLL의 안정도를 향상시키기 위해 발진 주파수 대역을 회생시키지 않고, VCO의 주파수 이득  $K_v$ 를 기존 기술의 1/2로 줄일 수 있는 새로운 구조<sup>[4]</sup>를 갖는 VCO를 스위칭 특성이 좋은 GaAs MESFET를 이용하여 설계하였다. 새로운 구조는 두 경로 사이에 중간 발진 주파수를 갖는 4단 루프를 첨가하여 믹서의 주파수 제어 효과가 한 주기에 한 번만 나타나게 하는 방식이다.

설계된 VCO는 링 오실레이터 구조를 가지며, 아날로그와 디지털 회로로 구성된 혼합 모드(mixed-mode) 회로이다. 이 VCO는 차동 모드(differential mode) 회로로 구성되어 온도 변화 및 power supply 노이즈에 대해 강한 면역성을 나타낸다. 디지털 로직은 온도에 대한 안정성이 우수하고 외부 잡음에 강한 SCFL(Source-Coupled FET Logic)로 구성하였다.

본 논문의 구성은 다음과 같다. 제 II장에서는 설계한 VCO의 새로운 구조를 자세히 설명하고 구성 회로의 설계에 관한 사항을 설명한다. 제 III장에서는 GaAs SCFL의 온도 안정성에 관하여 수식적으로 해석함으로써 SCFL이 설계 사양에 가장 적합한 로직임을 증명하였다. 제 IV장에서는 SPICE 시뮬레이션 결과를 통하여 설계를 검증하고, 온도 및 전원 노이즈에 대한 주파수 변화, 전력 소모량, 구성 소자의 전파 지연 시간 등의 회로 특성을 분석하였다. 마지막으로 제 V장에서

분석 결과를 토대로 결론을 내린다.

## II. 링 전압 제어 발진기 구조 및 설계

### 1. 링 전압 제어 발진기 구조

제안된 링 전압 제어 발진기는 그림 1에 나타낸 것과 같이 믹서(14A) 및 인버터(14B), 인버터 2개와 버퍼 1개로 구성되는 지연 소자(11), 인버터(12), 인버터 2개로 구성되는 지연 소자(13), 2입력 NOR 게이트(15)로 구성된다.

그림 1에서 12→13A→13B→14A→14B→NOR(15)→12의 루프는 저주파수 루프, 12→14A→14B→NOR(15)→12의 루프는 고주파수 루프, 11A→11B→11C→NOR(15)→11A의 루프는 중간 주파수 루프를 구성한다. 중간 주파수 루프의 존재와 NOR 게이트가 첨가된 것이 기존의 방법<sup>[2]</sup>과 비교하여 새로워진 부분이다.

기존 방법<sup>[2]</sup>으로 구현한 링 전압 제어 발진기는 그림 1에서 2 입력 NOR 게이트(15)를 인버터로 바꾸고, 지연 소자 11(11A, 11B, 11C)을 제거한 구조가 된다.

기존 방법으로 구현한 회로의 주파수는 믹서의 제어 전압에 따라서만 변화하지만, 새로 제안한 방법의 경우 NOR 게이트가 갖는 천이 특성 때문에 NOR 게이트의 입력 신호가 되는 믹서 및 인버터(14) 출력 신호 뿐 아니라 NOR 게이트의 또 다른 입력 신호인 지연 소자(11)를 거친 신호에 의해서도 영향을 받는 구조이다.

결과적으로는 발진 파형의 반주기만 믹서 및 인버터(14)의 출력 신호의 영향을 받게 되고 다른 반주기 동안은 지연 소자(11)의 출력 신호의 영향을 받게 된다. 따라서 믹서의 주파수 제어 효과가 한 주기에 한번만 나타나기 때문에 VCO의 주파수 이득이 동일한 동작 주파수를 갖는 기존의 방법에 비해 1/2 가량 줄어들게 된다. 따라서 이 VCO를 이용하여 PLL 시스템을 구성할 경우, 주파수 안정도를 약 2배 향상시킬 수 있다.

### 2. 회로 설계

GaAs MESFET는 공핍형과 증가형의 두 종류가 있다. 그림 2, 4, 5에서 게이트 부분이 굵게 표시된 트랜지스터는 공핍형을, 가늘게 표시된 트랜지스터는 증가형을 각각 나타낸다. 설계한 VCO 회로는 크게 아날로그 믹서와 디지털 부분으로 나누어 진다. 디지털 부분은 인버터와 NOR게이트로 구성되는데, 온도 안정성이 우수한 GaAs SCFL로 구성하여 온도 및 전원 노이즈에 의한 회로의 특성 변화를 최소화 하는데 설계

주안점을 두었다.

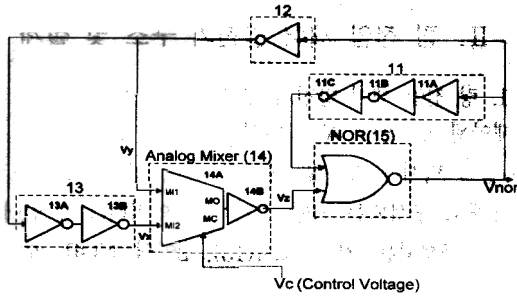


그림 1. 설계한 VCO의 회로도  
Fig. 1. Circuitry diagram for designed VCO.

1) 믹서

아날로그 회로로 구성된 믹서는 VCO의 구성 회로 중 가장 중요한 소자로서 발진 주파수를 제어 전압에 따라 최소와 최대 주파수 사이의 값으로 연속적으로 변화시키는 역할을 한다. 그림 2에 나타낸 것과 같이 기본 구조는 차동 모드의 입력 단자(A0, A0N, A1, A1N), 출력 단자(ZG, ZGN), 제어 전압 단자(SB, SBN)로 구성되어 있다. 각 단자는 정위상, 역위상 신호를 입 출력하기 때문에 쌍으로 구성된다. 믹서의 입력 신호를  $V_x$ 와  $V_y$ 라 하고, 출력 신호를  $V_z$ 라 정의한다. 그리고, 입력 신호  $V_y$ 에 대한 입력 신호  $V_x$ 의 상대적인 위상차를  $P(\alpha)$ 라 하고, 입력 신호  $V_y$ 에 대한 출력 신호  $V_z$ 의 상대적인 위상차를  $Q(\alpha)$ 라 정의하면, 입 출력 신호 간의 관계 및 위상차  $P(\alpha)$ ,  $Q(\alpha)$ 는 다음과 같은 식으로 표현된다.

$$V_z = (1 - \alpha)V_y + \alpha V_x \quad (1)$$

$$P(\alpha) = 2\pi f(\alpha)D \quad (2)$$

$$Q(\alpha) = \alpha P(\alpha) \quad (3)$$

D는 고주파수 루프와 저주파수 루프간 지연 시간의 차이를 나타내며,  $f(\alpha)$ 는 발진 주파수를 나타낸다.  $\alpha$ 는 제어 전압에 따라 결정되는 값이며,  $\alpha$ 에 따라  $V_z$ 의 크기 및 위상이 정해지며  $P(\alpha)$ 와  $Q(\alpha)$  값이 결정된다.

믹서의 출력 신호  $V_z$ 의 위상이  $\alpha$ 에 따라  $0 \sim 2\pi/5$  까지 변화된다. 즉,  $\alpha = 0$ 이면  $Q(\alpha) = 0$ 이 되어 고주파수로 발진하고,  $\alpha = 1$ 이면  $Q(\alpha) = 2\pi/5$ 가 되어 저주파수로 발진하는 방식으로 발진 주파수를 변화시킨다.

이 관계를 도식적으로 설명하기 위해,  $\alpha = 0.4$ 일 때의 각 신호들의 크기와 위상을 그림 3의 페이저 다이어그램에 벡터로 표시하였다. 페이저 다이어그램에서 x로 표시한 점들은 믹서의 출력 신호  $V_z$ 의 벡터 값이다.

영역의 경계로 제시된  $2\pi/5$ 와  $2\pi/3$ 는  $2\pi/N$ 로 표현될 수 있고, 여기서 N은 가장 느린(저주파수) 루프와 가장 빠른 루프(고주파수)에서의 단(stage) 수에 의해 결정된다. 3단 5단의 인버터로 발진 루프를 구성하면 N은 3과 5가 된다.

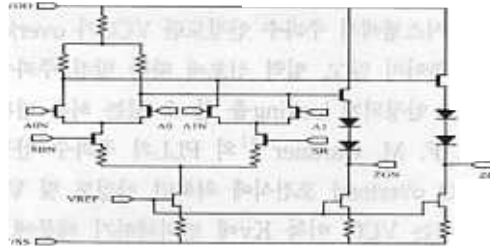


그림 2. 믹서 회로  
Fig. 2. Mixer circuit.

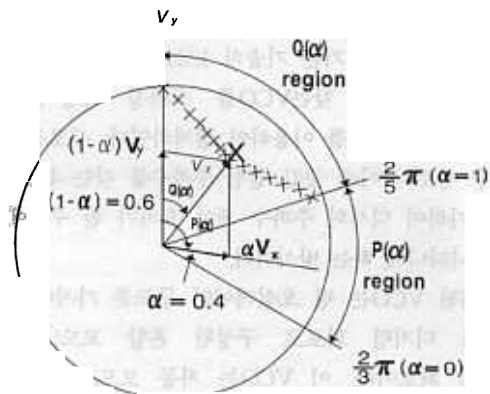


그림 3. 페이저 다이어그램  
Fig. 3. Phasor diagram.

$\alpha$ 가 0에서 1로 변함에 따라  $P(\alpha)$ 는  $2\pi/5 \sim 2\pi/3$  영역에 위치하고,  $Q(\alpha)$ 는  $0 \sim 2\pi/5$  영역에 위치한다. 원의 반지름은 1로 SCFL의 로직 레벨을 가리킨다.

그림 3에 표시한 것과 같이 동작 영역에서 출력 신호의 진폭은 감소되며, X로 표시된 점은 최대로 감소된 출력 신호의 진폭을 나타낸다. 이 진폭의 최소치는 오실레이션이 일어나기 위한 최소값보다 커야 하는데, 이 조건은  $P(\alpha)$ 의 값이  $2\pi/3$  이하인 경우에 만족된다. 이러한 조건하에서 출력 신호 진폭의 감소는 다음

단에 의해 보상되어 전체 루프 이득은 1로 유지된다.

2) 인버터 및 NOR 게이트

GaAs 로직중 온도에 대한 특성이 가장 우수한 SCFL로 인버터 및 NOR 게이트를 설계하였다. SCFL 인버터 회로는 그림 4에 나타낸 것과 같이 차동 모드의 입력 단자(A, AN)와 출력 단자(ZG, ZGN)가 있으며, 차동 증폭기, 소스 팔로워, 레벨 쉬프터, 커런트 소스로 구성된다. NOR 게이트의 기본 구조는 SCFL 인버터와 유사하나 또 하나의 차동 입력 단(G, GN)이 첨가된 구조로 그림 5에 나타내었다.

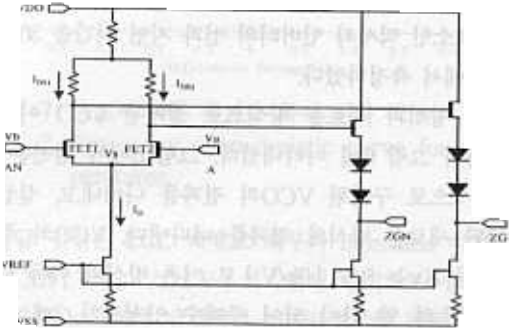


그림 4. 인버터 회로  
Fig. 4. Inverter circuit.

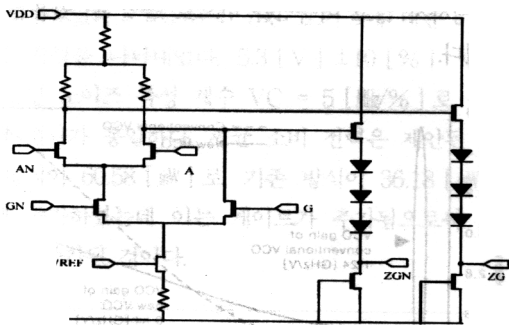


그림 5. NOR 게이트 회로  
Fig. 5. NOR gate circuit.

III. GaAs SCFL의 온도 안정성

VCO가 고주파수 영역에서 안정성 있게 동작하기 위해서는 온도에 대한 안정성이 가장 중요하다. GaAs MESFET의 포화 영역에서의 전류식은  $I_{DS} = \beta(V_{GS} - V_T)^2$ 로 표현된다. 여기서 전류에 영향을 미치는 파라미터는  $\beta$ 와  $V_T$ (문턱 전압; threshold voltage)이다.  $\beta$ 는 주로 W/L 값에 의해 변하므로  $I_{DS}$ 에 가장 큰

영향을 미치는 파라미터는  $V_T$ 이다.  $V_T$ 는 온도에 의해 변하며  $V_T(t) = V_T - TCV \cdot \Delta t$ 로 표현된다. 여기서 TCV는 문턱 전압에 대한 온도 보상 계수(Temperature Compensation Coefficient for Threshold Voltage)이다. 결국, 전류가 온도에 대한 안정성을 갖기 위해서는 온도에 따른  $V_T$ 의 변화에 대하여 최소의 특성 변화를 갖는 로직이 필요하다. 따라서, 그림 4의 SCFL로 설계한 인버터의 온도 안정성을 수식적으로 해석함으로써 SCFL이 적합한 로직임을 확인하였다.

1. 스위칭(Switching) 특성

FET1이 turn on 되는 전압을  $V_{bon}$ , turn off 되는 전압을  $V_{boff}$ , FET2가 turn on 되는 전압을  $V_{aon}$ , turn off 되는 전압을  $V_{aoff}$ 라 정의한다.

인버터의 기본 동작은 FET1과 FET2가 교대로 turn on 된다.

(a) FET1 : ON, FET2 : OFF일 조건은 식(4)와 같다.

$$V_{bon} - V_s - V_{T1} \geq V_{on1}, V_{aoff} - V_s - V_{T2} < 0 \quad (4)$$

(b) FET1 : OFF, FET2 : ON일 조건은 식(5)와 같다.

$$V_{boff} - V_s - V_{T1} < 0, V_{aon} - V_s - V_{T2} \geq V_{on2} \quad (5)$$

여기서  $V_{oni} (i = 1, 2) = V_{GSi} - V_{Tn}$ 로 FETi가 turn on 되는 최소 전압을 나타낸다.

식 (4), (5)에서 공통 소오스 전압  $V_s$ 를 소거하여 정리하면 식(6),(7)와 같다.

$$V_{bon} - V_{aoff} > V_{on1} + V_{T1} - V_{T2} \quad (6)$$

$$V_{boff} - V_{aon} < -V_{on2} + V_{T1} - V_{T2} \quad (7)$$

식 (6),(7)의 좌변은 인버터 스위칭에 필요한 입력 전압  $V_b$ 와  $V_a$ 의 스윙 폭을 나타낸다. 인접한 FET의 공정 오차로 인한 문턱 전압의 차 ( $V_{T1} - V_{T2}$ )는 일반적으로 무시될 수 있을 정도로 매우 작으므로 우변의  $V_{oni}$ 항만이  $V_T$ 의 함수이다.

따라서 스위칭에 필요한 입력 전압  $V_b$ 와  $V_a$ 의 스윙 폭을 동작 온도 영역에서  $V_{oni}$ 의 변화량 만큼의 마진을 주고 설계하면  $V_T$ 에 대한 의존성을 배제할 수 있다.

2. 전류 모드(Current mode)

SCFL은 기본적으로 전류 모드에서 동작한다. 그리고 FET1, 2의 포화 영역의 전류식은 식(8),(9)과 같

다.

$$I_{DS1} = \beta_1 (V_b - V_s - V_{T1})^2 \quad (8)$$

$$I_{DS2} = \beta_2 (V_a - V_s - V_{T2})^2 \quad (9)$$

식(8),(9)에서  $V_b$ ,  $V_a$ 는 FET1, FET2의 입력 전압을 나타내고,  $V_s$ 는 공통 소오스 전압을 각각 나타낸다. FET1, FET2의 전류의 합으로 표시되는 공통 소오스 전류  $I_0$ 는 식 (10)으로 나타낼 수 있다.

$$I_0 = I_{DS1} + I_{DS2} \quad (10)$$

FET1과 FET2의 소자 크기가 같고 칩상에 인접해 있다면,  $\beta_1 = \beta_2 = \beta$ 로 가정할 수 있다. 식(8),(9)에서  $V_s$ 를 소거하면 식(11)과 같다.

$$\sqrt{\frac{I_{DS1}}{\beta}} - \sqrt{\frac{I_{DS2}}{\beta}} = V_b - V_a + V_{T2} - V_{T1} \quad (11)$$

식(11)의 양변을 제곱하고, 식(10)의  $I_0$ 를 대입하면 식 (12)와 같다.

$$I_{DS1} \times I_{DS2} = \frac{(I_0 - \beta(V_b - V_a + V_{T2} - V_{T1}))^2}{4} \quad (12)$$

식(11)과 (12)를 연립하여 풀면, 식(13), 식(14)을 구할 수 있다.

$$I_{DS1} = \frac{I_0}{2} + \frac{\beta}{2} (V_b - V_a + V_{T2} - V_{T1}) \sqrt{\frac{2I_0}{\beta} - (V_b - V_a + V_{T2} - V_{T1})^2}$$

$$I_{DS2} = \frac{I_0}{2} + \frac{\beta}{2} (V_b - V_a + V_{T2} - V_{T1}) \sqrt{\frac{2I_0}{\beta} - (V_b - V_a + V_{T2} - V_{T1})^2}$$

SCFL은 식(13), (14)의  $V_{T2} - V_{T1}$ 항에 의해 온도 변화 ( $\Delta t$ )에 따라  $V_T$ 가 변하더라도  $V_T$ 의 변화량이 상쇄되어 FET 차동 전류는 일정하게 되는 구조임을 알 수 있다. 또한  $V_{T1} = V_{T2} = V_T$ 로 가정하면, FET 전류식에 문턱 전압  $V_T$ 에 관한 항을 포함하지 않아  $V_T$ 의 변화에 의한 FET 차동 전류는 거의 일정함을 알 수 있다. 인접한 소자의 공정 오차가 매우 작은 것을 감안하면 위 가정은 타당하다.

이상과 같이, 스위칭에 필요한 전압과 전류는 온도에 따른  $V_T$ 의 변화에 거의 영향을 받지 않음을 알 수 있다. 이 결과는 SCFL이 고주파수 영역에서 가장 문제 시 되는 온도에 대한 인버터 회로의 특성 변화를 최소화할 수 있는 로직임을 의미한다. 따라서 VCO를 설계

하는 데 있어서, 디지털 로직 부분은 SCFL로 설계하고, 아날로그 부분인 믹서는 SCFL과 유사한 차동 모드로 설계하였다.

#### IV. 시뮬레이션 결과 및 고찰

SPICE 시뮬레이션 결과를 통하여 제어 전압, 온도, 전원 노이즈에 대한 주파수 변화, 전력 소모량 등의 회로 특성을 분석하였다. 시뮬레이션에 사용된 GaAs MESFET 모델 파라미터는 미국 Vitesse사의 H GaAs-III 공정용 파라미터를 사용하였다. 또한 중요 구성 요소인 믹서와 인버터의 전파 지연 시간을 30, 85 [°C]에서 측정하였다.

기존 방식과 새로운 방식으로 설계된 VCO 이득을 비교하여 그림 6에 나타내었다. 그림 6에서 점선은 기존 방식으로 구성된 VCO의 결과를 나타내고, 실선은 제안된 새로운 방식의 결과를 나타낸다. VCO의 주파수 이득  $K_v$ 는 0.54 [GHz/V]로 기존 방식의 이득 1.24 [GHz/V]의 약 반이 되어 주파수 안정도가 2배 정도 향상됨을 확인하였다. 또한, 제안된 방식의 동작 주파수 범위는 2.47 ~ 3.01 [GHz]이고, 기존 방식의 동작 주파수 범위는 2.31 ~ 3.55 [GHz]로 발진 주파수 대역을 희생하지 않고 이득만을 반으로 줄일 수 있음을 확인하였다.

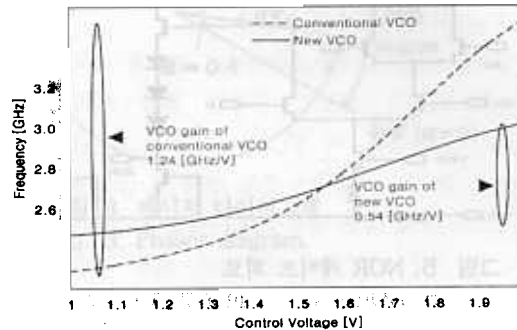


그림 6. VCO 이득 비교

Fig. 6. Comparison of VCOs Gain.

-20, 30, 85 [°C]의 온도에 대한 주파수 변화 특성을 그림 7에 제시하였다. 온도가 증가함에 따라 주파수가 낮아지는 현상은 회로 구성 소자의 지연 시간이 증가하기 때문이다. 믹서의 지연 시간은 30 [°C]에서 55.0 [ps], 85 [°C]에서 55.5 [ps]이고, SCFL 인버터의 지연 시간은 30 [°C]에서 42.2 [ps], 85 [°C]

]에서 42.5 [ps]이다. -20 ~ 85 [°C]에서 온도 특성 계수 TC = -2 [MHz/°C]로 두 방식의 결과가 동일하다.

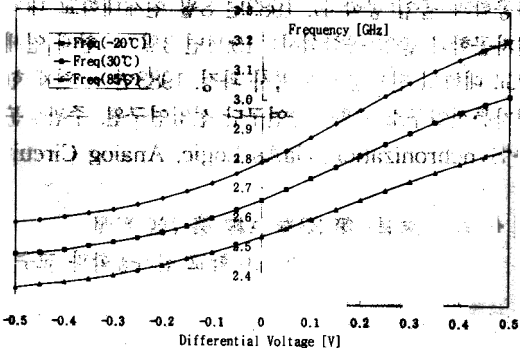


그림 7. 온도에 따른 주파수 특성 변화 곡선  
Fig. 7. Frequency characteristic curve for temperatures.

공급 전원은 ECL 레벨로 외부와 interface 하기 위하여 3.3 [V], -2.0 [V]의 2전원 방식으로 설계하였다. 전원 노이즈가 발생하면 MESFET의 직류 동작점 등이 변하게 되어 오 동작을 일으킬 수 있다. 전원 노이즈는 동작 환경에 따라 랜덤하게 발생하지만 분석을 간단히 하기 위하여 공급 전원의 ±10 [%]를 노이즈로 인가하였다. 그림 8에 전원 노이즈에 따른 주파수 변화 특성을 나타내었다. 5.3 [V] ±10 [%] 범위에서 전원 노이즈 특성 계수 VC = 5 [MHz/%]로 두 방식의 결과가 동일하다. 평균 소비 전력은 제안된 새로운 방식이 60.58 [mW]로, 기존 방식이 36.18 [mW]에 비해 증가하였는데 이는 게이트가 추가됨으로써 소비 전력이 증가된 것이다.

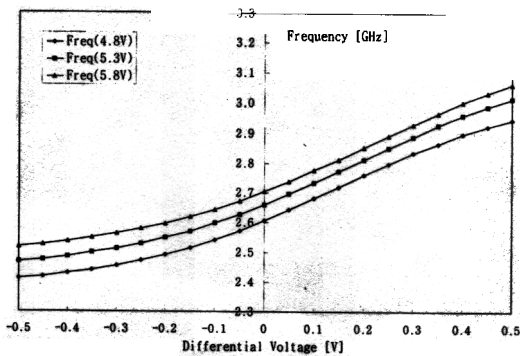


그림 8. 전원 노이즈에 따른 주파수 특성 변화 곡선  
Fig. 8. Frequency characteristic curve for power supply noises.

### V. 결 론

본 논문에서는 GaAs MESFET를 이용하여 동작 주파수 영역이 2.47 ~ 3.01 [GHz] 인 on-chip VCO를 설계하였다. 설계된 VCO의 주파수 이득은 0.54 [GHz/V]로 동일한 발진 주파수를 갖는 기존 방식의 주파수 이득보다 1/2 정도 감소되었다. 이 결과는 설계된 VCO를 이용하여 PLL 시스템을 구성하면 주파수 안정도가 약 2배 정도 향상됨을 의미한다.

설계한 VCO의 전기적 특성을 요약하면, 믹서의 제어 전압에 따라 결정되는 VCO의 가변 주파수는 2.47 ~ 3.01 [GHz]이며, 이 때의 주파수 이득은 0.54 [GHz/V]이다. 온도 특성 계수 TC = -2 [MHz/°C]이고, 전원 노이즈 특성 계수 VC = 5 [MHz/%]이다.

따라서, 설계한 링 전압 제어 발진기는 고속 데이터 통신 시스템에 응용될 수 있을 것으로 기대된다.

### 참 고 문 헌

- [1] K. E. Syed, A. A. Abidi, Gigahertz Voltage-Controlled Ring Oscillator, *Electronic Letters*, vol. 22, no. 12, pp. 677-679, Jun. 1986.
- [2] R. C. Walker, Fully Integrated High-speed Voltage Controlled Ring Oscillator, U.S. Patent 4,884,041, 1989
- [3] F. M. Gardner, Charge-pump phase-locked loop, *IEEE Trans. Communication*, vol. COM-28, pp. 1849-1858, Nov. 1980.
- [4] J.Y. Kim, B. C. Lee, E. C. Choi, K. C. Park, Voltage Controlled Ring Oscillator, U. S. Patent pending, 95-39428, 1995