

GHz급 charge-pump PLL응용을 위한 루프 필터 설계

(Design of loop-filter for GHz-range charge-pump PLL)

鄭泰植 * 全商 吾 * 崔佑榮 * 李範哲 * 金鳳烈 *

(Tae-Sik Cheung, Sang-O Jeon, Woo-Young Choi, Bhum-Cheol Lee,
and Bong-Ryul Kim)

요 약

본 논문에서는 GHz 대역에서 동작하는 PLL 시스템 응용을 위한 charge-pump 루프필터를 GaAs MESFET으로 설계하였다. 이를 설계하는데 필요한 charge-pump 루프 필터의 동작특성과 이 회로를 포함하는 전체 PLL 시스템의 안정성을 분석하였다. 그리고, 회로 성능을 평가할 수 있는 사양을 결정하고, 이를 만족하는 charge-pump 루프 필터 회로를 설계하였다.

Abstract

Charge-pump loop filter was designed using GaAs MESFET for GHz-range PLL system applications. Characteristics of charge-pump loop filter and stability of charge-pump PLL system were analyzed. Performance specifications were defined and a charge-pump loop filter was designed that satisfies these specifications.

I 서 론

통신 시스템에서 핵심적인 역할을 하는 PLL(Phase-Locked Loop) 시스템은 전압 제어 발진기(VCO; Voltage-Controlled Oscillator), 외부로부터의 입력 신호와 VCO의 출력 신호의 위상 차이를 비교하는 위상 및 주파수 검출기(PFD; Phase/Frequency Detector), 그리고 PFD의 출력을 VCO의 제어 전압으로 변화시켜주는 루프 필터(LPF; Loop Filter)로 구성되어 있다. [1-4]

이 시스템에서 루프 필터는 일반적으로 RC회로로 구성되기 때문에 출력 전압이 시간에 대해 감쇄하는 특성을 갖게 된다. 즉, 커패시터의 방전에 의해 제어 전압이 감쇄되므로 VCO의 출력 주파수도 감소하고

다시 두 신호간의 위상차가 발생하게 된다. 이 위상차로 인하여 제어 전압이 다시 증가하게 되므로 입력 신호 주파수를 중심으로 주기적인 리플(Ripple)을 갖게 된다. 고 주파수에서 더 심각해지는 이 문제를 해결하기 위해 PFD와 루프 필터 사이에 동기적인 스위치와 전류원으로 구성되는 charge pump 회로를 추가함으로써 제어전압을 일정하게 유지하도록 하고 있다. [1,5]

본 논문의 목표는 GHz 대역에서 동작하는 charge-pump PLL 시스템을 구현하는 연구 과정으로써 charge-pump 루프 필터를 고속 특성이 뛰어난 GaAs MESFET을 사용하여 구현하는 것이다. 현재 charge-pump 루프 필터에 관한 이론적이고 수식적인 해석에 대한 연구는 다양하게 진행중에 있기 때문에 본 논문에서는 이와 다르게 실제charge-pump PLL 시스템에 응용하기 위해서 필요한 안정성과 사양을 결정한 후 회로를 설계하였다. II장에서는 charge-pump PLL 시스템에 관한 전반적인 고찰을 하고, charge-pump 루프 필터의 동작특성 및 안정성을 분

* 正會員, 延世大學校 電子工學科 半導體 研究室
(Microelectronics Lab., Dept. of Electronic Eng.
Yonsei University)

接受日字:1997年3月25日, 수정완료일:1997年10月7日

석한 후, 그 성능을 평가할 수 있는 척도를 규정한다. III장에서는 charge-pump 루프 필터 응용을 위한 연산증폭기(Op-Amp ; Operational Amp)의 설계 과정을 언급하고, IV장에서는 설계된 charge-pump 루프 필터의 성능이 본 논문에서 규정한 사양들을 만족하는지를 검증한다. 그 외에 온도 및 공정 파라미터의 변화, 그리고 노이즈에 의한 전원 전압의 변화에 따른 charge-pump 루프 필터의 성능 변화를 검토한 후 V 장에서는 결론을 맺는다.

II Charge-pump PLL에 관한 이론

1. Charge-pump 루프 필터의 구조와 동작특성

Charge-pump PLL의 전체 시스템이 그림 1에 나타나 있다. Charge-pump 루프 필터의 출력과 입력은 각각 VCO의 입력과 PFD의 출력에 해당하며, 개념적인 구조는 그림 2에 나타난 바와 같다.^[1] PFD의 출력은 R신호가 V신호보다 앞서는 경우와 V신호가 R신호보다 앞서는 경우, 그리고 위상차가 없는 3가지 상태를 가진다.^[4-6] PFD의 출력인 U신호가 High 입력으로 가해지면 스위치 S₁은 Turn On이 되고 Low 입력인 D신호는 Turn Off가 되면서 I_p에 해당하는 전류를 루프 필터에 전달하게 되고 이는 VCO의 입력인 V_c의 증가에 해당하므로 결과적으로 VCO의 출력 주파수가 증가하게 된다. 다음 상태로써 D신호가 High 입력으로 들어오면 스위치 S₂가 Turn On이 되고 Low 입력인 U신호는 Turn Off가 되면서 -I_p에 해당하는 전류가 방전되고, 결국 VCO의 입력인 V_c가 감소함에 따라 VCO의 출력 주파수는 감소하게 된다. PLL이 Lock 상태에서는 U와 D신호가 모두 Low가 되고 이때의 스위치 S₁과 S₂는 Turn Off가 되며 루프 필터의 전압은 일정하게 된다.^[5]

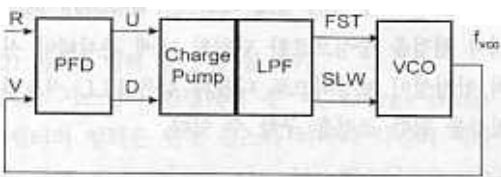


그림 Charge-pump PLL 시스템 블록도
Fig. The block diagram of charge-pump PLL System.

실제 설계한 루프 필터는 그림 3에서 보여주는 바

와 같이 2계 능동 필터로써 구성하였다. 여기서 루프 필터는 자체가 스위치 역할을 하고, 연산증폭기의 이득과 피드백 이득에 의해서 입력에 대한 출력전압 비를 일정하게 유지시켜 준다.

또한, C₂의 방전에 의해 루프 필터의 출력 전압이 감쇄되는 것을 방지한다. C₁은 U와 D단자로부터의 계단 펄스를 완화시킴으로써 연산증폭기의 slew rate 특성에 대한 제약을 어느 정도 완화시킬 수 있으며 C₂는 전하를 축적하여 출력전압을 상승시키는 역할을 한다.

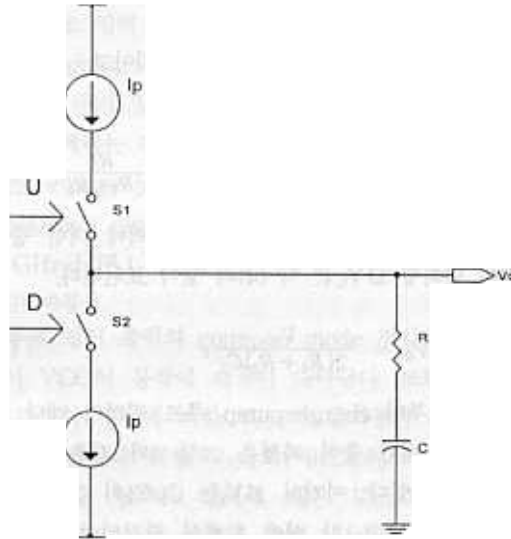


그림 2. Charge-pump 루프 필터의 개념도
Fig. 2. The conceptual diagram of charge-pump loop filter.

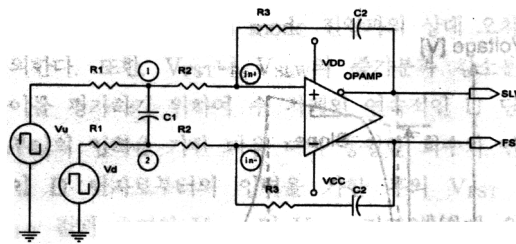


그림 3. Charge-pump 루프 필터 회로
Fig. 3. The circuit of charge-pump loop filter.

그림 3 회로의 동작 특성을 알아보기 위해서 모든 커패시터의 초기 전압을 0V로 가정하고, 연산증폭기는 이상적인 것으로 가정한 후 전달 함수를 유도한 결과가 다음과 같이 나타나 있다.

$$H(s) = \frac{V_{FST}(s) - V_{COM}}{V_U(s) - V_D(s)} = \frac{V_{SLW}(s) - V_{COM}}{V_D(s) - V_U(s)} \quad (1)$$

$$= \frac{1}{2} \frac{1}{R_1 + R_2} \cdot \frac{1 + sC_2R_3}{sC_2} \cdot \frac{1}{1 + 2sC_1(R_1 \parallel R_2)}$$

여기서 V_{FST} 와 V_{SLW} 는 각각 루프 필터의 출력 전압인데, 이 두 전압은 차동 모드로 동작하므로 $V_{COM} = (V_{FST} + V_{SLW})/2$ 이 성립한다. 여기서 V_{COM} 은 출력 전압의 common mode 전압으로서 상수이다.

식 (1)로부터 계단 입력에 대한 출력 전압 $V_{FST}(t)$ 를 구하면 다음과 같다.

$$V_{FST}(t) = \frac{V_P}{2(R_1 + R_2)C_2} t + \Delta V_j \cdot [1 - e^{-\frac{t}{2C_1(R_1 \parallel R_2)}}] \quad (2)$$

여기서 V_P 는 입력 펄스의 크기이고, ΔV_j 는 $C_2 \gg C_1$ 인 경우에

$$\Delta V_j = V_P \frac{C_2R_3 - 2C_1(R_1 \parallel R_2)}{2C_2(R_1 + R_2)} \approx \frac{V_P}{2} \cdot \frac{R_3}{R_1 + R_2} \quad (3)$$

로 근사되며, 시간 τ 동안의 펄스 입력에 대한 출력 전압의 변화량 ΔV_C 는 식 (4)와 같이 표현된다.

$$\Delta V_C = \frac{V_P}{2(R_1 + R_2)C_2} \tau \quad (4)$$

식 (2)로부터 charge-pump 루프 필터의 계단 펄스 입력에 대한 출력 파형은 그림 4와 같은 형태가 됨을 알 수 있다. 여기서 ΔV_j 는 C_1/C_2 의 값이 작기 때문에 $R_3/(R_1 + R_2)$ 의 비에 의해서 결정되며 ΔV_C 는 $1/2(R_1 + R_2)C_2$ 에 의해 변화한다. 또한 C_1 의 값이 작을수록 펄스의 상승천이이 빨라지고 이 값이 고정된 상태에서는 $R_1 \parallel R_2$ 의 값이 작을수록 입력 펄스에 대해 빠르게 반응할 수 있다.

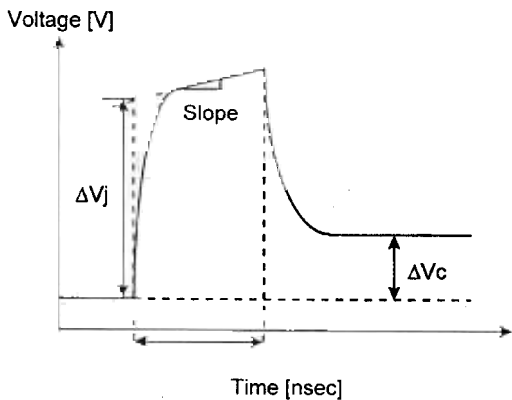


그림 4. 루프 필터의 출력 파형
Fig. 4. Output pulse shape of Loop filter.

2. Charge-pump 루프 필터의 안정성

루프 필터의 안정성을 살펴보기 위해서는 PLL 전체 시스템을 고려하여야만 한다. 2계 수동 루프 필터의 안정성은 F.M. Gardner에 의해서 연구된 바 있는데, 본 연구에서 설계하고자 하는 2계 능동 루프 필터의 안정성 역시 이를 응용해서 해석할 수 있다. 즉, 그림 3과 같은 2계 능동 루프 필터의 등가 임피던스 $Z(s)$ 는 다음과 같이 표현된다.^[1,4]

$$Z(s) = \left(\frac{b-1}{b}\right) \cdot \frac{s\tau_2 + 1}{sC_2\left(\frac{s\tau_2}{b} + 1\right)} \quad (5)$$

여기서 b 와 τ_2 는 다음과 같이 정의된다.

$$b = \frac{C_2R_3}{2C_1(R_1 \parallel R_2)} \quad (6)$$

$$\tau_2 = C_2R_3 \quad (7)$$

또한, PLL 시스템의 시간에 대한 평균적인 행태만을 고려하여 시간에 대해 연속적인 동작을 하는 것으로 가정하면 다음과 같은 closed-loop 전달 함수를 유도할 수 있다.

$$H(s) = \frac{K\left(\frac{b-1}{b}\right)\left(s + \frac{1}{\tau_2}\right)}{\frac{s^2\tau_2}{b} + s^2 + K\left(\frac{b-1}{b}\right)s + \frac{K(b-1)}{b\tau_2}} \quad (8)$$

여기서 K 는 루프 이득(loop gain)이고 VCO의 전압 이득 K_V 를 사용하면 다음과 같이 표현된다.

$$K = K_V V_P \frac{C_2R_3 - 2C_1(R_1 \parallel R_2)}{2C_2(R_1 + R_2)} \quad (9)$$

식 (8)에서 보는 바와 같이 closed-loop 전달 함수의 분모는 3차로 이루어져 있기 때문에 PLL 시스템은 3계 시스템이 된다. 이 시스템에 존재하는 3개의 극점은 모두 복소 변수 s 에 대한 근 궤적(root locus) 상에서 원점을 중심으로한 단위원 내에 존재해야 시스템의 안정성이 보장되므로 다음과 같은 PLL 시스템의 안정성을 위한 조건을 구할 수 있다.

$$K\tau_2 < \frac{4(1+a)}{\frac{b-1}{bf_i\tau_2} \left[\frac{1+a}{f_i\tau_2} + \frac{2(1-a)(b-1)}{b} \right]} \quad (10)$$

여기서 f_i 는 기준 입력 신호의 주파수로 단위는 Hz이며 a 는 다음과 같이 정의된다.

$$a = \exp\left(-\frac{b}{f_1 R_2}\right) \quad (11)$$

기준 입력 신호의 주파수 f_1 와 VCO의 전압 이득 K_V 를 결정하면 식 (10)으로부터 시스템의 안정성이 보장되기 위한 저항 R_1 , R_2 , R_3 의 값과 커패시터 C_1 , C_2 의 값을 결정할 수 있다. 기준 입력 신호의 주파수를 1GHz로, VCO의 주파수 이득 K_V 는 500MHz/V라고 가정한 후, 위 식을 만족시키면서 출력 전류값이 크고, 입력펄스에 대한 반응이 빠른 값을 시뮬레이션을 통해 R_1 , R_2 , R_3 는 각각 400Ω, 400Ω, 150Ω으로 C_1 과 C_2 의 값은 각각 1pF과 0.2nF으로 정하였다.

3. Charge-pump 루프 필터의 사양

1) 최대 출력 전류

Charge pump에서 루프 필터로 전달되는 전류 펄스의 크기가 크면 클수록 동일한 펄스폭의 입력에 대해 커패시터 C_2 가 보다 많이 충전된다. 이것은 입력의 펄스폭이 작아질 수 있음을 의미하므로 charge-pump 루프 필터가 고 주파수 대역에서 동작하기 위해서는 charge pump의 최대 출력 전류가 커져야만 한다. 이론적으로는 그림 3에서 저항만으로 구성된 회로는 $R_3/(R_1+R_2)$ 의 비를 일정하게 유지시키면서 각 저항들의 값을 줄이면 R_1 을 통해 흐르는 전류를 증가시킬 수 있다. 그러나, 실제 연산증폭기의 출력단은 0이 아닌 유한한 출력 저항을 갖는 회로로 구성되어 있으므로 R_1 을 통해 흐르는 전류량이 증가할수록 출력단의 common mode 전압이 감소하게 된다. 본 논문에서는 식 (12)로 정의되는 상대 오차가 0.5% 이하가 되는 범위에서 최대한 흐를 수 있는 전류량을 charge pump의 최대 출력 전류량으로 정의하였다. 이는 실제 PLL 시스템이 정상적으로 동작하기 위한 common mode 전압 변화량의 한계라고 볼 수 있다.

$$\frac{\text{출력단의 common mode 전압의 변화량}}{\text{이론적인 출력단의 common mode 전압}} \times 1000 < 0.5 \quad (12)$$

2) 최소의 입력 펄스 폭 및 주기

PLL 시스템의 관점에서 볼 때, charge-pump 루프 필터의 입력은 단일 펄스가 아니라 약간의 시간 간격을 두고 비주기적으로 나타나는 펄스이므로 하나의 펄스에 대한 최소 폭을 정의하는 것은 바람직하지 못하다. 그러나 PLL 시스템의 특성상 charge pump의 입력 펄스가 엄밀하게 비주기적이라 하더라도, 인접한 입력 펄스에 대해서는 근사적으로 주기적인 펄스 입력

으로 가정할 수 있으므로 본 논문에서는 charge-pump 루프 필터가 정상 동작을 하기 위한 최소 펄스 주기, 혹은 최대 입력 주파수를 정의하였다. 즉, 출력 파형의 falling이 발생하기 이전에 이론적인 ΔV_C 와 ΔV_I 가 출력 파형에 나타나고, 출력 파형의 falling이 발생한 후, 다음번 입력 펄스에 의한 출력 파형의 rising이 발생하기 이전에 루프 필터의 출력 전압이 ΔV_C 로 정상 상태에 도달해 있기 위한 최소의 입력 주기를 charge-pump 루프 필터의 최소 입력 주기로 정의한다. 또한 식 (4)에서 구해지는 출력파형의 ΔV_C 값과 실제 나타나는 값이 동일하게 나타날 때의 펄스 폭을 최소 입력 펄스 폭으로 정의한다. 본 논문에서는 charge-pump 루프 필터의 정상 동작이 가능한 최소의 입력 주기 및 펄스폭이 각각 2nsec와 1nsec가 되도록 설계하는 것을 목표로 하고 있다. 이러한 성능을 갖는 charge-pump 루프 필터는 주파수 분주기 (frequency divider)를 포함하고 있는 일반적인 구조의 GHz급 PLL시스템에서 사용될 수 있다.

3) 대칭성

루프 필터 출력의 common mode 전압 변화로 인해서 VCO의 동작에 왜곡이 나타난다. 또한, PFD의 U 단자의 입력에 대한 V_{FST} 의 증가분과 PFD의 D 단자의 입력에 대한 V_{FST} 의 감소분의 차이나, 혹은 PFD의 U 단자의 입력에 대한 V_{SLW} 의 감소분과 PFD의 D 단자의 입력에 대한 V_{SLW} 의 증가분의 차이도 전체 PLL 시스템의 성능을 저하시키는 요인이 된다. 따라서 V_{FST} 와 V_{SLW} 의 대칭성을 평가하기 위한 수단으로, 수 차례의 연속적인 U 단자로부터의 입력을 가한 후, 변화된 V_{FST} 와 V_{SLW} 의 common mode 전압과 이론적인 common mode 전압과의 상대 오차를 정의한다. 또한, V_{FST} 나 V_{SLW} 의 증가분과 감소분의 차이를 평가하기 위하여 수 차례의 연속적인 U 단자로부터의 입력을 가한 다음 다시 동일한 회수의 연속적인 D 단자로부터의 입력을 가한 후의 V_{FST} 및 V_{SLW} 값과 초기의 V_{FST} 및 V_{SLW} 값과의 상대 오차를 정의하였다.

4) 전압 유지 시간

이상적인 경우, charge-pump 루프 필터의 두 입력인 U와 D 단자가 모두 logic LOW 상태가 되면, charge pump와 루프 필터 사이에는 높은 임피던스 경로가 발생되어 커패시터의 방전이 이루어 지지 않게 된다. 따라서, 일단 PLL이 lock 상태가 되면 루프 필

터의 출력 전압은 일정하게 유지되며 전압 유지 시간은 무한대가 된다. 그러나, 실제 회로의 경우, 연산증폭기의 open-loop 이득이 유한한 값이기 때문에 출력 전압은 감소한다. 이것은 결국 그림 3과 같은 회로에서 커패시터 C_2 의 방전이 일어남을 의미하고, 루프 필터의 출력 전압에 리플이 발생함을 의미한다. charge pump의 개념을 도입하는 주된 이유가 lock 상태에서의 정지 위상 오차를 0으로 유지시키기 위한 것이기 때문에 전압 유지 시간은 상당히 중요한 요소이다. 출력 전압의 감쇄는 시간에 대해 지수함수적으로 나타나므로 시상수(time constant)를 이용하여 전압 유지 시간을 평가하는 것이 합리적일겠지만, 본 논문에서는 평가의 간결성을 위해 일정 시간에 대한 출력 전압 변화의 상대 오차를 정의하여 전압 유지 시간을 평가한다.

III. GaAs MESFET 연산증폭기

1. 연산증폭기의 구조

PLL 시스템의 특성으로 인해 연산증폭기 입력단의 common mode 전압이 증가하거나 감소한다. 또한, 출력단의 잡음은 VCO의 주파수를 변화시킨다. 그리고, 고 주파수에서 동작하기 때문에 온도 등의 영향을 고려해서 설계해야만 한다. 이상적인 차동증폭기는 바이어스 전류원의 출력저항이 무한대이므로 CMRR (Common-Mode Rejection Ratio) 역시 무한대가 된다. 또한 온도와 공정 파라미터의 변화에 대해 안정성이 좋은 장점 등을 가진다. 이 구조는 일반적으로 출력단의 부하를 충전시키는 pull-up 소자와 방전시키는 pull-down 소자, 그리고 바이어스를 구성하는 전류원으로 구성된다.^[7]

먼저, pull-down 소자는 하나의 MESFET으로 구성되며 이 소자의 g_m 값이 증폭기 이득을 결정하는데 중요한 요소가 된다. 따라서 이 값에 관계하는 파라미터인 β 값이 depletion mode FET에 비해 상대적으로 큰 enhancement mode FET을 pull-down 소자로 사용하는 것이 유리하다. Pull-up 소자는 저항으로 구성하거나 FET으로 능동 부하를 구성하는데 차동증폭기의 이득은 위에서 언급한 g_m 값과 pull-up 소자의 소신호 저항값의 곱에 비례한다. 저항으로 pull-up 소자를 구성한다면 저항값이 커짐에 따라서 동작점이 낮아지기 때문에 대부분의 MOSFET으로 구성된 회로

에서는 FET으로 능동 부하를 구성한다. 그러나, GaAs MESFET은 소신호 저항값이 낮기 때문에 능동 부하를 구성하여 얻어지는 장점보다는 포화영역에서 동작하기 위한 전원전압으로 인한 설계상의 제약이 커진다. 따라서, 본 논문에서는 이득과 공정 파라미터의 변화, 온도의 변화에 대한 안정성의 향상에 중점을 두고 저항을 pull-up 소자로 선택하였다.

차동증폭기의 CMRR을 결정하는 요소는 바이어스 전류원의 출력 저항인데 하나의 FET만으로 전류원을 구성하는 경우 전류원의 출력 저항이 작은 문제가 있다. 따라서 전류원의 출력 저항을 증가시키기 위해 여러개의 FET을 직렬로 연결하여 전류원을 구성하는 cascode 방식을 사용하는 것이 일반적이다.^[7] 그러나, 본 논문에서 규정한 증폭기의 전원 전압내에서는 cascode된 모든 FET들을 충분히 포화영역에서 동작하도록 할 수 없다. 따라서 본 연구에서는 하나의 FET과 하나의 저항을 cascode로 연결하고 FET의 gate 전압을 feedback 회로에 의해 제어하는 방식의 전류원을 채택하였으며, 이 회로가 그림 5에 나타나 있다.

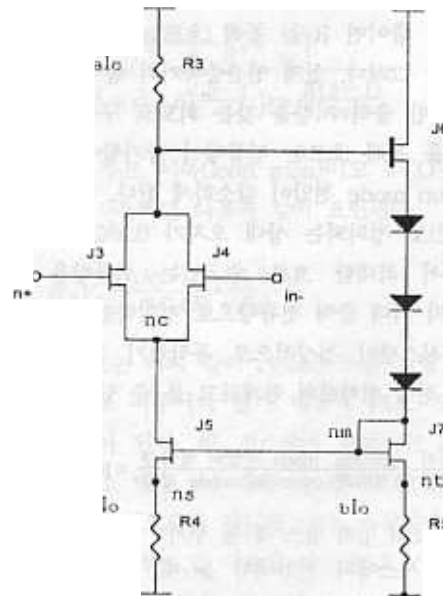


그림 5. Feedback 회로를 이용한 전류원
Fig. 5. Current Source using the feedback circuit.

이 feedback 회로의 동작특성은 V_{nc} 전압이 증가할 경우에 J_5 의 드레인-소오스 전압의 증가로 인한 전류의 증가를 feedback 회로를 통해서 J_5 의 게이트-소

오스 전압을 감소시켜서 전류를 일정하게 유지시키는 것이다. 그러나, 고 주파수 대역에서 common mode 전압의 순간적인 증가나 감소로 인한 V_{nc} 전압의 변화를 feedback 회로를 통해서 보상시키는데 걸리는 지연시간에 의해서 펄스폭의 손실을 가져오게 된다.

Charge-pump 루프 필터에 포함된 연산증폭기의 전체 구조는 만족할 만한 전압 유지 시간을 갖기 위해서 대략 1000이상의 전압이득을 얻도록 설계되어야 한다. 따라서, 주어진 전원 전압 내에서 만족할 만한 이득을 갖도록 하기 위해 cascade 구조의 증폭기를 채택하였다.

2. 연산증폭기의 설계

연산증폭기의 입력 바이어스는 $-0.705V$ 이고 출력 바이어스는 $-0.4825V$ 로 정하였다. 출력 바이어스는 VCO의 제어전압의 common mode 전압과 일치해야 하지만 본 논문에서는 charge-pump 루프 필터만을 다루기 때문에 $-0.705V/-0.26V$ 입력펄스의 중간 값으로 정하였다. 그리고, 전원전압은 $3.3V$ 와 $-2.0V$ 이다. 바이어스, 입력펄스, 그리고 전원전압은 charge-pump 루프 필터가 포함될 시스템내의 PFD 출력단과 VCO 입력단에서 요구되는 사양이다.

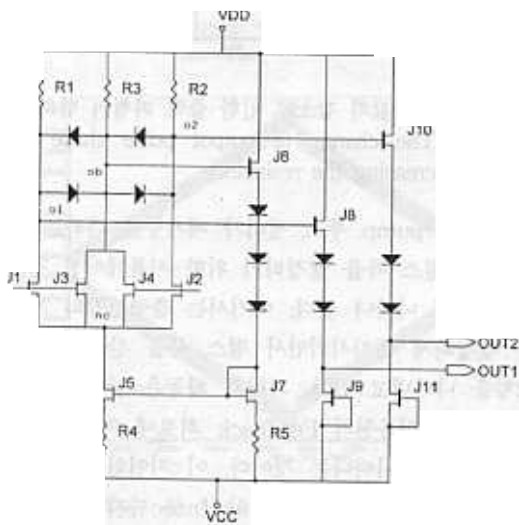


그림 6. 1단 차동 증폭기 회로
Fig. 6. 1-stage Differential amplifier circuit.

그림 6은 Pull-up 소자에는 저항, Pull-down 소자에는 Enhancement MESFET을 사용하고, 전류원으로는 feedback 회로와 cascode 전류원이 사용된 1단

의 차동증폭기 회로 및 버퍼의 구조를 나타내고 있다. 버퍼는 증폭단의 출력을 다음단의 입력 전압 레벨에 맞추기 위해서 필요하며 마지막 증폭단의 경우에는 증폭기의 출력 임피던스를 줄이기 위해 바이어스 전류를 $25mA$ 로 매우 크게한 버퍼 회로를 사용하였다.

증폭단의 바이어스 전류는 전류량이 증가하게 되면 주파수 특성이 좋아지지만 전압이득은 감소하기 때문에, 원하는 전압이득을 얻는 범위내에서 전류량을 증가시켜서 주파수 특성을 향상시키는 방향으로 설계하여야 한다.^[7]

그림 6에서 J_5 는 포화영역에서 동작하여야 하며 전류량과 전류원의 출력저항 값이 적절하게 최적화할 수 있도록 R_4 의 크기를 결정해야 한다. 본 논문에서는 이를 고려해서 R_4 에 흐르는 전류를 $1.8mA$ 로 정하였다. 또한, 저항 R_1, R_2, R_3 에 흐르는 전류량의 비율 $2:2:1$ 로 결정해서 각각 $0.72, 0.72, 0.36mA$ 로 정하였다. R_3 와 R_5 에 흐르는 전류량은 각각 R_4 에 흐르는 전류량의 $1/5$ 과 $1/2$ 일때 CMRR이 최대가 되며 이 두 요소가 feedback되는 정도를 결정한다. J_1, J_2, J_3, J_4 의 바이어스 전압은 g_m 값의 크기와 입력 common mode 전압 증가 특성을 고려하여 $0.35V$ 로 결정하였다. 이 트랜지스터들의 드레인-소오스 전압은 포화 영역에서 동작하여야 하며, 출력의 스윙 폭이 최대가 되어야 하는 것을 고려하여 모두 동일하게 $2.3V$ 로 정하였다. J_5 의 바이어스 전압은 enhancement mode FET의 early saturation 효과로 인해 포화영역에 있기 위한 최소 드레인-소오스 전압이 $0.462V$ 이므로 약간의 여유를 두어 $0.5\sim 0.6V$ 로 정하였다. 그리고 게이트-소오스 전압은 FET의 게이트 접합이 turn-on 되지 않는 최대의 전압 $0.6V$ 와 문턱 전압인 $0.245V$ 의 중간인 $0.4V$ 로 하였다. 그림 7에 나타난 3단 증폭기의 각 단은 이와같이 설계하였으며 이러한 방법으로 결정된 각 트랜지스터들의 크기 및 저항값들은 SPICE 시뮬레이션을 통해 최적의 값으로 정하였다.

연산증폭기의 주파수 보상을 위한 방법으로는 각 증폭단으로부터 발생하는 주 극점(dominant pole)들을 서로 벌어지게 함으로써 3-dB 주파수와 단일 이득 주파수를 줄여서 원하는 phase margin을 확보하는 nested Miller compensation이라는 커패시터에 의한 보상 방법이 있다. 그러나 이 방법은 극점들의 위치가 점점 벌어짐으로써 3-dB 주파수가 크게 감소하는 단점이 있고 이를 해결하기 위한 방법인 multi-path

nested Miller compensation 역시 저항과 커패시터 외에 별도의 회로들이 추가로 포함되어야 한다.^[9] 따라서, 그림 7과 같이 3번째 증폭단의 출력과 2번째 증폭단의 입력 사이에 200Ω의 저항과 2pF의 커패시터를 연결하고, 3번째 증폭단과 1번째 증폭단의 입력 사이에도 200Ω의 저항과 2pF의 커패시터를 연결하였으며, 버퍼1과 버퍼2의 각각의 입력과 출력 사이에 2pF의 커패시터를 연결하는 일반적인 보상방법을 사용하였다.^[78]

이는 SPICE 시뮬레이션을 통해 최적의 주파수 특성을 갖는 저항값과 커패시터 값들을 구한 결과이며, 그림 8은 연산증폭기의 주파수 특성을 나타내는 그림으로 dc 전압 이득은 67.4dB이고, 3-dB 주파수는 246KHz이고 단일 이득 주파수는 706MHz이며, phase margin은 58°임을 알 수 있다.

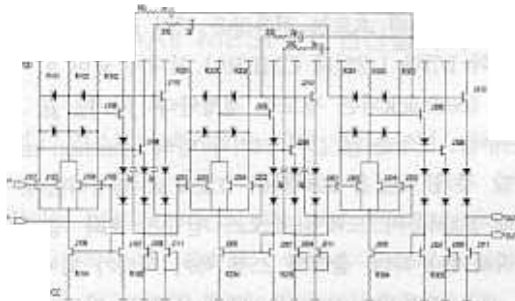


그림 7. 연산증폭기 회로
Fig. 7. Op-amp circuit.

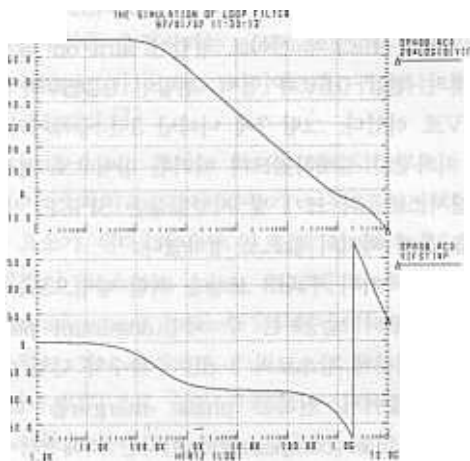


그림 8. 연산증폭기의 주파수 특성
Fig. 8. Frequency response of op-amp.

IV 시뮬레이션 및 결과 고찰

1. Charge-pump 루프 필터의 사양 검증

그림 9는 charge-pump 루프 필터의 최대출력전류를 보여주기 위한 시뮬레이션 결과로써 그림 3의 회로에서 C₂를 제거하고 R₃/(R₁+R₂)의 비를 일정하게 유지시키면서 저항값을 줄여 출력파형을 본 것이다. 저항값이 작아지면 전류는 증가하지만 그림 9에서 보듯이 common mode 전압의 오차가 발생한다. 이를 측정해나가면서 0.5% 이내의 상대오차를 얻을 때의 전류량을 최대출력전류로 규정하였다. 시뮬레이션 결과 R₁, R₂, 그리고 R₃가 각각 400Ω, 400Ω, 150Ω일 때가 약 0.45%의 상대오차를 갖고 이 때의 전류량은 0.4954mA의 최대출력전류를 갖게 된다.

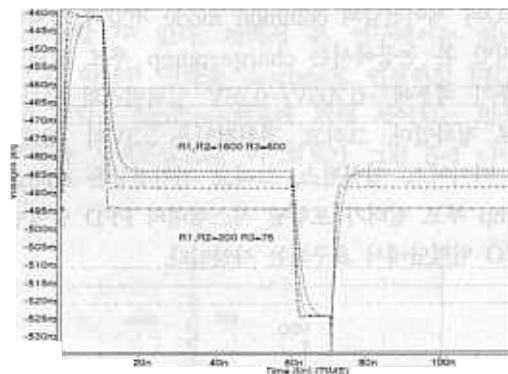


그림 9. 저항값의 감소로 인한 출력 파형의 변화
Fig. 9. The change of output pulse shape decreasing the resistance.

Charge-pump 루프 필터가 제기능을 다하는 최소의 입력 펄스 폭을 결정하기 위한 시뮬레이션 결과가 그림 10에 나타나 있다. 여기서는 출력전압의 기울기를 일정하게 유지시키면서 펄스 폭을 감소시킬 때의 경향을 나타내고 있다. 파형의 왜곡은 앞에서 설명한 바와 같이 전류원의 Feedback 회로에 의한 지연 현상에 의해서 나타나는 것이다. 이 지연현상과 회로구성의 지연시간등에 의해서 약 1nsec까지의 펄스폭을 갖는 입력에 대해서 루프필터가 정상동작을 하게 된다. 물론 1nsec일 때에 정상값에 도달하기 이전에 falling 현상이 발생함을 알 수 있으나 모두 1.1nsec 이내에 이론적인 V_c에 도달하기 때문에 500MHz의 입력 주기를 갖는 펄스에 대해 정상적으로 동작한다고 할 수 있다.

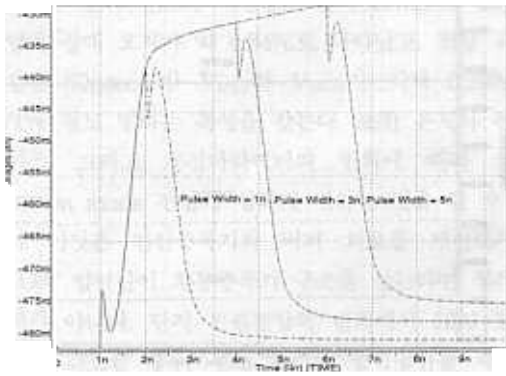


그림 10. 입력펄스폭의 감소에 따른 출력 파형의 변화
Fig. 10. The change of output pulse shape decreasing input pulse width.

그림 11은 4nsec 주기에 2nsec의 펄스폭을 갖는 U 신호가 120번 연속적으로 들어간 후 같은 주기와 펄스폭을 갖는 D신호가 120번 연속적으로 들어갔을 때의 시뮬레이션 결과를 나타낸 것이다. 여기서 D입력이 가해지기 직전의 V_{FST} 와 V_{SLW} 전압을 측정함으로써 대칭성을 조사할 수 있는데 이 때의 상대오차를 계산하면 약 0.34%로 대칭성이 우수함을 알 수 있고, 또한 시뮬레이션 결과에서 처음 초기값과 최종값은 그 차이가 거의 없을 정도로 작기 때문에 증가분과 감소분이 같게 나타나는 것을 알 수 있다.

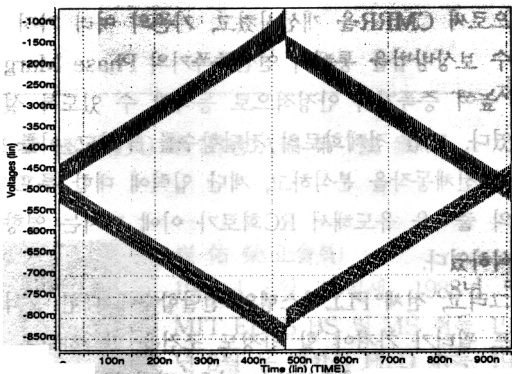


그림 11. V_{FST} 와 V_{SLW} 출력파형의 대칭성 시뮬레이션
Fig. 11. The symmetry simulation of output pulses, V_{FST} and V_{SLW} .

그림 12에는 10nsec의 펄스폭을 갖는 하나의 펄스 입력이 가해진 후의 두 출력 전압의 감쇠를 나타낸 것으로 50usec에서의 전압값과 초기 전압값의 상대 오

차를 측정해 본 결과 V_{FST} 와 V_{SLW} 에 대해 각각 0.59%, 0.71%로 충분한 전압 유지 시간을 갖는다.

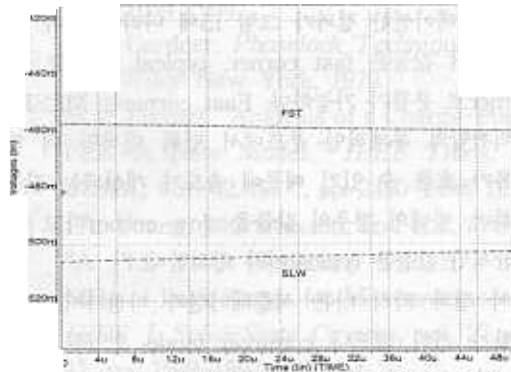


그림 12. V_{FST} 와 V_{SLW} 출력파형의 전압 유지 시간 시뮬레이션
Fig. 12. The hold time simulation of output pulses, V_{FST} and V_{SLW} .

2. 온도, 전원노이즈, 공정파라미터에 따른 특성 변화
먼저, 온도를 -20°C , 30°C , 85°C 로 했을 때의 출력 전압의 전압 유지 시간에 관한 시뮬레이션 결과가 그림 13에 나타나 있다. 온도의 변화에 따른 전압 유지 시간의 변화는 거의 없으나 common mode 전압의 변화가 -20°C 와 85°C 에 대해 각각 6.89%, 7.96%로 심하게 변화하는 것으로 나타났다. 이 결과와 마찬가지로 대칭성에 관한 시뮬레이션 역시 온도변화에 대해 영향을 받지 않지만 common mode 전압의 변화가 나타났다. 이는 연산증폭기의 설계시 간단한 구조의 버퍼를 사용했기 때문에 온도에 대한 안정성이 떨어지는 것으로 판단되지만, VCO의 입력단 역시 차동 증폭기의 구조를 가지고 있다면 심각한 문제가 되지는 않는다.

그림 14에는 전원전압이 $\pm 10\%$ 정도 변화했을 때의 출력전압의 전압 유지 시간에 관한 시뮬레이션 결과가 나타나 있다. 전원전압이 $+3.63\text{V}/-2.2\text{V}$ 일 경우에 전압 유지 시간은 정상적인 전원전압에 비해 빠르게 감소하고 $+2.97\text{V}/-1.8\text{V}$ 일 경우의 전압 유지 시간은 약간 느리게 감소하는 경향을 나타내는데 연산증폭기의 바이어스 조건이 안정된 상태에 있지 못해서 전류원이 포화영역에 있기 위한 전압을 확보하지 못하기 때문에 나타난 결과로 판단된다. 전원전압이 10% 감소한 경우의 시뮬레이션 결과, 루프 필터의 출력폭이 제한을 받게 되는 현상이 나타났다. 이와 같은 제한 없이 정

상적인 동작이 가능한 전원전압 변화의 범위는 시뮬레이션 결과 약 5% 이내로 결정할 수 있다.

공정 파라미터의 변화에 따른 전압 유지 시간 변화를 시뮬레이션한 결과가 그림 15에 나타나 있다. 공정 파라미터 값들은 fast corner, typical, 그리고 slow corner로 분류가 가능하다. Fast corner는 MESFET 문턱전압의 통계적인 분포에서 단위 면적당 더 많은 전류가 흐를 수 있기 때문에 속도가 개선되는 값들을 말하며, 반대의 경우의 값들을 slow corner라고 하고, 평균적인 값들은 typical이라 정의한다.

이 결과 역시 다른 시뮬레이션과 마찬가지로 특성 변화가 거의 없으나 common mode 전압의 변화가 fast와 slow에 대해 각각 8.57%와 15.9%로 심하게 변화하였다.

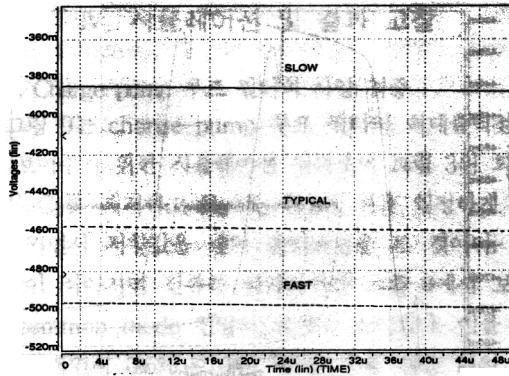


그림 15. 공정 파라미터에 따른 V_{FST} 의 전압 유지 시간 변화

Fig. 15. Hold time change of V_{FST} characteristics due to process parameter.

V 결론

본 논문에서는 GHz대역에서 동작하는 charge-pump PLL 시스템에서 동작할 수 있는 charge-pump 루프 필터를 GaAs MESFET 소자로 구현한 연산증폭기와 외부의 2계 RC회로를 통해서 설계하였다.

연산증폭기는 전압이득을 크게 하기 위해서 3단의 차동증폭기로 구성하였으며, 각 단의 전류원에 Feedback 회로를 연결하여 전류원의 출력 저항을 증가시킴으로써 CMRR을 개선시켰고, 기존의 여러 가지 주파수 보상방법을 통해서 연산증폭기의 Phase Margin을 높여 증폭기가 안정적으로 동작할 수 있도록 설계하였다. 또한 전체회로의 전달함수를 구하고 이를 이용해 전체동작을 분석하고, 계단 입력에 대한 루프 필터의 출력을 유도해서 RC회로가 이에 미치는 영향을 분석하였다.

그리고 전체 PLL시스템의 전달함수에 대한 분석과 루프 필터가 가져야 할 안정도 조건을 만족하도록 그림 3의 저항과 커패시턴스 값을 결정하였으며, 최대 출력 전류, 최소 입력 펄스폭, 대칭성, 전압 유지 시간 등의 성능을 평가하기 위한 척도를 제시하였다. 이와 같은 척도를 통해 charge-pump 루프 필터의 성능을 평가해 보면, 최대출력전류는 출력단의 common mode 전압의 이론적인 값과 상대오차가 0.5% 이내인 범위에서 약 0.5mA정도였고, 정상동작이 가능한 최소의 입력펄스 폭은 2nsec주기에 1nsec의 펄스폭을 가

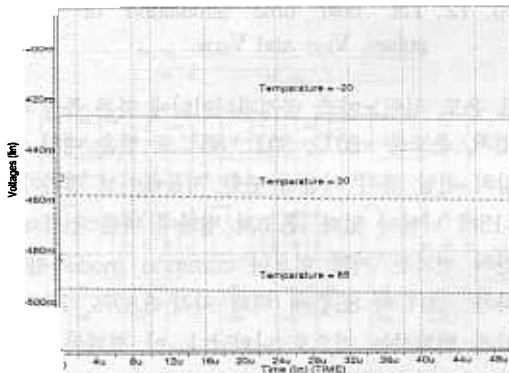


그림 13. 온도에 따른 V_{FST} 의 전압 유지 시간 변화
Fig. 13. Hold time change of V_{FST} characteristics due to temperature.

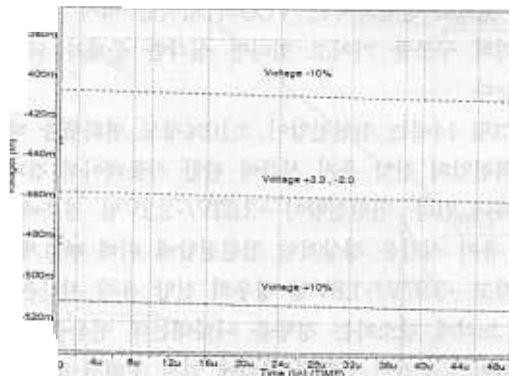


그림 14. 전원 전압에 따른 V_{FST} 의 전압 유지 시간 변화
Fig. 14. Hold time change of V_{FST} characteristics due to Voltage Source.

지며, 두 출력 신호의 대칭성은 출력 common mode 전압의 상대 오차가 약 0.34%로 나타났고, 전압 유지 시간은 50usec동안 V_{FST} 와 V_{SLW} 가 각각 0.59%와 0.71% 정도 변하는 특성을 갖는다. 또한 온도와 전원 노이즈, 그리고 공정파라미터의 변화에 따라 출력 common mode 전압이 심하게 변하는 것을 알 수 있으나 이것은 연산증폭기의 버퍼 회로를 개선하거나 VCO의 입력단이 차동증폭기 구조를 갖는다면 심각한 문제가 아니다. 단지 전원전압의 변화에서 10% 전원 전압을 감소한 경우, 루프 필터의 출력범위를 제한하는 결과를 나타내었는데 시뮬레이션 결과 약 5% 전원 전압 감소이내에서는 본 charge-pump 루프필터가 동작가능한 것으로 나타났으며, 이는 연산증폭기의 바이어스 조건을 개선함으로써 해결할 수 있을 것으로 여겨진다.

참 고 문 헌

[1] F.M. Gardner, "Charge-Pump Phase-Lock Loops," *IEEE Trans. on Comm.*, vol. 28, no. 11, pp. 1849-1858, 1980.
 [2] R.E. Best, *Phase-Locked Loops: Theory, Design and Applications*, McGraw-Hill New York, 1984.
 [3] R.S. Co and J.H. Mulligan, "Optimization

of Phase-Locked Loop Performance in Data Recovery Systems," *IEEE J. Solid-State Circuits*, vol. 29, no. 9, pp. 1022-1034 1994.
 [4] F.M. Gardner, *Phaselock Techniques, 2nd Ed.*, Wiley New York, 1979.
 [5] M.V. Paemel, "Analysis of a Charge-Pump PLL: A New Model," *IEEE Trans. on Comm.*, vol. 42, no. 7, pp. 2490-2498, 1994.
 [6] I.A. Young, J.K. Greason, and K.L. Wong, "A PLL Clock Generator with 5 - 110 MHz of Lock Range for Microprocessors," *IEEE J. Solid-State Circuits*, vol. 27, no. 11, pp. 1599-1607, 1992.
 [7] P.R. Gray and R.G. Meyer, *Analysis and Design of Analog Integrated Circuits, 3rd Ed.*, Wiley New York, 1993.
 [8] M. Vadipour, "Capacitive Feedback Technique for Wide-Band Amplifiers," *IEEE J. Solid-State Circuits*, vol. 28, no. 1, pp. 90-92, 1993.
 [9] R.G. Eschauzrer, L.P.T. Kerklaan, and J.H. Huijsing, "A 100-MHz 100-dB Operational Amplifier with Multipath Mested Miller Compensation Structure," *IEEE J. Solid-State Circuits*, vol. 27, no. 12, pp. 1709-1717, 1992.

저 자 소 개

鄭 泰 植(正會員) 第33卷 A編 第7號 參照



崔 佑 榮(正會員)
 1963년 8월 10일생. 1988년 5월 MIT EECS BS 및 MS 취득. 1994년 5월 동 대학원 Ph.D 취득. 1994년 10월 ~ 1995년 8월 일본 NTT 광전자 연구소 Post-doctoral fellow. 1995년 9월 ~ 현재 연세대학교 전자공학과 교수. 주관심분야는 반도체 소자 및 회로

金 鳳 烈(正會員) 第25卷 第11號 參照



全 商 喆(正會員)
 1973년 7월 23일생. 1996년 2월 연세대학교 전자공학과 졸업. 1996년 9월 ~ 현재 동 대학원 석사과정. 주관심분야는 CMOS 집적회로 설계, PLL IC 설계, 이동통신용 IC 통신

李 範 哲(正會員) 第33卷 B編 第7號 參照