

논문 2006-43TC-11-18

# ZigBee 응용을 위한 900MHz CMOS RF 송·수신기 구현

( Implementation of a CMOS RF Transceiver for 900MHz ZigBee Applications )

권재관\*, 박강엽\*, 최우영\*, 오원석\*\*

( J. K. Kwon, K. Y. Park, Woo-Young Choi, and W. S. Oh )

## 요약

본 논문은 ZigBee 응용을 위한 900MHz ISM 밴드용 RF 송·수신기 설계에 관한 기술이다. 수신단은 저잡음 증폭기, 하향믹서, 프로그래머블 이득증폭기, 밴드패스필터로 구성되며, 송신단은 밴드패스필터, 프로그래머블 이득증폭기, 상향믹서, 구동증폭기로 구성된다. 송·수신단은 Low-IF 구조를 사용하였다. 또한, 송·수신단을 구성하는 각각의 블록은 저전력 기술을 사용하여 전체적인 전류 소모를 줄였다. Post-레이아웃 시뮬레이션으로 전체 송·수신기의 성능을 검증 하였으며, 0.18um RF CMOS 공정을 이용하여 칩으로 구현하였다. 측정결과 제작된 칩셋은 -92dBm의 최소 수신 입력 레벨을 갖으며, 0dBm의 선형적인 최대 송신 출력 레벨을 갖는다. 또한, 전력 소모는 32mW(@1.8VDD)이며, ESD 방지 다이오드 패드를 포함한 칩 면적은 2.3mm x 2.5mm이다.

## Abstract

In this paper, we describe a 900MHz CMOS RF transceiver using an ISM band for ZigBee applications. The architecture of the designed rx front-end, which consists of a low noise amplifier, a down-mixer, a programmable gain amplifier and a band pass filter. And the tx front-end, which consists of a band pass filter, a programmable gain amplifier, an up-mixer and a drive amplifier. A low-if topology is adapted for transceiver architecture, and the total current consumption is reduced by using a low power topology. Entire transceiver is verified by means of post-layout simulation and is implemented in 0.18um RF CMOS technology. The fabricated chip demonstrate the measured results of -92dBm minimum rx input level and 0dBm maximum tx output level. Entire power consumption is 32mW(@1.8V<sub>DD</sub>). Die area is 2.3mm×2.5mm including ESD protection diode pads.

**Keywords :** ZigBee, transceiver, CMOS, Low-IF, Low-power

## I. 서론

세계 공통으로 무선 면허 자격이 필요 없고 단지 인증 절차 후 사용할 수 있다는 편의성 때문에 ISM (Industry Science & Medical) 밴드를 이용한 무선 통신 환경이 나날이 증가하고 있다. ZigBee는 이러한

ISM 밴드를 이용하며, 국제 통신 규격인 IEEE802.15.4 (Wireless Personal Area Network: WPAN)를 채택하고 있어 기존의 무선 데이터 모듈과는 달리 상호 접속 시 호환성에 문제가 없고 ISM 밴드의 인증 편의성 등으로 인해 극 저 전력, 저속 통신을 응용으로 하는 무선 통신 시장에서 글로벌화를 이룰 것으로 전망된다. 이는 수만 개의 클러스터(cluster) 네트워크를 형성 할 수 있고 근거리 저 전력 통신이 가능하며, 최소 2년 이상의 배터리 수명을 유지한다는 점에서 블루투스 (Bluetooth) 통신과 확연히 구분되고 그 응용 면에서도 큰 차이가 있다<sup>[1]</sup>. 이러한 ZigBee를 이용한 응용 범위로는 산업에서 모니터링과 제어, 홈오토메이션, 센서 네트워크, 계

\* 정회원, 연세대학교 초고속 회로 및 시스템 연구실

(High speed circuit and system Lab. Yonsei University )

\*\* 정회원, 전자부품연구원 SoC연구센터

(SoC Research Center, KETI)

접수일자: 2006년10월10일, 수정완료일: 2006년11월18일

임, 의료 자동화 솔루션 등이 가능하다. 이러한 ZigBee 통신 규격은 868MHz/915MHz를 사용하는 BPSK 방식과 2.4GHz를 사용하는 QPSK 방식으로 나뉜다. 두 방식은 각각 데이터 레이트가 20kbps/40kbps와 250kbps으로 응용에 따라 사용자가 선택할 수 있다. 본 지에서는 868MHz/915MHz 대역에 초점을 두었고 이에 적합한 송·수신기 설계에 관해 기술하고자 한다. 이 대역은 크게 868MHz의 1개 채널을 이용하는 유럽 규격과 902MHz~928MHz의 10개 채널을 사용하는 USA 규격이 있으며 본 설계에서는 이 둘을 모두 수용 할 수 있도록 설계하였다.

무선 통신 칩 셋 설계 시 기존에 GaAs, SiGe 등이 많이 사용되었으나, 현재 CMOS 공정 기술의 발전으로 인하여 이들을 많이 대체하고 있으며 본 설계에서도 CMOS 공정을 채택하였다. CMOS의 Cut-off 주파수의 향상( $f_t > 45\text{GHz}$ )과 기저대역 모뎀을 통합한 송·수신기를 원 칩 솔루션으로 집적화가 가능하다는 점, 그리고 가격 면에서의 경쟁력 등이 RF 적용에 장점으로 자리 잡고 있다. 그러나 여전히 다른 공정과 비교할 때 속도문제( $f_t$ ), CMOS가 갖고 있는 잡음, L과 C의 낮은 Q-factor등이 RF 적용을 위해 해결해야 할 문제로 남아 있다<sup>[2]</sup>.

ZigBee용 RF 송·수신단의 구조로 Low-IF 구조를 사용 하였다. 최근 들어 통신 시스템은 주파수 변조를 기저대역 신호로 바로 해 주는 직접 변환방식 (direct-conversion)을 많이 이용한다. 직접 변환방식 시스템은 크게 Zero-IF 방식과 Low-IF 방식으로 나눌 수 있는데, Zero-IF 방식은 RF 신호의 중심 주파수를 DC로 바로 변환하게 된다. 그래서 변환된 기저대역 신호는 상대적으로 Low-IF 방식에 비해 DC-offset에 민감하게 영향을 받게 되어 저주파일수록 높게 나타나는  $1/f$  Noise에 큰 영향 미친다. 본 시스템에서 사용되는 Low-IF 방식은 LO와 RF 신호간의 주파수 offset을 주어 DC 근처로 주파수 변환을 한다. 그러나 변환된 주파수는 수신단 다음에 위치하게 될 ADC의 동작 주파수와 같다. 그래서 ADC 와 기저대역 모뎀을 통해서 신호의 복원이 이루어진다<sup>[3]</sup>.

송·수신단 각각의 기능블록 설계시 크게 두 가지 issues가 고려되었다. 첫 번째는 각 블록의 선형성을 높여서 아주 작은 입력 신호에 대해서도 왜곡 없이 신호를 변조해 주어야 한다는 것이고 두 번째는 배터리 하나에 2~3년의 수명을 가지고 동작할 만큼 낮은 전류 소

모를 가져야 한다는 것이다. 따라서 시스템을 구성하는 블록의 수가 적어야 하고 각 개별 블록이 높은 선형성과 낮은 전력으로 동작하는 송·수신 단을 만들고자 하였다<sup>[4],[5]</sup>.

개발된 IP는 CMOS를 사용하여 구현함으로써 집적도가 높고, 다른 무선통신 시스템용 칩(Base Band Modem)과의 단일 칩 구현이 용이하다. 검증용 플랫폼의 구현은 고주파 회로의 패키징 기생성분에 대한 영향을 고려하여 개별블록 설계 자체의 현실성 반영은 최대한 하고, 개별 블록의 Post-레이아웃 시뮬레이션에서 검증하는 방법을 이용하였다.

## II. 수신단

### 1. 수신단 설계

전체적인 수신단의 블록도를 그림 1에 나타 내었다. 안테나로부터 인가된 신호는 저잡음 증폭기(LNA)와 상향 믹서(MIXER)를 거쳐 기저대역 주파수로 변환되며 가변 이득 증폭기와 필터를 거쳐 아날로그 디지털 변환기(ADC)로 인가된다. 수신 단은 크게 두 가지 요소를 가지고 설계 되었다. ZigBee에서 요구되는 최소 입력 신호레벨은 -92dBm 정도로 낮기 때문에 이를 받아들이기 위해서는 LNA의 잡음지수(Noise Figure)를 가능한 작게 해야 한다. 그리고 큰 입력 신호에 대하여 최종단인 ADC에서 적절한 입력 레벨로 인가하기 위한 선형성이 큰 이득 조절 블록이 필요하다. 이에 잡음지수가 작으면서 선형성이 큰 LNA와 믹서의 설계가 이루어져야 하고 기저대역 신호에 대하여 선형적인 가변 이득 조절 범위를 크게 갖을 수 있도록 프로그래머블 이득 증폭기(Programmable Gain Amplifier)의 설계가 필요하다.

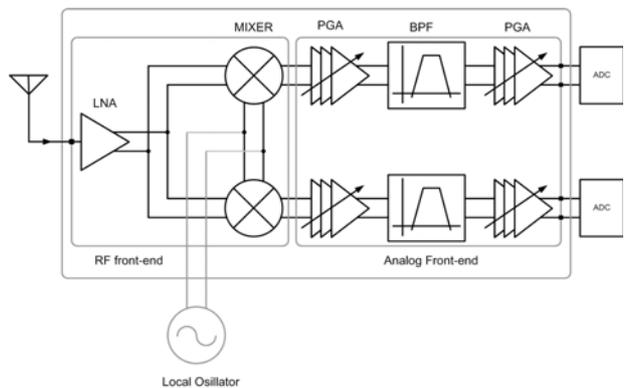


그림 1. 수신단의 블록도  
Fig. 1. receiver block diagram.

가. 저잡음 증폭기(Low Noise Amplifier)

단일 입력단을 사용하는 LNA의 구조는 선형성은 높으나 이득이 작은 특징이 있다<sup>[5]</sup>. 이에 본 설계에서는 큰 이득을 유지하면서도 높은 선형성과 낮은 잡음지수를 갖는 LNA를 설계 하였다. 사용된 LNA는 원하는 주파수(915MHz)대역에서 최소의 잡음지수를 얻기 위하여, passive 인덕터를 이용한 source-degeneration 구조를 사용하였다<sup>[6]</sup>. 이 구조를 사용함으로써 작은 전류 소모로 원하는 동작 주파수 범위에서 낮은 잡음지수를 얻을 수 있다. 그러나 일반적으로 단일 입력으로 사용할 경우 이득이 15~18dB 사이의 값을 갖기 때문에 높은 선형성과 이득, 그리고 낮은 잡음지수를 유지하기 위해서 본 지에서는 pseudo-differential 구조를 또한 사용하였다. 그 결과 20dB 이상의 높은 이득과 -15dBm의 P-1dB, 1dB 이하의 잡음지수를 얻을 수 있었다.

(1) LNA회로 설계

LNA의 전체 회로도를 그림 2에 나타내었다. 입력 매칭과 최소 잡음지수를 결정 하는 입력단을 최대전력 전달 식을 이용하여 구성하였고, LNA 코어 부분은 캐스 코드로 구성 하였다. 이 구조의 특징은 트랜지스터 M1의 게이트-드레인 커패시턴스(Cgd)에 의해 생기는 밀러 효과를 줄일 수 있으며 공통게이트 트랜지스터 M2, M4 트랜지스터에 의해 입력포트와 출력포트가 격리(isolation)되는 이점이 있다<sup>[5]</sup>. 출력 단을 구성하는 L2, L4의 인덕터는 원하는 주파수에서 높은 임피던스를 만들어 주기 위해 추가 하였다. 그리고 C1, C2의 커패시터를 출력 매칭을 위해 사용하였다.

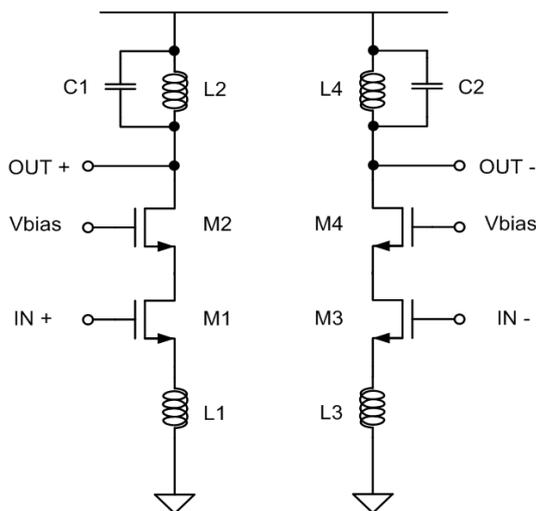


그림 2. LNA 전체 회로도.  
Fig. 2. LNA total schematic.

(2) LNA 시뮬레이션 결과

그림 3은 post-레이아웃 시뮬레이션을 이용하여 확인한 결과이다. 입력 매칭을 보기 위해 S-파라미터 시뮬레이션을 수행 하였으며, 입력 매칭을 원하는 주파수 대역(915MHz)에서 수행 하여 -30dB 이하의 삽입손실(S11)과 22dB의 높은 이득(S21)을 얻을 수 있었다. 또한 그림 4에서와 같이 0.54dB의 잡음지수를 얻어서 낮은 입력에 대해서도 -92dBm정도의 작은 입력 신호를 받아들일 수 있는 높은 노이즈 특성을 가지는 증폭기를 설계하였다.

나. 하향 믹서

수신단의 믹서는 변환 이득 보다는 선형성에 중점을 둔 설계가 요구된다. 왜냐하면 수신단에서 LNA의 출력인 낮은 입력 신호에 대해 믹서는 노이즈와 신호의 비가 자체적으로 높고 믹서 자체의 비선형으로 인해 생기는 왜곡은 전체 시스템의 잡음지수를 결정하는 중요한 요소가 되기 때문에 이득 보다는 왜곡 없는 선형적인 주파수 변환에 초점을 맞추어 설계하였다.

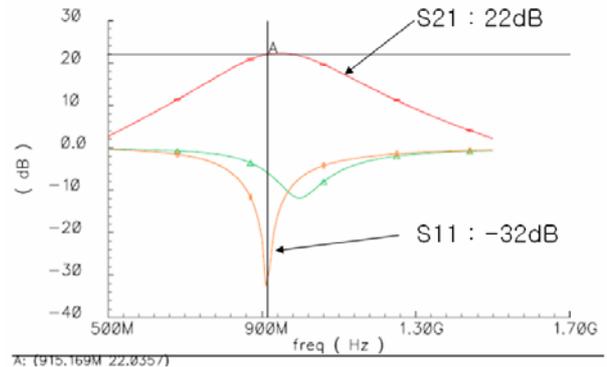


그림 3. LNA의 S-parameter 시뮬레이션 결과  
Fig. 3. S-parameter simulation result of LNA.

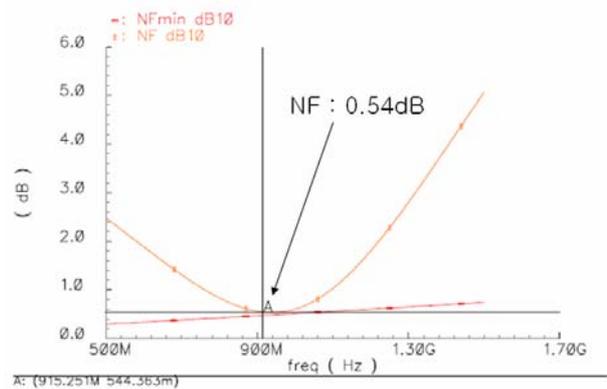


그림 4. LNA의 Noise Figure  
Fig. 4. Noise Figure of LNA.

(1) 하향 믹서 설계

선형적인 하향 믹서의 설계를 위해서 길버트 셀 구조를 이용하였다<sup>[7]</sup>. 기본적으로 입력 신호가 펄스파(square)와 곱해지는 경우에 이득은  $G_c=2/\pi$ 로 나타낼 수 있다. 그러나 실제로 스위칭단이 이상적으로 동작을 하지 않고 믹서에 인가되는 RF 신호와 순수한 펄스파가 곱해지는 것이 아니기 때문에 주파수 합성기의 신호에 해당되는 LO 신호의 크기에 따라 변환 이득과 선형성에 차이가 생긴다. LNA의 출력이 믹서 스위칭 단의 트랜지스터의 소스에 인가되고 믹서의 각 게이트로 LO 신호가 인가되어 곱해지는 구조로 설계 하였다. 따라서 전원 전압을 사용하지 않고 부가적인 전류 소모도 없으며 이득이 낮기 때문에 상대적으로 높은 선형성을 갖을 수 있다. 그리고 직접 변환 방식의 ZigBee 송·수신 시스템을 사용하기에 이미지 제거를 위한 두 개의 신호

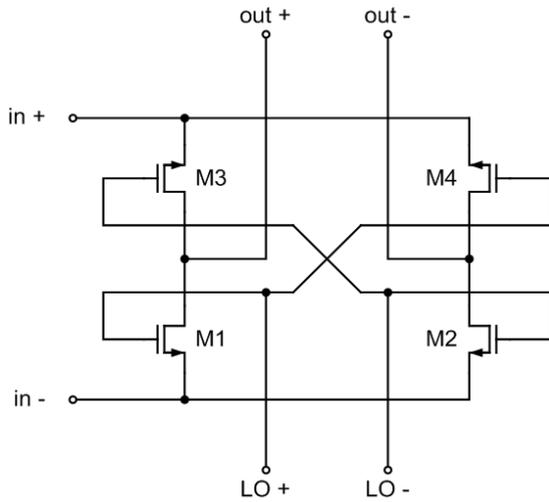


그림 5. 하향 믹서의 회로도  
Fig. 5. Down-conversion Mixer schematic.

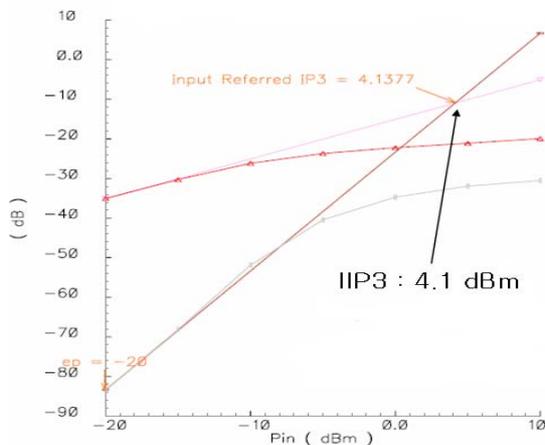


그림 6. 하향 믹서의 IIP3  
Fig. 6. IIP3 of Down-conversion Mixer.

패스(I/Q)로 믹서를 구성 하였다.

(2) 하향 믹서 시뮬레이션 결과

믹서의 LO 신호가 인가되는 각 트랜지스터의 게이트에 바이어스 전압을 조정 할 수 있도록 설계되어 게이트 바이어스에 따른 변환이득을 조정 할 수 있다. 따라서 선형성과 이득을 원하는 범위 내에서 조절하였으며 이상적인 스위치를 만들기 위하여 최적의 트랜지스터 사이즈와 게이트 입력 바이어스 조건을 맞추었다. 그 결과 4.1dBm의 IIP3를 얻을 수 있다.

III. 송신단

1. 송신단 설계

그림 7에 설계된 송신단의 전체 블록도를 나타내었다. 송신단은 전체적으로 두 부분으로 나뉘어진다. 첫 번째는 기저대역 신호를 처리하여 상향믹서에 적절한 입력 동작범위의 신호 레벨로 만들어 주는 프로그래머블 이득증폭기(Programmable Gain Amplifier)와 저역 통과필터(Low Pass Filter)로 아날로그 단(analog front-end)을 구성하였고, 두 번째는 기저 대역 신호를 RF 주파수 신호로 변환하고 원하는 전송단의 출력 레벨로 만들어주는 상향믹서(Up-mixer)와 구동앰프(Drive Amplifier)로 이루어지는 RF단(RF front-end)이다.

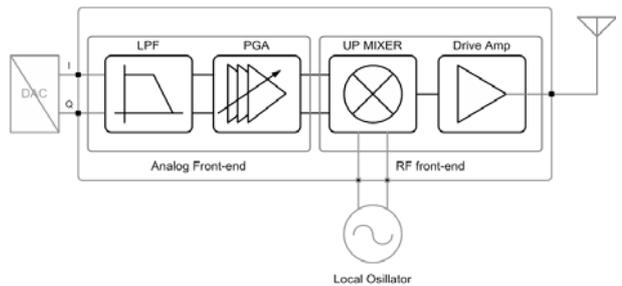


그림 7. 송신단의 전체 블록도  
Fig. 7. Transmitter total block diagram.

가. 상향 믹서

선형적인 가변이득을 갖는 상향 믹서를 설계하기 위하여 입력 신호의 이득을 조절하는 트랜스컨덕턴스단과 스위칭단 그리고 전력 결합단으로 나눌 수 있다. 상향 믹서의 구성은 차동 가변이득단 다음에 스위칭단이 오고 단일 출력을 내는 구동앰프가 상향 믹서 다음에 위치한다. 가변이득단은 source-degeneration 기술을 이용하여 일정한 범위 내의 입력 전압의 변화에 대해서 일정한 트랜스 컨덕턴스를 갖도록 구현 하였다<sup>[8],[9]</sup>.



하여 높은 이득 및 선형성이 요구된다. 또한, 전류소모를 줄이면서도 원하는 주파수 대역에서 시스템이 요구하는 전류로 부하를 구동할 수 있도록 설계되었다.

(1) 구동앰프 회로 설계

설계된 구동 앰프는 크게 두 단으로 구성 되어있다. 그림 11에 설계된 구동앰프의 회로도를 나타내었다. 첫 번째 단은 공통 소스 증폭기로 설계되었으며, 출력 단은 공통 게이트로 설계되었다.

공통 게이트 단을 출력단에 위치시킨 이유는 입력단인 공통 소스단은 입력 임피던스가 낮기 때문이다. 그래서 출력단에 공통 게이트단을 추가하여 입력 트랜지스터(MN)의 출력에서 생기는 pole을 높은 주파수로 옮겨 주어 전체 드라이브 앰프의 주파수 응답 특성을 향상시킬 수 있다. 공통 소스단의 전류 소모는 식 (3)과 같다. 첫 번째 단의 전류 소모( $I_D$ )는 트랜지스터 자체의 최대 동작 주파수( $f_t$ )에 비례하고 입력 신호의 파워(신호의 크기)의 제곱근에 비례한다<sup>[8]</sup>.

$$I_D = \frac{f_t \sqrt{2P_{in}}}{f_o \sqrt{R_s}} \quad (3)$$

식(3)에서 입력 단의 신호의 크기( $P_{in}$ )는 믹서의 출력전력이 되며 일정한 크기로 유지된다는 것과  $R_s$ 를 구동앰프의 입력 포트에서 바라다본 등가 저항으로 나타낸다면 입력 트랜지스터 MN의  $f_t$ 를 낮춤으로써 드레인 전류( $I_D$ )가 감소함을 알 수 있다. 트랜지스터의 동작 주파수( $f_t$ )를 줄이는 방법으로 게이트 소스 단에 커패시터( $C_{ex}$ )를 추가하여 입력 커패시턴스를 높이는 방법을 이용하였다. 이는 결과적으로 트랜지스터의 자체 동작

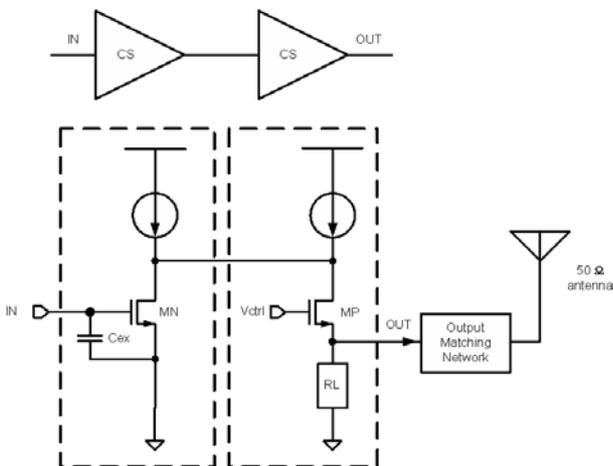


그림 11. 구동 앰프의 회로도  
Fig. 11. Drive Amplifier schematic.

주파수( $f_t$ )가 낮추어 드라이브 앰프의 전류소모( $I_D$ )를 줄이는 역할을 한다. 따라서 구현된 드라이브 앰프는 915MHz에서 원하는 이득을 유지하면서도 높은 출력력으로 안테나를 구동 시킬 수 있다.

(2) 구동앰프 시뮬레이션 결과

그림 12에 구동 앰프의 출력 매칭(S22)의 결과를 나타내었다. 구동앰프에서 나온 신호는 매칭 네트워크를 통하여 915MHz에서 반사파 없이 50 Ohm 안테나에 전달되는 것을 확인 할 수 있다. 출력 P-1dB가 5dBm이며 출력 트랜지스터(MP)의 게이트 바이어스 구동앰프의 컨트롤 단자( $V_{ctrl}$ )에 따라 30dB 범위의 이득이 조절 되고 원하는 출력 최대 (0dBm)까지 출력 파워가 조절되는 것을 post-레이아웃 시뮬레이션 결과를 통해 확인 하였다(그림 11).

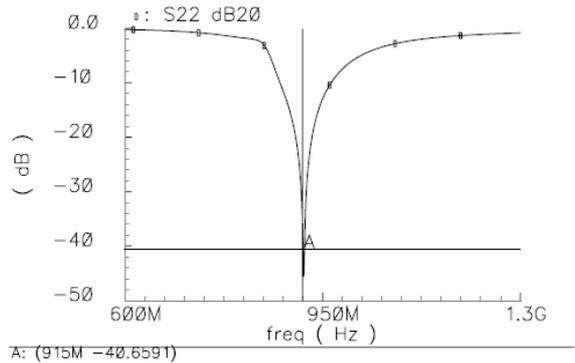


그림 12. 구동앰프의 출력매칭 (S22)  
Fig. 12. output return loss(S22) of Drive Amplifier.

다. PGA (Programmable gain amplifier)

(1) PGA 설계

설계된 PGA는 입력 신호의 크기의 변화에 대하여 충분한 증폭이 가능하기에 저 사양 A/D converter를

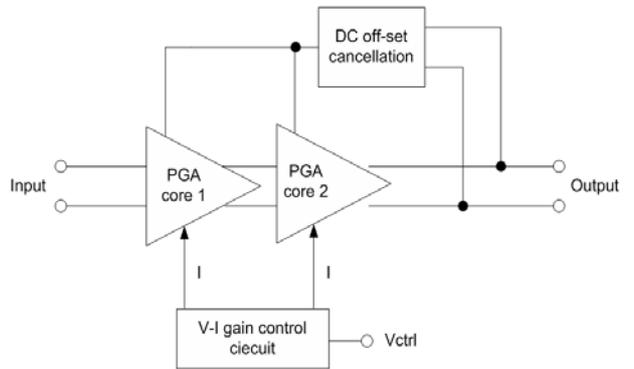


그림 13. PGA의 블록도  
Fig. 13. PGA block diagram.

사용하더라도 무리가 없다. 또한, 최대 해상도로 ADC 를 구동 할 수 있도록 PGA가 설계되었다. PGA의 전체 구성 블록을 그림 13에 나타내었다. 큰 이득을 내기 위한 두 개의 PGA 코어를 캐스캐이드(cascade)형태로 연결하였고 DC-offset 제거를 위한 회로를 추가하였다. PGA의 출력신호를 LPF로 구성된 DC-offset 회로에 통과시켜 피드백 시키는 구조를 사용하여

DC-offset을 제거 할 수 있다. 또한, 전체 PGA의 이득을 dB-스케일에 선형적으로 조정하기 위한 V-I 이득 조정 회로를 이용하여 PGA의 전체 이득을 선형적으로 조절 할 수 있도록 설계하였다<sup>[9]</sup>.

(2) PGA 시뮬레이션 결과

Pseudo-exponential V-I 변환기의 조정전압(Vctrl)의 변화에 따른 PGA의 전체 이득을 post-시뮬레이션을 통해 검증하였다. 그림 15에서와 같이 V-I 이득조정단자(Vctrl)의 변화에 따라 전체 PGA의 dB-스케일 이득 변화가 -40dB~40dB (80dB)의 큰 선형적인 이득범위를 갖는 것을 볼 수 있다. 또한, DC-offset 제거회로가 추가 되어 DC 근처의 저주파 이득은 감소되는 것을 볼

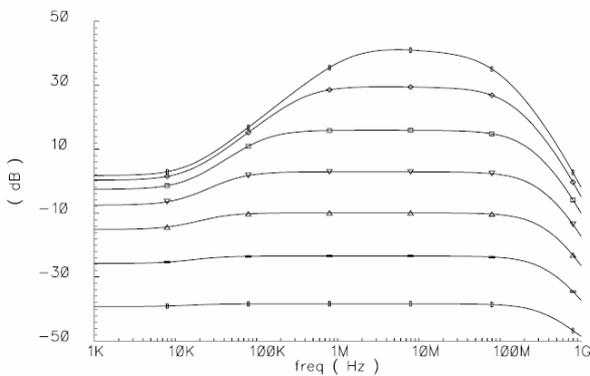


그림 14. 이득 조절에 따른 PGA의 주파수 응답  
Fig. 14. PGA AC response varying with vctrl1.

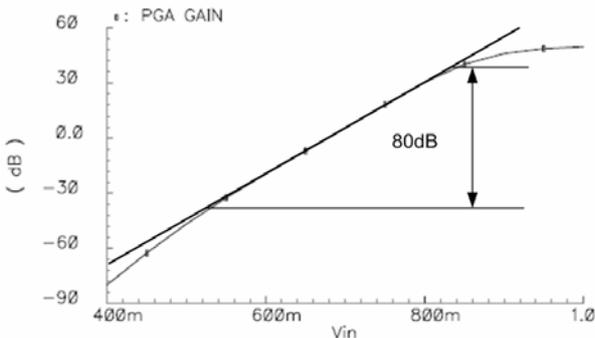


그림 15. (Vctrl)조절에 따른 PGA의 전체 이득 변화  
Fig. 15. PGA total gain varying with vctrl1.

수 있다. 그림 14의 PGA의 주파수 응답을 통해 저주파에서 이득이 낮은 특성을 확인하였다.

라. 밴드패스필터(Band Pass Filter)

(1) 밴드패스필터 설계

컷오프주파수(f3dB)를 조절할 수 있는 5차 Poly-Phase 밴드패스필터(Band Pass Filter)를 구현하였다. 원하는 주파수를 중심으로 인접 채널과 이미지 신호의 이득을 낮추기 위해 다섯 개의 complex pole을 중첩시켜 주파수 응답의 모양을 만들었으며 이 회로도를 그림 16에 나타내었다. Poly-Phase 필터에서 정확하게 원하는 신호만을 통과시키기 위해서 각 수동 소자간의 매치가 중요하다. 따라서 각 소자들의 공정이나 열에 의한 미스매치는 가변적으로 조절 할 수 있는 저항과 커패시터를 추가하여 소자간의 미스매치를 없애고자 하였다.

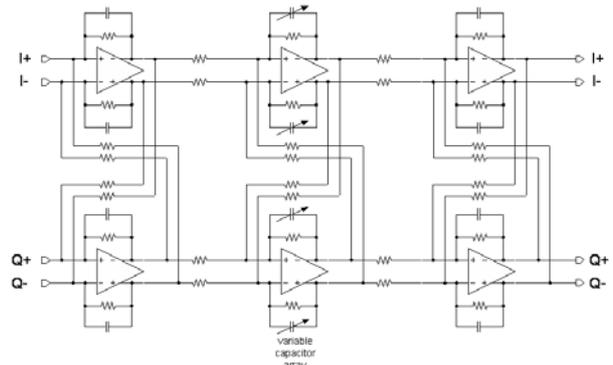


그림 16. 구현된 밴드 패스 필터의 회로도  
Fig. 16. implemented schematic of BPF.

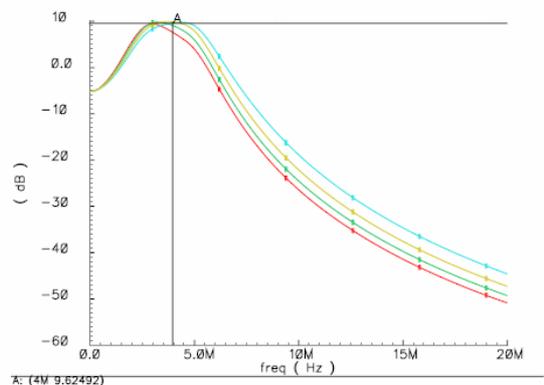


그림 17. 주파수 응답 조절에 따른 BPF의 주파수 응답  
Fig. 17. BPF AC response.

(2) 밴드패스 필터 시뮬레이션 결과

그림 17에 커패시터 조절에 따른 주파수 응답 곡선을 나타내었다. 공정 오차에 의한 미스매치를 보상하기 위

해 3bit의 MOS 스위치를 이용하여 컷오프주파수(f3dB)를 조절할 수 있게 하였다. 그리고 시뮬레이션을 통해 기저대역의 중심 주파수(4MHz)를 통과 시키는 특성을 확인 하였다.

#### IV. 실험

제작된 ZigBee용 송·수신단의 칩 사진을 그림 18에 나타내었다. 수신단과 송 단을 하나의 칩으로 구현 하였으며 송신단과 수신단 각각의 성능 테스트가 이루어진 후에 양방향 실험을 수행 하였다. 수신단의 실험에서 LNA 입력매칭 네트워크가 칩 외부에서 구현되었다. 또한, 안테나로부터 -90dBm에서 0dBm까지 변화 가능한 915MHz의 입력 신호를 받아들여 수신단의 최종출력인 기저대역신호 주파수(5MHz)의 전력 레벨의 변화를 관찰하였다.

주파수 합성에 해당되는 LO 신호는 외부에서 신호 발생기를 통하여 이상적인 신호를 인가하였다. LO신호의 주파수는 910MHz이고 신호 레벨의 크기는 -5dBm이다. 수신단의 이득 조절 범위를 알아보기 위해서 하향믹서의 전압조절 단자를 변화시키면서 이득 조절 범위를 확인한 결과 20dB의 범위를 갖는 것으로 측정되었고, PGA에서는 40dB의 이득 조절 범위를 갖는 것을 확인하였다. PGA의 경우 80dB의 이득 조절 범위를 갖도록 설계가 되었지만 큰 신호 RF 입력 신호에 대해서 LNA와 믹서에서 출력신호의 크기가 제한되기 때문에 PGA의 음(-)의 이득 조절 범위에 대해서는 이득의 변화에 영향을 끼치지 못하는 것을 확인 하였다. 수신단의 최종 출력 파형을 그림 19에 나타내었다. 500mVp-p의 크기를 갖는 5MHz의 주파수 하향 변환된 I/Q신호를 오실로스코프를 통해 확인하였다.

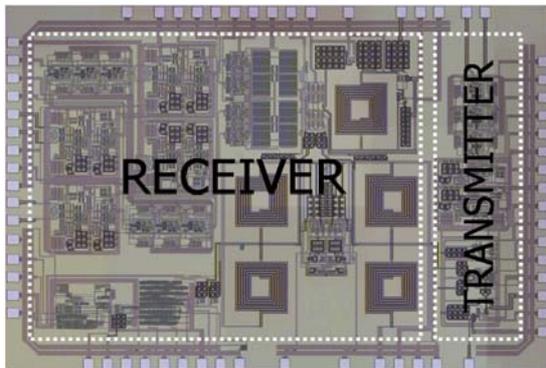


그림 18. 구현된 ZigBee용 송·수신단의 칩 사진  
Fig. 18. Total transceiver layout.

송신단은 출력 스펙트럼을 통해 원하는 밴드(915MHz)에서 최대출력 0dBm이 나오는 것을 확인 하였다(그림 20). LO를 중심으로 발생하는 이미지는 I/Q 믹서를 사용하여 제거 할 수 있다. 각 단의 이득 조절 단자들의 값을 조절 하면서 출력의 변화를 보았다. 송신단은 PGA에서 +40dB ~ -40dB의 이득 변화를 조절할 수 있지만 기저대역신호가 DAC를 통과하면서 그 크기를 일정하게 유지해야 되기 때문에 송신단의 낮은 최종 출력을 위해 신호 레벨을 줄이는 목적으로 PGA를 사용하였다. 그림 21은 출력의 선형성을 확인하기 위해 입력 신호의 크기를 증가시키면서 출력의 전력을 측정 하였다. 그 결과 원하는 출력 레벨인 0dBm까지 선

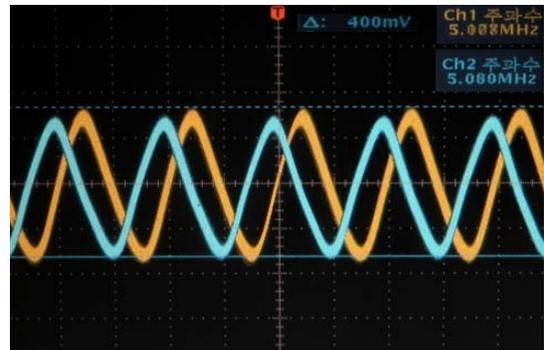


그림 19. 수신단의 최종 출력 파형  
Fig. 19. receiver output waveform.

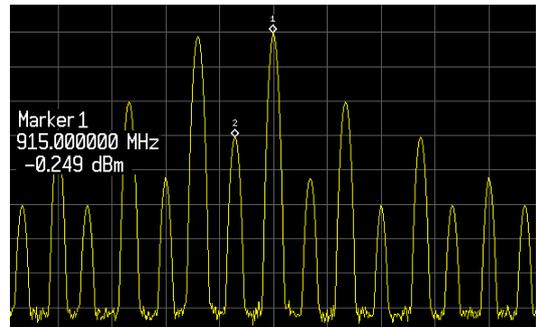


그림 20. 송신단의 최종 출력 스펙트럼  
Fig. 20. transmitter output spectrum.

표 1. 전체 성능 정리

Table 1. total performance summary.

Parameters	Results
min input level (RX)	-92dBm
max output level (TX)	0 dBm
gain control range	RX: 40dB(PGA),20dB(MIXER) TX: 40dB(PGA),30dB(Drive Amp)
power consumption	32mW
die size	3.2mm x 2.5mm

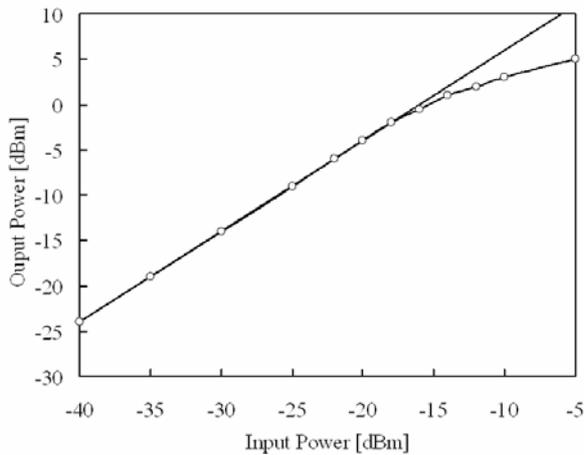


그림 21. 전체 송신단의 P-1dB  
Fig. 21. P-1dB of total transmitter.

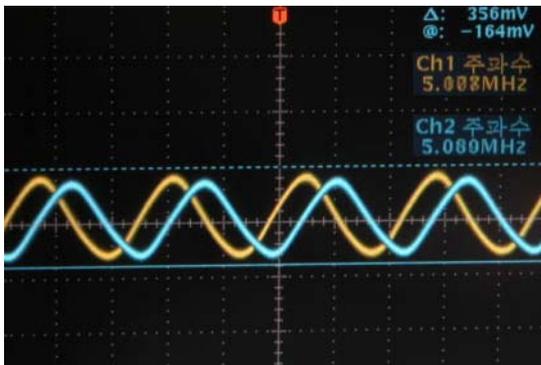


그림 22. -90dBm 입력 신호에 대한 최종 출력 파형  
Fig. 22. receiver output waveform for -90dBm input signal.

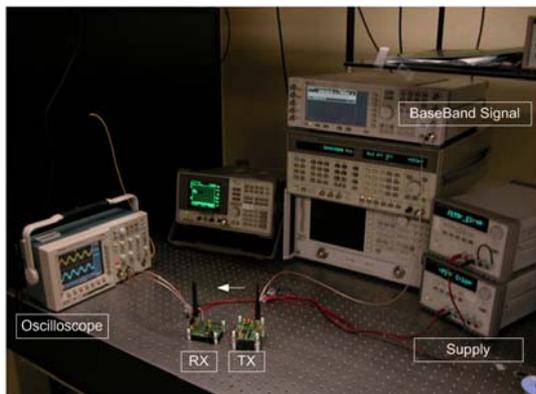


그림 23. 양방향 무선 통신 실험환경 사진  
Fig. 23. chip test environment photograph

형적으로 동작 하는 것을 확인 할 수 있었다.

양방향 실험은 무선 안테나를 이용하여 이루어졌다 (그림 23). 하나의 모듈은 5MHz의 LO 신호를 입력받아 무선 환경으로 보내주는 송신단으로 이용하였고, 다른 하나의 모듈로 안테나를 통해 RF 신호를 입력 받아 하

향변환된 신호를 오실로스코프를 통해 확인하였다. 송·수신단은 같은 LO 주파수인 910MHz를 사용 하였다. 그 결과 LNA의 최소 입력 범위인 -92dBm의 신호 까지 신호를 복원 하는 것을 확인하였다(그림 22).

그리고 송·수신단 코어 칩에서 소모되는 전력 소모 는 각각 32mW로 측정 되었다. 최종 측정 결과를 표1에 정리 하였다.

## V. 결 론

ZigBee 응용에 사용되는 RF 송·수신단의 설계를 CMOS 기술을 이용하여 구현 하였다. 높은 이득 조절 범위를 갖도록 설계되어 송신단에서는 낮은 전력 소모 로 선형적인 이득 조절 범위를 갖고 송출 할 수 있으며, 수신단에서는 매우 낮은 신호레벨도 받아들일 수 있도 록 구현되었다. 측정결과 전체 송·수신 단은 32mW의 전력을 소모하면서 -92dBm의 신호까지 입력으로 받아 들일 수 있고 0dBm의 출력이 가능하다. 공정은 RF CMOS 0.18um를 이용하였고 공급전압은 1.8V이다.

## 참 고 문 헌

- [1] Jose A. Gutierrez, and E. H. Callaway, Low-Rate Wireless Personal Area Networks, IEEE Press 2004.
- [2] Behzad Razavi, "RF microelectronics," 2000. Prentice Hall.
- [3] Johan Janssens, Michiel Steyaert "CMOS cellular receiver frpnt-end" 2002 Kluwer Academic Publishers, Boston.
- [4] Shaikh K. Alam and Joanne Degroat A 2 GHz Highly Linear Down conversion Mixer in 0.18-um CMOS12th NASA Symposium on VLSI Design, Coeur d'Alene, Idaho, USA, Oct. 4-5, 2005.
- [5] B. Razavi, "Design Considerations for Direct Conversion Receivers", IEEE Transactions on Circuits and Systems-II: Analog and digital Signal Processing, vol.44, no.6, pg428-435, June 1997.
- [6] D. K. Shaeffer and T. H. Lee, "A 1.5 V, 1.5 GHz CMOS low noise amplifier,"IEEE J. Solid State Circuits, pp. 745 - 759, May 1997.
- [7] T.H. Lee, the Design of CMOS Radio-Frequency Integrated Circuits, Cambridge University Press, 1998, Ch.11.
- [8] Trung-Kien Nguyen, Sang-Gug Lee, and

Won-Seko Oh, "A 900 MHz Low Voltage Low Power Variable Gain CMOS Transmitter Front-end," IEEE Asian Solid-State Circuits Conference(A-SSCC05), pp. 357-360, Hsinchu, Taiwan, November 2005.

[9] Quoc-Hoang Duong and S.G.Lee, "A low-voltage Low-power High dB-linear all CMOS Exponential V\_I Conversion Circuits", IEEE Radio Frequency integrated Circuits Symposium, pp. 683-686, USA, Jun. 2005.

저 자 소 개



권 재 관(정회원)  
2005년 홍익대학교  
전자공학과 학사 졸업.  
2006년 현재 연세대학교 전기  
전자공학과 석사과정.  
<주관심분야 : CMOS RF, High  
speed I/O 회로설계>



오 원 석(정회원)  
1998년 인천대학교  
전자공학과 학사졸업.  
2000년 인천대학교  
전자공학과 석사졸업.  
2000년 현재 전자부품연구원  
SoC 연구센터.  
<주관심분야 : CMOS 혼성모드 회로설계>



박 강 엽(정회원)  
2006년 인천대학교  
전자공학과 학사 졸업.  
2006년 현재 연세대학교 전기  
전자공학과 석사과정.  
<주관심분야 : RF 및 아날로그  
CMOS 회로설계>



최 우 영(정회원)  
1988년 Massachusetts Institute  
of Technology의 EECS  
Department B.S. 및 M.S.  
취득.  
1994년 동대학원 Ph.D. 취득  
1994년 10월~1995년 8월 일본 NTT 광전자  
연구소 Post-Doctoral Fellow.  
1995년 9월~현재 연세대학교 전기전자공학과  
정교수  
<주관심분야 : 초고속 시스템 설계 및 해석과 이  
의 구현을 위한 소자 연구>