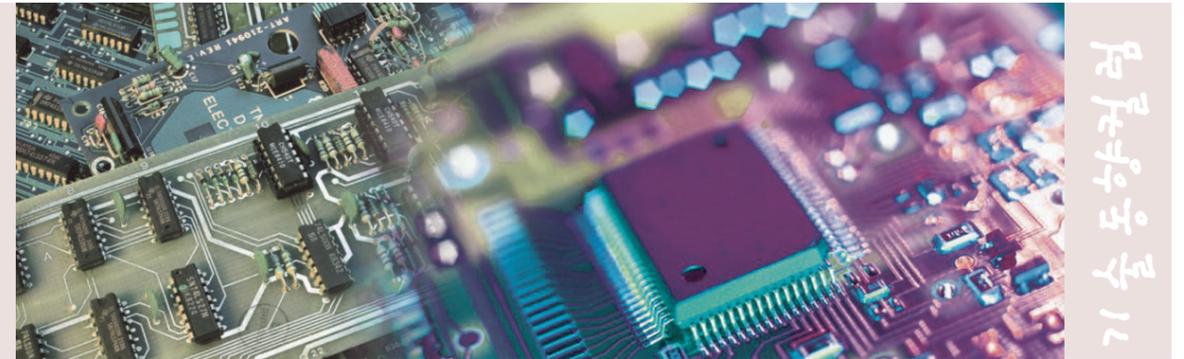


Optical Interconnect 응용을 위한 CMOS Integrated Photoreceiver 기술



연세대학교 전기전자공학과
 최우영 교수
 연구분야 : 유무선 고속 인터페이스 설계
 E-mail : wchoi@yonsei.ac.kr
 http://tera.yonsei.ac.kr



서론

세상은 계속해서 더욱 빨라지고 있다. 빨라지는 세상을 가능케 하는 기술적 요소는 무척 다양하지만, 그 중에서도 소자와 소자, 기기와 기기, 시스템과 시스템, 또는 네트워크와 네트워크를 연결하는 '연결기술'의 고속화는 무척 중요한 위치를 차지한다. '연결기술'의 고속화를 가능케 하는 중요한 기술 중에 하나가 광섬유 기반 광연결(Optical Interconnect) 기술이다. 일반적으로 광통신 기술이라 불리는 장거리 광연결기술은 이미 오래 전부터 개발되어 이제는 유선 통신 기술의 가장 핵심적인 요소 기술로 자리 잡았으며, 오늘날의 인터넷 기반 정보화 사회를 지탱하는 핵심 기술 중의 하나이다.

Rack-to-rack, board-to-board와 같은 근·단거리 통신에서도, 요구되는 데이터 전송 속도를 감당하기 위해서 기존의 전기 케이블이 광섬유 케이블로 빠르게 대체되고 있다. Intel은 2009년에 Light Peak이라고 불리는 근·단거리 광연결기술 표준을 제안했는데 [1], Light Peak는 광통신기로는 작은 크기의 VCSEL (Vertical-Cavity Surface-Emitting Laser), 전송 매질로는 직경 125 μ m의 얇고 구부리기 쉬운 광섬유, 광수신기로는 PIN 광검출기를 사용하여, 10Gb/s의 고속 데이터 전송할 수 있다. Intel은 Light Peak를 통해 USB, HDMI, DisplayPort, PCIe 등의 다양한 프로토콜을 지원할 수 있으며, 향후 100Gb/s 데이터 전송도 가능하도록 표준화를 추진하고 있다.

Light Peak와 같은 광연결기술은 기존의 구리선 기반 전기적 연결기술과 비교하면 신호의 전송 손실이 매우 작아서 고속 데이터 전송이 용이하고, 크기가 작고 EMI에 훨씬 둔감하여 시스템 구현에 유리하며, 전체적인 파워 소모도 크게 줄일 수 있다는 장점을 가지고 있다. 이와 같은 장점은 반도체 시스템의 I/O 응용에도 큰 위력을 발휘할 수 있다. ITRS (International Technology Roadmap for Semiconductors) 예측에 의하면 반도체 시스템에서 요구되는 I/O 데이터 전송률은 그림 1에서 볼 수 있듯이 계속해서 증가하여 2020년에는 70Gb/s에 도달한다고 한다 [2].

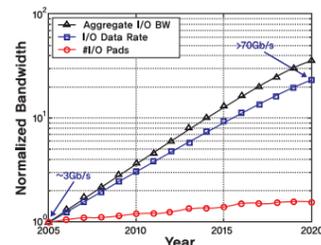


그림 1. 대역폭 및 데이터 전송률 전망 [2]

이와 같은 고속 데이터 전송률은 현재의 전기적 연결기술로는 감당하기 어려우며, 이의 기술적 해결을 위해 chip-to-chip 광연결기술이 많은 관심의 대상이 되고 있다. 또한, 최근 많이 논의되고 있는 테라스케일 컴퓨팅(tera-scale computing) 기술에서는 매우 많은 개수의 프로세서가 사용되는데, 이때 프로세서와 프로세서 또는 프로세서와 메모리 사이에서 요구되는 데이터 전송속도는 수 Tb/s까지 증가하리라 예측되고 있으며 [3], 이를 위해서는 chip-to-chip 광연결기술의 활용이 꼭 필요하다고 전망되고 있다.

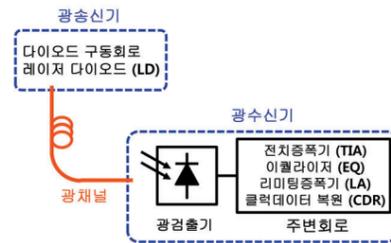


그림 2. 광연결 시스템 구성도

그림 2에서 볼 수 있듯이 광연결 시스템은 크게 광송신기, 광채널, 광수신기의 세 부분으로 구성되어 있으며, 광수신기는 광검출기와 주변 회로를 포함하고 있다. 광연결 시스템을 실현화하기 위해서는 고성능·저가의 광수신기의 개발이 필수적이다. 본 고에서는 연세대학교 초고속 회로 및 시스템 연구실에서 지난 몇 년간 집중적으로 수행해 온 광수신기 관련 기술의 연구동향을 정리해서 소개하고자 한다. 특히, 초고속 회로 및 시스템 연구실에서는 현존하는 표준 CMOS 공정을 그대로 이용해서 얻을 수 있는 집적 광수신기의 성능이 어디까지 가능한지를 많은 관심을 두고 연구를 진행했으며, 본 고에서는 이를 집중적으로 다루고자 한다.

표준 CMOS 공정 기반 광수신기 연구

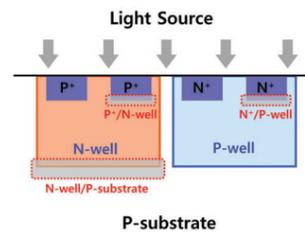


그림 3. 표준 CMOS 공정 단면 및 PN접합 구조

그림 3은 표준 CMOS 공정에서 구현 가능한 PN 접합 구조를 보여준다. 표준 CMOS 공정을 이용하여 광검출기를 구현하면서 가장 직관적인 방법은 N-well/P-substrate 접합 구조를 이용하는 것이다. 다른 PN 접합 구조와 비교하여 볼 때, 이 구조는 비교적 빛을 가장 많이 받을 수 있고 결과적으로 높은 광검출 효율을 얻을 수 있기 때문이다.

그러나 많은 수의 확산 전하(diffusion carrier)들로 말미암아 수 MHz 이하의 대역폭을 갖는 단점을 갖고 있어, 광연결기술이 요구하는 고속 광수신기 구현에 적용될 수 없다. 따라서 Gb/s 급 고속 데이터를 전송하기 위해서는 그림 4와 같이 이퀄라이저 회로의 사용이 필수적이다. 고역통과 필터(High-pass Filter, HPF) 특성이 있는 이퀄라이저 회로는 N-well/P-substrate 광검출기의 고주파 감쇄 특성을 보상해준다.

N-well/P-substrate 광검출기와 이퀄라이저 회로를 포함한 주변 회로를 집적하여, 3Gb/s 데이터를 전송한 광수신기가 보고되었다 [4]. 그러나 점차 증가하는 데이터 전송률을 만족하게 하기 위한 이퀄라이저 회로의 복잡도는 증가하게 되고, 보다 넓은 대역폭을 갖는 광검출기의 개발은 광수신기의 속도를 더욱 향상시킬 수 있기 때문에, 고속 광검출기 구현에 대한 연구 노력은 끊임없이 진행되고 있다.

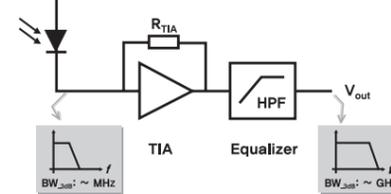


그림 4. 이퀄라이저 회로를 포함하는 광수신기 구조

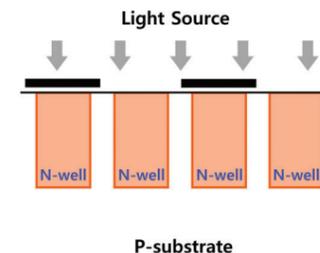


그림 5. SML 광검출기 구조

SML (Spatially Modulated Light) 광검출기는 N-well/P-substrate 접합과 차동 동작을 이용하는 구조로, 그림 5와 같이 빛을 받는 부분과 가려진 부분이 엇갈린 형태로 이루어져 있다. SML 광검출기의 차동 동작은, 검출기의 속도를 제약하는 확산 전하들을 상쇄시켜 속도의 향상을 가져올 수 있다. 이 구조는 수백 MHz의 대역폭을 가질 수 있다는 장점이 있지만, N-well/P-substrate 광검출기보다는 광검출 효율이 크게 떨어진다. SML 광검출기, 이퀄라이저 회로를 단일 칩으로 집적한 8.5Gb/s 광수신기가 보고되었다 [5].

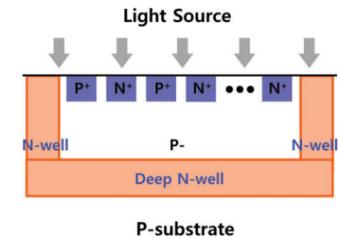


그림 6. Lateral PIN 광검출기 구조 [6]

그림 6은 P/P-substrate/N⁺ 접합을 이용하는 Lateral PIN 광검출기 [6] 구조를 보여준다. N-well과 Deep N-well에 의해 둘러싸여 있는 구조의 광검출기는 P-substrate에서 생성되는 확산전하의 영향을 최소화시켜 수백 MHz에서 GHz 초반까지 대역폭 향상이 가능하다. 이와 같은 광검출기의 속도향상은 이퀄라이저 회로를 사용하지 않고도, 2.5Gb/s 고속 데이터 전송을 가능케 하였다 [6].

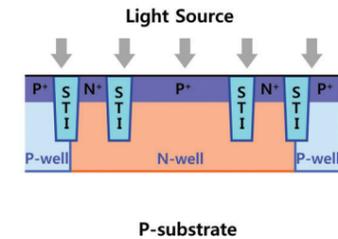


그림 7. 아발란치 광검출기 구조 [7]

P/N-well 구조를 이용한 광검출기 역시 P-substrate에서 생성되는 확산 전하의 영향을 최소화시켜 수 GHz의 대역폭 확보가 가능하다는 장점을 가지고 있다. 하지만, 이 구조 역시, N-well/P-substrate 광검출기보다 빛을 흡수할 수 있는 면적이 상대적으로 적기 때문에 광검출 효율이

비교적 떨어지게 된다. 이를 극복하기 위해서 초고속 회로 및 시스템 연구실에서는 아발란치 효과를 이용하여 고성능의 광검출기를 구현하려는 연구를 진행해왔다 [7]. 아발란치 광검출기는 내부 증폭 작용으로 광검출 효율을 증가시킬 수 있을 뿐 아니라, RF peaking 현상을 이용하여 추가적인 대역폭 향상도 얻을 수 있다.

그림 7은 구현된 아발란치 광검출기의 단면도이다. STI (Shallow Trench Isolation)는 P/N-well 접합 가장자리에서의 이른 아발란치 메커니즘을 방지하여, 결과적으로 높은 아발란치 증폭률을 얻을 수 있게 해준다. 아발란치 광검출기와 전치증폭기(TIA)를 단일 칩으로 집적한 광수신기를 이용하여, 이퀄라이저 회로의 도움 없이도 4.25Gb/s 데이터를 성공적으로 전송되었다 [8]. 그림 8은 데이터 전송 실험을 통하여 얻은 집적 광수신기의 비트 에러율(Bit Error Rate, BER) 성능과 4.25Gb/s 데이터 eye-diagram을 보여준다.

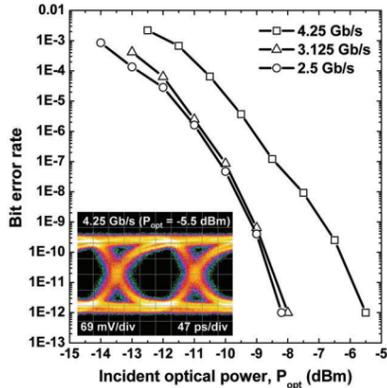


그림 8. 아발란치 광수신기 비트 에러율 (BER) 및 4.25 Gb/s 데이터 eye-diagram [8]

	[4]	[5]	[6]	[8]
공정	CMOS 0.18 μ m	CMOS 0.13 μ m	CMOS 0.18 μ m	CMOS 0.13 μ m
집적 광수신기 구조	N-well/P-substrate +TIA+EQ	SML +TIA+EQ+LA	Lateral PIN +TIA+LA	P/N-well APD +TIA
회로 공급전압	1.8 V	1.5 V	1.8 V	1.2 V
PD 바이어스 전압	1.8 V	1.5 V	6 V	10 V
최대 전송속도	3 Gb/s	8.5 Gb/s	2.5 Gb/s	4.25 Gb/s
민감도	-19 dBm	-3.2 dBm	-4.5 dBm	-5.5 dBm
BER 성능 (PRBS)	10^{-9} ($2^{21}-1$)	10^{-9} ($2^{21}-1$)	10^{-9} ($2^{21}-1$)	10^{-9} ($2^{21}-1$)
이퀄라이저 구조	Fixed	Adaptive (Slope detection)	-	-

표 1. 표준 CMOS 공정을 이용하여 구현된 집적 광수신기 성능비교

표 1은 앞서 언급한, 표준 CMOS 공정을 이용하는 다양한 구조의 광검출기와 전기회로를 단일 칩으로 집적한 광수신기 [4]-[6], [8] 연구 결과 비교이다. 표에서 볼 수 있듯이 N-well/P-substrate 광검출기를 이용한 광수신기는 민감도 측면에서 뛰어난 성능을 보이고 있는데, 이는 빛을 받을 수 있는 면적이 넓기 때문이다. 반면에 본 연구실에서 제작된 아발란치 광검출기는 다른 구조의 광검출기와 비교하여 볼 때 넓은 대역폭 특성을 갖고 있어, 이퀄라이저 회로를 사용하지 않고도 고속 전송이 가능하다는 장점이 있다. 최적화된 아발란치 광검출기와 이퀄라이저 회로를 이용하여, 수십 Gb/s 데이터 전송이 가능한 표준 CMOS 공정 기반 집적 광수신기의 구현이 가능할 것으로 예상된다.

맺음말

본 고에서는 광연결기술에 대한 간단한 소개를 하였으며, 특히 표준 CMOS 공정에서 구현 가능한 다양한 구조의 광검출기 (N-well/P-substrate, SML, Lateral PIN, P/N-well) 에 대하여 살펴보고, 이를 이용하여 구현된 다양한 집적 광수신기 성능을 비교해보았다. 고속 광검출기 및 회로 설계 기술에 대한 지속적인 최적화 연구는 보다 나은 성능의 광수신기 구현을 가능케 하리라 예측되며, 이는 고성능·저가의 광연결기술 실현에 큰 도움이 되리라 예측된다.

Reference

- [1] "Light Peak Overview," Intel report, 2009.
- [2] International Technology Roadmap for Semiconductor (ITRS), 2006.
- [3] I. A. Young, E. Mohammed, J. T. S. Liao, A. M. Kern, S. Palermo, B. A. Block, M. R. Reshotko, and P. L. D. Chang, "Optical I/O Technology for Tera-Scale Computing," IEEE J. Solid-State Circuits, vol. 45, no. 1, pp. 235?248, Jan. 2010.
- [4] S. Radovanovic, A.-J. Annema, and B. Nauta, "A 3-Gb/s Optical Detector in Standard CMOS for 850-nm Optical Communication," IEEE J. Solid-State Circuits, vol. 40, no. 8, pp. 1706?1717, Aug. 2005.
- [5] D. Lee, J. Han, E. Chang, G. Han, and S. Park, "An 8.5Gb/s CMOS OEIC with On-Chip Photodiode for Short-Distance Optical Communications," IEEE Int. Solid State Circuits Conf., Digest of Technical Papers, pp. 362-363, Feb. 2010.
- [6] W.-Z. Chen, and S.-H. Huang, "A 2.5 Gbps CMOS Fully Integrated Optical Receiver with Lateral PIN Detector," Proc. of Custom Integrated Circuits Conference, pp. 293?296, Sep. 2007.
- [7] H.-S. Kang, M.-J. Lee, and W.-Y. Choi, "Si avalanche photodetectors fabricated in standard complementary metal-oxide-semiconductor process," Appl. Phys. Lett., vol. 90, pp. 151118-1?151118-3, Apr. 2007.
- [8] J.-S. Youn, H.-S. Kang, M.-J. Lee, K.-Y. Park, and W.-Y. Choi, "High-speed CMOS integrated optical receiver with an avalanche photodetector," IEEE Photon. Technol. Lett., vol. 21, no. 20, pp. 1553?1555, Oct. 2009.

반도체설계재산 Core-A

2010년 11월 Core-A 강좌 프로그램 안내

수강을 원하는 분은 Core-A 활용확산사업 홈페이지(http://core-a.or.kr)를 방문하여 신청하시기 바랍니다.

본 센터 강좌 일정 |

강의일자	강의제목	교육장소
11월 3일	Embedded 소프트웨어 저전력 기술	성균관대
11월 5-6일	임베디드 프로세서를 이용한 PS2 KBD와 PS2 MOUSE 인터페이스 개발 방법	국민대
11월 10,17일	Core-A 플랫폼 설계 강좌	성균관대

- 강좌일 : 11월 3일
- 강좌 제목 : Embedded 소프트웨어 저전력 기술
- 강사 : 조준동 교수(성균관대)

[강좌개요]

모바일 디바이스 임베디드 소프트웨어의 복잡도가 증가함에 따라 전력 소모가 늘어나고 또한 핫 스팟의 전력 밀도가 늘어나 온도의 상승으로 냉각 비용이 증대되게 되었다. 따라서 전력소모를 줄이는 일은 전기 수명을 연장 시키는 것 뿐 아니라 시스템의 수명을 늘리고 제조 비용을 줄이는데도 중요한 역할을 하고 있다. 전력을 줄이기 위해서 그간 하드웨어 수준에서의 저전력 기술이 많이 소개되었다. 예를 들면 회로의 스위칭 동작을 줄이기 위한 클럭 게이팅 기법은 널리 사용되고 있다. 그러나 하드웨어의 복잡도가 늘어감에 따라 가능한 한 하드웨어로 설계하던 부분을 소프트웨어로 바꾸어 가고 있다. 예를 들면 최근에 DMB(Digital Media Processing)에 사용되는 비디오 디코더(H.264)는 ARM-9 한 개로 처리가 가능하게 되었다. 본 강사는 2년전 모 대기업과 T-DMB CODEC을 ARM-9 하나로 실시간 처리하는 과제를 수행하게 되었다. 이 과제를 수행하면서 20% 정도의 코드 성능이 개선되어야 실시간 처리가 가능한 것을 경험하게 되었다. 그러나 이처럼 소프트웨어를 이용 설계를 완성하여 성능을 만족하고 개발 비용이 줄어드는 효과를 얻더라도 그로 인해 전력 소모가 기존의 하드웨어에 비해 많이 늘어나면 모바일 응용 제품에 사용하는데 문제가 된다. 따라서 임베디드 마이크로프로세서를 사용하는 소프트웨어 수준의 설계에서도 전력 소모를 예측하고 최소화하는 것이 중요한 요소가 되고 있다. 따라서 이 강의에서는 저전력 C 소프트웨어 프로그래밍 기법을 소개한다. 데이터 구조, 루프, 조건문, 연산의 세기, 알고리즘 선택 등을 고려하여 전력소모를 줄이기 위한 C 프로그래밍 기술을 다룬다. 타겟 프로세서로 KAIST의 Core-A를 이용한 전력 측정 과정을 실습으로 수행한다.

- 수강대상 : 학/석/박사과정
- 강의형태 : 이론 + 실습

- 사전지식, 선수과목 : C 언어 및 디지털 시스템

- 강좌일 : 11월 5-6일
- 강좌 제목 : 임베디드 프로세서를 이용한 PS2 KBD와 PS2 MOUSE 인터페이스 개발 방법
- 강사 : 이 강 교수(한동대)

[강좌개요]

Core-A 프로세서를 위한 FPGA 개발 보드 상에서 Core-A를 포함한 SoC 설계를 실습한다. 특히, 키보드와 마우스 인터페이스 추가 실습을 통하여 Core-A 개발 보드 상의 하드웨어와 소프트웨어 설계 환경에 익숙해지고 스스로 새로운 IP를 Core-A에 추가할 수 있도록 한다.

- 수강대상 : 학부 3학년 ~ 4학년, 석,박사과정
- 강의형태 : 이론 + 실습

[사전지식, 선수과목]

· C프로그램, 논리설계, 컴퓨터구조, Verilog

- 강좌일 : 11월 10, 17일
- 강좌 제목 : Core-A 플랫폼 설계 강좌
- 강사 : 박득현 강사(성균관대), 손헌성 대리(한백전자)

[강좌개요]

Core-A는 내장형 시스템과 시스템집적반도체를 위해 개발된 32-bit 프로세싱 코어이며, 합성가능 RTL이 공개되는 소프트 IP이고, Core-A 개발 보드는 Core-A를 내장한 시스템을 위한 FPGA 보드이다. 본 강좌에서는 Core-A 및 개발환경, Core-A 개발 보드에 대해 설명하고, Core-A 기반 하드웨어/소프트웨어 통합설계 검증 Flow와 적용 예를 제시한다. 기존에 소개되었던 UART 및 Character LCD 관련 예제를 소개하고 Core-B 버스에 대한 소개 및 실습으로 참석자들의 이해를 도울 것이다. 특히 2일차 과정에서는 한백전자의 보드인 HBE-COMBO 30에서 Core-B 버스를 이용한 Core-A 플랫폼을 동작시켜볼 수 있을 것이다.

- 수강대상 : Core-A기반의 하드웨어/소프트웨어 설계에 관심있는 학부생, 대학원생 및 관련 분야 종사자

[강의형태] [사전지식, 선수과목]

· 이론 + 실습 · 컴퓨터구조, 마이크로 프로세서, 임베디드 시스템 설계

* 문의 : 이승자 (042-350-8536, sjlee@idec.kaist.ac.kr)

신간소개(Core-A 교재개발 시리즈 5)

● 「Core-A 개발보드 활용법」발간



- 출판사 : 홍릉과학출판사 (Tel : 02-999-2274~5, hongpub@hongpub.co.kr)
- 문 의 : 전 항 기 (Tel : 042-350-8535, jhg0929@idec.kaist.ac.kr)

본 교재는 (주)다이나닉 시스템의 기안도 박사가 저술한 것으로, Core-A 프로세서를 사용한 설계를 적용해 볼 수 있는 FPGA 보드를 활용하는데 필요한 정보를 정리하고 있다.

제1부에서 개발 보드의 활용 방법, FPGA 용 설계 방법, 소프트웨어 디버깅 방법, FLASH 프로그래밍 방법 등을 정리, 제2부에서 Core-A 개발 보드를 구성하는 각 소자들에 대해 상세하게 설명한다. 그리고 제3부와 제4부에서 개발 보드와 같이 사용할 수 있는 영상 입출력 보드와 기초 실습 보드에 대해 자세하게 설명하고 있다.

※ Core-A 교재시리즈는 반도체설계재산 활용확산 사업 홈페이지 (http://core-a.or.kr)에서 신청하시면 무료로 받으실 수 있습니다.