

논문 2013-50-2-18

# 올-디지털 위상 고정 루프용 오프셋 및 데드존이 없고 해상도가 일정한 위상-디지털 변환기

( An Offset and Deadzone-Free Constant-Resolution Phase-to-Digital  
Converter for All-Digital PLLs )

최 광 천\*, 김 민 형\*, 최 우 영\*\*

( Kwang-Chun Choi, Min-Hyeong Kim, and Woo-Young Choi )

## 요 약

올-디지털 위상 고정 루프에 사용되는 고해상도 위상-디지털 변환기 설계에 있어서, 위상-주파수 검출기와 시간-디지털 변환기로 이루어진 위상-디지털 변환기에 활용될 수 있는 간단한 구조의 아비터 기반 위상 결정 회로를 제안한다. 제안한 위상 결정 회로는 기존에 개발된 위상 결정 회로보다 적은 전력소모와 보다 작은 입력-출력 지연 시간을 가지면서도 두 펄스 사이의 매우 작은 위상 차이도 구별할 수 있다. 제안한 위상 결정 회로는 130nm CMOS 공정을 사용하여 구현되었고, 트랜지스터 레벨에서 시뮬레이션으로 검증되었다. 제안한 위상 결정 회로를 이용한 오프셋과 데드존이 없는 5비트의 위상-디지털 변환기도 검증되었다. 또한 배수주기 고정 문제가 없고 위상 오프셋이 매우 적은 지연 고정 루프를 제안하였다. 제안한 지연 고정 루프는 위상-디지털 변환기의 해상도를 PVT 변화에 무관하게 항상 원하는 대로 정확히 고정시키는 용도로 활용된다.

## Abstract

An arbiter-based simple phase decision circuit (PDC) optimized for high-resolution phase-to-digital converter made up of an analog phase-frequency detector and a time-to-digital converter for all-digital phase-locked loops is proposed. It can distinguish very small phase difference between two pulses even though it consumes lower power and has smaller input-to-output delay than the previously reported PDC. Proposed PDC is realized using 130-nm CMOS process and demonstrated by transistor-level simulations. A 5-bit P2D having no offset nor deadzone using the PDC is also demonstrated. A harmonic-lock-free and small-phase-offset delay-locked loop for fixing the P2D resolution regardless of PVT variations is also proposed and demonstrated.

**Keywords**: ADPLL, 올-디지털 위상 고정 루프, PFD, TDC, PDC

## I. 서 론

위상 고정 루프(Phase-Locked Loop, 이하 PLL) 회로는 일정한 주기를 가지는 기준 클럭을 생성해 내는

회로로, 많은 전자 회로 시스템에 널리 사용되는 중요한 회로이다. 전통적인 PLL 회로는 주로 아날로그 회로 기법으로 구현되어 왔는데, CMOS 공정의 지속적인 미세화에 따라 이러한 아날로그 PLL 회로는 구조적인 한계에 부딪히게 되었다. 공정이 미세화될수록 디지털 로직의 크기는 작아지지만, PLL의 루프 필터가 필요로 하는 커패시터는 작아질 수 없기 때문에 상대적으로 매우 큰 칩 면적을 차지하게 되고, 특히 90nm 이하의 미세 공정에서는 칩 내부 커패시터의 누설전류가 커져서 PLL 지터 성능 저하를 야기한다<sup>[1]</sup>. 이러한 단점을 해소

\* 학생회원, \*\* 정회원, 연세대학교 전기전자공학과  
(Department of Electrical and Electronic  
Engineering, Yonsei University)

※ 본 연구는 반도체설계교육센터(IDEC)의 설계 톨 지원 및 MPW 지원을 받았으며, 한국 연구재단 연구비 (2012R1A2A1A01009233) 지원을 받았습니다.

접수일자: 2012년9월9일, 수정완료일: 2012년9월9일

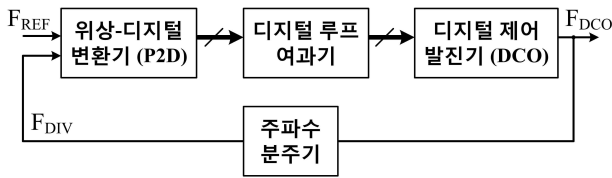


그림 1. ADPLL의 개념적인 블록-다이어그램  
Fig. 1. Conceptual ADPLL block-diagram.

하기 위해서 최근 그림 1과 같이 디지털 루프 필터를 활용한 올-디지털 PLL(All-Digital PLL, 이하 ADPLL) 설계 기법이 활발히 연구되고 있다<sup>[2~5]</sup>. ADPLL에서는 루프 필터에 저항 및 커패시터가 사용되지 않기 때문에 칩 크기가 작아지며 커패시터의 누설 전류 문제를 걱정할 필요가 없다. 또한 대부분의 구성 블록이 순수 디지털 로직 회로로 이루어져 외부 잡음 및 공정-전압-온도(Process-Voltage-Temperature, 이하 PVT) 변화에 둔감하다는 장점을 가지고 있다. 하지만 위상/주파수 신호가 디지털 신호로 양자화되면서 양자화 오류가 발생하고 이로 인해 ADPLL의 잡음 성능이 열화된다는 문제점을 지니고 있으며, 이를 효과적으로 최소화하는 것이 여전히 연구 과제로 남아 있다. 특히 ADPLL에서 생성된 클럭과 외부 기준 클럭 사이의 위상 차이를 검출하는 위상-디지털 변환기(Phase-to-Digital Converter, 이하 P2D)의 해상도 성능은 ADPLL의 출력 클럭의 지터에 직접적인 영향을 주는 매우 중요한 성능이다.

고해상도 P2D를 구현하는 방법은 여러 가지가 보고된 바 있는데, 아날로그 PLL에서 널리 사용되어 온 위상-주파수 검출기 (Phase-Frequency Detector, 이하 PFD)에 시간-디지털 변환기(Time-to-Digital Converter, 이하 TDC)를 조합한 P2D 구조가 흔히 사용된다<sup>[2~5]</sup>. 이 구조는 두 입력 신호의 주파수 차이도 검출해낼 수 있기 때문에, 최대 검출 시간차 범위가 좁은 TDC를 사용하더라도 PLL 주파수 고정 범위(frequency lock range)를 확대시킬 수 있다는 장점을 가지고 있다<sup>[2]</sup>. 또한 TDC의 비선형성으로 인한 악영향을 완화시킬 수 있다는 장점도 가지고 있다. 하지만, 전통적인 PFD와 TDC를 조합하는 방법<sup>[3~4]</sup>은 PFD의 리셋-지연 시간으로 인해 일정한 오프셋이 발생하거나, 또는 기준 클럭과 ADPLL의 생성 클럭의 위상 차이가 매우 작을 때에 데드존이 발생하는 문제를 가지고 있다.

이 문제를 해결하기 위해서 PFD의 출력 펄스의 순

서를 바꿔주는 회로와, Start와 Stop 신호를 입력받아 둘의 시간 차이를 검출하는 버니어 지연 라인(Vernier Delay Line, 이하 VDL) 기반의 TDC를 조합한 P2D 구조가 개발되었다<sup>[5]</sup>. 이 구조를 사용하면 데드존 문제없이 PFD의 리셋-지연 시간을 영향을 받지 않게 된다. 하지만 이 구조는 두 펄스의 순서 관계를 매우 정확히 인지해내고 그 결과를 저장하는 위상 결정 회로(Phase Decision Circuit, 이하 PDC)를 필요로 하는데, 이를 구현하기 위해 [5]에서는 시간 증폭기(Time Amplifier, 이하 TA)를 사용하였다. 그러나 이 PDC 구조는 복잡하고 많은 전력을 소모한다는 단점을 가지고 있다. 더욱이, TA의 유한한 시간 이득과 비선형성으로 인해 PDC가 유한한 위상 오프셋을 가진다는 한계점도 가지고 있다.

본 논문에서는 아비터 회로를 기반으로 하는 새로운 구조의 PDC를 제안한다. 제안된 PDC는 기존 PDC에 비해 위상 오프셋이 무시해도 될 만큼 작고, 간단한 회로 구조와 줄어든 입력-출력 지연 시간을 가지고 있다. 제안된 PDC를 활용한 오프셋 및 데드존 문제가 없는 5-비트 P2D 회로를 구현하였으며, 더불어 PVT 변화에 무관하게 P2D가 항상 일정한 해상도를 가질 수 있도록 해주는 2중 지연 고정 루프(Delay-Locked Loop, 이하 DLL)도 구현하였다. 이 DLL은 배수주기 고정(Harmonic lock) 문제를 항상 피할 수 있고, P2D의 정확한 해상도 구현을 위해서 DLL의 위상 오프셋을 최소화할 수 있도록 설계되었다.

II장은 오프셋과 데드존 문제를 해결할 수 있는 P2D 구조에 대해서 서술한다. III장에서는 구현된 PDC에 대해 서술하며, IV장에서는 P2D의 정확한 해상도 구현을 위한 2중 DLL 회로를 설명한다. V장에서는 PDC 및 이를 활용한 P2D의 성능을 시뮬레이션을 통하여 검증하였다. 또한 2중 DLL을 결합하여 P2D가 항상 일정한 해상도를 가지고 있음을 검증하였다. 마지막으로 VI장에서는 연구 결과를 정리하고 결론을 맺는다.

## II. 오프셋과 데드존이 없는 위상-디지털 변환기

흔히 사용되는 PFD와 TDC의 조합으로 이루어진 P2D 구조는 그림 2(a)와 같다<sup>[3~4]</sup>. 간단한 OR 게이트 혹은 XOR 게이트를 사용해서 PFD의 두 출력인 UP, DN 펄스를 하나로 합쳐서, 펄스폭이 PFD의 두 입력

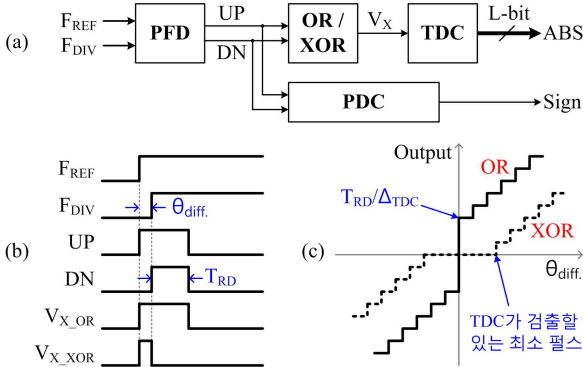


그림 2. (a) 전통적인 PFD와 TDC가 조합된 P2D의 블록-다이아그램  
 (b)  $F_{REF}$ 가  $F_{DIV}$ 보다 약간 빠를 경우의 타이밍 다이아그램  
 (c) P2D의 전달 함수

Fig. 2. (a) Block-diagram of conventional P2D made up of PFD and TDC  
 (b) Timing-diagram when  $F_{REF}$  is slightly earlier than  $F_{DIV}$   
 (c) P2D transfer function

인  $F_{REF}$ 와  $F_{DIV}$  펄스의 위상 차이  $|\theta_{diff.}|$ 에 비례하는 펄스  $V_X$ 를 생성해 낸다. 이  $V_X$ 의 펄스폭은 TDC에 의해 양자화 되어, L비트의 디지털 신호  $ABS$ 를 생성한다. 그리고  $UP$ 과  $DN$  중 어느 펄스가 먼저 상승천이 되었는지를 PDC로 검출하여 위상 차이 부호 신호인  $Sign$  신호를 생성한다.

[3]에서는 OR 게이트를 사용하여  $V_X$ 를 생성하였다. 그러나 이 경우,  $V_X$ 의 펄스폭에는 그림 2(b)의  $V_{X\_OR}$ 에서 볼 수 있듯이 PFD의 리셋-지연 시간인  $T_{RD}$ 가 포함되어 있다. 만약 TDC의 해상도인  $\Delta_{TDC}$ 가  $T_{RD}$ 보다 작다면, 아무리  $|\theta_{diff.}|$ 가 작더라도 그림 2(c)의 실선과 같이  $T_{RD}/\Delta_{TDC}$  만큼의 고정된 오프셋이 발생한다. 이 오프셋으로 인해,  $|\theta_{diff.}|$ 가 작을 때에 P2D가 매우 큰 이득을 가지게 되어, PLL이 정상적인 루프 다이내믹스를 가질 수 없게 된다. 일반적으로  $T_{RD}$ 는 PVT 변화에 매우 민감하여, 디지털 로직으로  $T_{RD}/\Delta_{TDC}$  만큼의 오프셋을 정확히 제거하기는 매우 어렵다. 반면에 [4]에서는 OR 게이트 대신 XOR 게이트를 사용하였다. 이 경우 그림 2(b)의  $V_{X\_XOR}$ 에서 볼 수 있듯이,  $V_X$ 의 펄스폭이  $T_{RD}$ 와 무관하게 정확히  $|\theta_{diff.}|$ 와 일치하게 되어, 오프셋은 발생하지 않는다. 하지만,  $|\theta_{diff.}|$ 가 매우 작을 경우에는  $V_{X\_XOR}$ 의 폭

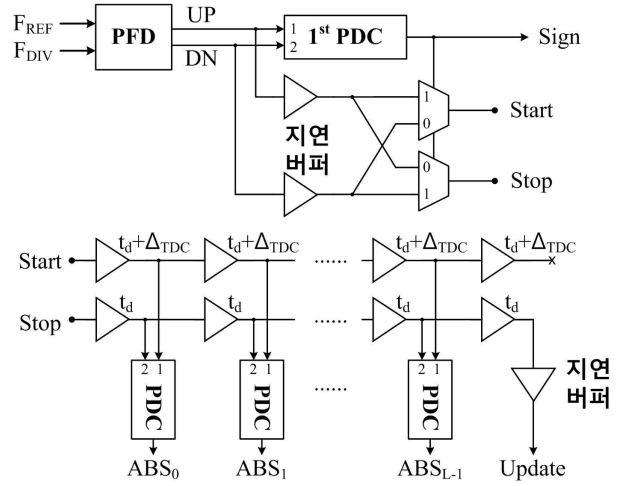


그림 3. 오프셋 및 데드존이 없는 P2D의 블록-다이아그램

Fig. 3. Block-diagram of offset and deadzone-free P2D.

이 매우 좁아지게 되고, 뒷단의 TDC가 펄스폭을 검출하기 어려울 정도가 되면 그림 2(c)의 점선처럼 데드존이 발생하게 된다. 이 데드존이 넓을수록 PLL의 지터 성능을 직접적으로 악화시킨다.

이 문제들의 해결방안으로, [5]는 그림 3에 도시된 바와 같이 오프셋과 데드존이 없는 P2D 구조를 제안하였다. 1<sup>st</sup> PDC는 PFD의  $UP/DN$  중 어떤 펄스가 더 빠른 상승 천이를 가지는지를 판단하고 그 결과를 저장하여, 뒷단에서 생성되는 TDC 출력비트들의 부호를 나타내는  $Sign$  신호를 생성한다. PFD와 MUX 사이에 있는 지연 버퍼들은  $Sign$  출력이 완전히 생성될 때까지 1<sup>st</sup> PDC의 입력-출력 지연 시간 동안 기다리는 역할을 한다. 다음의 MUX는  $Sign$  신호를 토대로,  $UP/DN$  중 빠른 펄스를  $Start$ 로, 느린 펄스를  $Stop$ 으로 연결시켜 주는 역할을 한다. 이 후, 버니어 지연 라인(VDL)과 각 지연단에 첨가된 PDC들로 구성되어 있는 Start-Stop TDC가  $Start$ 와  $Stop$  펄스의 상승 천이 시간 차이( $\Delta_T$ )를 L비트의  $ABS$  출력으로 양자화 한다. VDL 기반의 TDC는 해상도가 매우 높을 수 있고, 무엇보다  $Start$ 와  $Stop$  노드의 입력 커패시턴스가 거의 같다. 그러므로  $\Delta_T$ 는  $UP$ 과  $DN$ 의 상승 천이 시간 차이의 절대값과 같고, 이 값은  $|\theta_{diff.}|$ 와 같으므로, PFD의 리셋-지연 시간으로 인한 오프셋이 제거된다. 그리고 PFD의 리셋-지연 시간이 충분히 길면,  $Start$ 와  $Stop$  펄스의 최소 펄스폭이 충분히 길어지게 되어, 데드존 문제도 발생하지 않는다.  $Stop$ 의 마지막 지연

단에 지연 버퍼를 달아, 모든 PDC가 위상 결정을 마치고  $ABS_0 \sim ABS_{L-1}$  신호가 생성된 후에 *Update* 신호가 생성되도록 한다.

VDL 기반의 TDC의 해상도에 관한 사항들은 IV장에서 자세히 다루도록 하겠다. 참고로, 그림 3의 P2D 구조가 PFD의 리셋-지연 시간으로 인한 오프셋 문제, 그리고 매우 작은  $|\theta_{diff.}|$ 로 인한 데드존 문제를 동시에 해결할 수 있다는 장점을 가진다는 것은 [5]에 언급되어 있지 않다.

### III. 새로운 구조의 위상 결정 회로

만약 그림 3과 같은 P2D에 쓰이는 PDC가 전통적인 D-플립-플롭(D-Flip-Flop, 이하 DFF)으로 설계된다면, 유한한 DFF의 셋업-타임 때문에 30~50ps의 위상 오프셋이 PDC에서 발생하고, *Start*와 *Stop* 펄스가 충분한 펄스폭을 가졌더라도 30~50ps의 데드존이 발생한다. 이 문제를 해결하기 위해 [5]에서는 두 개의 높은 이득의 시간 증폭기(Time Amplifier, 이하 TA)를 DFF의 앞단에 달아서 PDC를 구현하였다. 그러나 이러한 TA 기반의 PDC는 회로 복잡도가 높고 전력소모가 크다. 더욱이 제한된 TA의 이득과 비선형성 때문에, DFF의 셋업-타임에 의한 위상 오프셋은 완전히 제거되지 않는다.

아비터 회로<sup>[6]</sup>는 두 펄스의 순서를 결정해 주는 역할을 하는 회로이다. 아비터 회로는 회로 구조가 양쪽 입력에 대해 완전히 대칭성을 가지기 때문에, 두 입력 펄스의 매우 작은 시간 차이도 구분해 낼 수 있다. 그러나 아비터 회로는 두 입력 펄스의 상승 천이만이 아니라 하강 천이에도 반응을 하여 출력 값이 바뀌기 때문에, 아비터 회로 자체만으로는 PDC의 역할을 수행할 수 없다. 본 연구에서는 두 입력 펄스의 상승 천이에 의한 아비터 출력 결과만을 저장하는 회로를 추가하여, 전력소모가 적고 회로 구조가 간단하면서도 매우 작은 위상 오프셋을 가지는 새로운 구조의 PDC를 구현하였다. 추가된 회로는 앞서 설명한 P2D 구조에 최적화되었다.

그림 4(a)는 제안한 아비터 기반 PDC의 회로도를 보여주고 있다.  $IN_1$ 과  $IN_2$ 가 모두 low인 상태에서는 아비터의 두 출력( $X$ ,  $Y$ )이 모두 high로 초기화되어 있다. 이 상태에서 만약  $IN_1$  펄스가 먼저 상승 천이하면 그림 4(b)에서 보이는 것처럼  $X$ 는 low로 값이 바뀌고

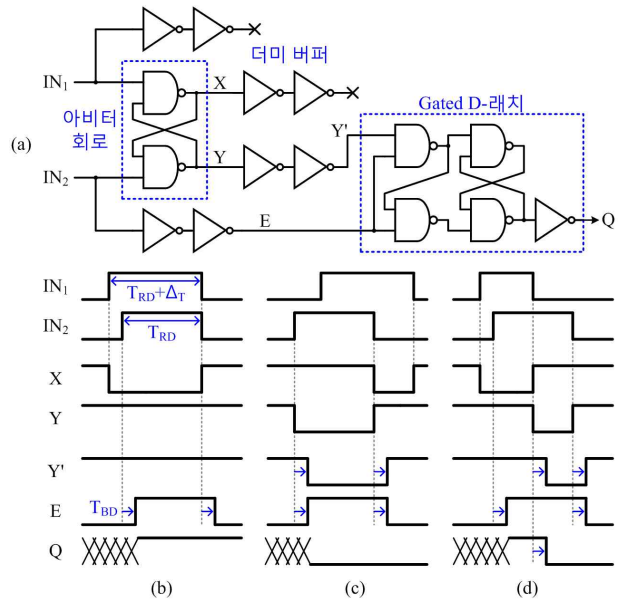


그림 4. (a) 제안한 아비터 기반 PDC 회로도  
 (b)  $IN_1$ 이 먼저 상승 천이하는 경우의 타이밍-다이어그램  
 (c)  $IN_2$ 이 먼저 상승 천이하는 경우의 타이밍-다이어그램  
 (d) 잘못된 출력을 낼 경우의 타이밍-다이어그램  
 Fig. 4. (a) Schematic of proposed arbiter-based PDC  
 (b) Timing diagram with the case of  $IN_1$  rising first  
 (c) Timing diagram with the case of  $IN_2$  rising first  
 (d) Timing diagram with the case of error.

$Y$ 는 high값을 유지하고, 바뀐 값은 뒤따라 발생하는  $IN_2$  펄스의 상승 천이에는 반응하지 않는다. 이  $Y$  신호가 가지는 값을 결정값이라고 할 때,  $Y$  값을 저장하기 위해 뒷단에 gated D-래치를 추가하였다.  $T_{BD}$ 의 지연 시간을 가지는 두 개의 버퍼들을 아비터와 래치 사이에 삽입하였고, 래치 회로의 스위칭에 의해서 발생하는 전류 커플링 효과가 아비터 회로에 영향을 주지 않게끔 아비터와 래치를 분리하는 역할을 한다. 래치의 출력 신호  $Q$ 는 버퍼를 통과한  $IN_2$  펄스인  $E$ 가 high인 도중에만 버퍼를 통과한  $Y$ 신호인  $Y'$ 신호를 따라 가게 된다.  $IN_1$ 과  $IN_2$ 가 다시 low가 되면,  $X$ 와  $Y$ 는 모두 다시 high로 초기화되고, 래치 또한 enable 신호인  $E$ 가 low로 바뀌어  $Q$ 값을 유지하는 모드로 상태가 바뀌게 되어, 다음 입력을 받을 수 있는 상태가 된다. 아비터 회로가 두 입력에 대해 완벽히 대칭성을 가지게

하기 위해서 두 개의 더미 버퍼들을  $IN_1$ 과  $X$  노드에 추가하였다.

그림 4(c)는 반대로  $IN_2$  펄스가  $IN_1$ 보다 먼저 상승 천이하는 경우를 나타낸 그림이다.  $IN_2$  펄스가 먼저 상승 천이하게 되면,  $X$ 는 high 값을 유지하지만  $Y$ 가 low가 되고, 래치는 이 low값을 저장하게 된다. 이 후,  $IN_2$ 가  $IN_1$ 보다 먼저 하강 천이하고 나면 반대로  $X$ 가 low가 되고  $Y$ 가 high가 된다. 그러나  $IN_2$ 가 low가 됨으로  $E$  또한 low가 되기 때문에, 래치의 출력은 더 이상  $Y'$ 를 따라가지 않고 low값을 유지한다.

그림 4(d)는 그림 4(b)와 마찬가지로  $IN_1$ 의 상승 천이가  $IN_2$ 의 상승 천이보다 빠르지만,  $IN_1$ 의 하강 천이도  $IN_2$ 의 하강 천이보다 빠른 경우를 보여준다. 이러한 경우에는  $E$ 다  $Y'$ 가 먼저 low가 되어버린다. 따라서 래치는  $IN_1$ 이  $IN_2$ 보다 먼저 상승 천이했음에도 불구하고, high가 아닌 low 값을 저장하게 되어버린다. 그러나 이러한 상황은 앞 장에서 설명한 PFD와 TDC로 이루어진 P2D 구조에서는 발생하지 않는다. 왜냐하면 PFD의 출력인  $UP/DN$  펄스는 항상 동시에 초기화되어 하강 천이하고, MUX를 통과한  $Start/Stop$  펄스들 또한 동일한 시간에 하강 천이하기 때문이다. 그리고 버니어 지연 라인에서  $Start$  펄스는 언제나  $Stop$  펄스보다 더 많이 지연되기 때문에, 모든 PDC에서 항상  $IN_1$ 이  $IN_2$ 보다 같거나 늦게 하강 천이된다. 그리고 설사 회로를 이루는 소자들의 특성 불일치(device mismatch)나 회로 내/외부의 잡음 때문에  $IN_1$ 이  $IN_2$ 보다 약간 먼저 하강 천이한다고 할지라도, 일반적으로 gated D-래치의 셋업-타임 또한 30~50ps 정도 되기 때문에, 래치가  $IN_1$ 의 하강 천이를 바로바로 감지하지 못하게 되어, 오류가 무시된다.

제안한 PDC는 오직 42개의 MOSFET들(6개의 NAND와 9개의 INVERTER)로 이루어져 있는 반면, [5]에서 제안된 TA 기반의 PDC는 78개의 MOSFET들(두 개의 TA에 40개, DFF에 38개)로 이루어져 있다.

제안한 PDC 외에 또 다른 구조의 아비터 기반의 PDC가 보고된 바가 있는데<sup>[7]</sup>, 이 PDC도 적은 전력소모로 매우 작은 위상 차이를 검출해낼 수 있다. 하지만 이 PDC는 한 번 위상 차이를 결정하고 난 후, 외부에서 리셋 신호를 인가해 주어야지만 그 다음 입력 펄스의 위상 차이를 검출할 수 있다. 이 PDC에 비해서 본 연

구에서 제안한 PDC는 마치 DFF처럼 리셋 신호를 필요로 하지 않기 때문에, 제안한 PDC를 사용한 P2D가 더 빠르게 동작할 수 있다는 장점을 가지고 있다.

#### IV. P2D의 해상도 고정을 위한 2중 지연 고정 루프

P2D의 해상도는 클록의 위상 차이를 얼마나 세밀하게 양자화 할 수 있는지에 대한 성능을 나타내는 지표이다. 만약 ADPLL에 이용되는 P2D가 더욱 세밀한 해상도를 가지고 있다면 그만큼 양자화 오류가 적어지게 되고, ADPLL의 지터 성능이 좋아지게 된다. 앞 장에서 간단히 언급했듯이, VDL 기반의 TDC 회로는 서로 다른 지연 시간을 가지는 두 지연단의 지연 시간 차이를 이용해서 시간 차이를 측정하는 회로로, 그 해상도가 매우 높을 수 있다. 게다가 고정된 주기를 가지는 기준 클록과 2중 지연 고정 루프(Delay-Locked Loop, 이하 DLL)를 활용하면 지연단의 지연 시간을 정확히 조절할 수 있어서, PVT에 무관하게 항상 원하는 대로 정확한 해상도를 가지는 P2D를 구현하는 것이 가능하다는 장점을 가지고 있다<sup>[8]</sup>. P2D의 해상도는 ADPLL의 루프 다이내믹스를 결정하는 중요한 계수로, P2D의 해상도를 정확히 구현할 수 있으면 ADPLL의 루프 다이내믹스 또한 원하는 대로 구현하기가 용이해진다.

##### 1. 정확한 지연단 구현을 위한 2중 지연 고정 루프

그림 5(a)는 피드백 회로인 두 개의 DLL과 일정한 주기를 가지는 기준 클록( $F_{DLL}$ )을 이용하여 정확한 지연 시간을 가지는 지연단을 구현하는 회로를 보여주고 있다. 첫 번째 DLL(DLL1)에서는 피드백에 의해 N개의 지연단을 거친 펄스  $f_N$ 이 입력 펄스인  $f_0$ 과 같은 위상에서 상승 천이하도록 두 fast bias 전압  $b_{Pfast}$ ,  $b_{Nfast}$ 이 고정된다. Fast bias 전압이 고정된 이후에는 fast bias를 사용하는 지연단의 지연 시간이  $F_{DLL}$ 의 주기인  $T_{DLL}$ 의  $1/N$ 로 고정되게 된다. 두 번째 DLL(DLL2)의 입력 펄스인  $s_0$ 은  $f_0$ 과 같은 위상을 가진다. DLL2의 피드백에 의해서  $s_0$  펄스가 N개의 지연단을 거쳐서 나온 펄스  $s_N$ 과,  $f_N$ 에서  $T_{DLL}/N$ 만큼 더 지연된 펄스인  $f_{N+1}$ 의 위상이 서로 같아지게 두 slow bias 전압  $b_{Pslow}$ ,  $b_{Nslow}$ 이 고정되고 나면, slow bias를 사용하는

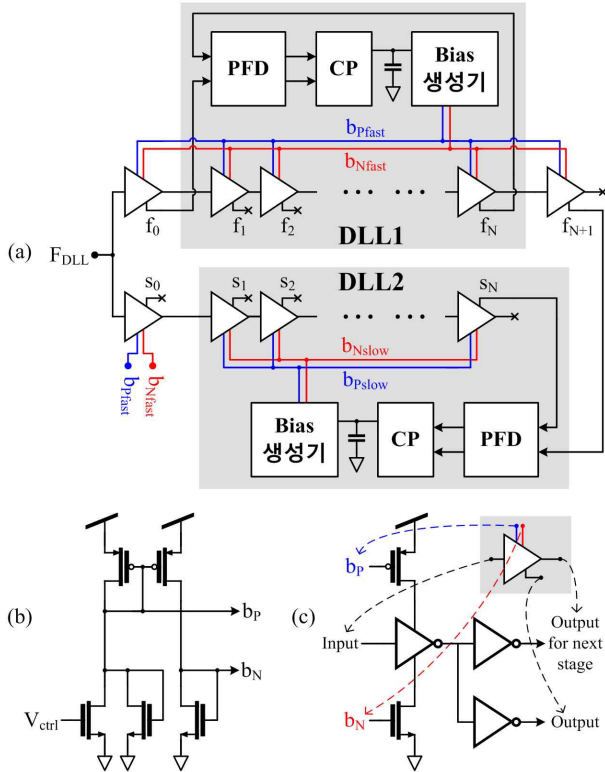


그림 5. (a) VDL의 지연 시간을 맞추기 위한 2중 루프 DLL의 블록-다이아그램  
(b) PMOS/NMOS용 bias 생성기의 회로도  
(c) 지연단의 회로도  
Fig. 5. (a) Block-diagram of dual-loop DLL for fixing VDL delay time  
(b) Schematic of bias generator for PMOS/NMOS  
(c) Schematic of delay cell.

지연단의 지연 시간이  $T_{DLL}$ 의  $(N+1)/N^2$  배로 고정되게 된다.

VDL에서는 2중 DLL에서 생성된 네 개의 bias 전압 ( $b_{Pfast}$ ,  $b_{Nfast}$ ,  $b_{Pslow}$ ,  $b_{Nslow}$ )을 받아서, 그림 3에서 *Start*가 거쳐 가는 지연단에는 slow bias 전압을, *Stop*이 거쳐 가는 지연단에는 fast bias 전압을 인가한다. DLL에서 bias 전압들이 모두 고정된 이후에는 VDL의 느린 쪽 라인의 지연 시간(그림 3의  $t_d + \Delta T_{DC}$ )과 빠른 쪽 라인의 지연 시간(그림 3의  $t_d$ )의 차이, 즉 TDC의 해상도  $\Delta T_{DC}$ 가 아래 식 (1)과 같이 결정되게 된다<sup>[9]</sup>. 보통  $F_{DLL}$ 은 ADPLL에서 생성된 클록을 분주한 클록을 사용하는데, ADPLL에서 주파수가 고정되고 나면  $F_{DLL}$ 은 항상 일정한 주기  $T_{DLL}$ 를 가지게 되므로, TDC의 해상도 또한 PVT에 무관하게

항상 일정한 값을 가질 수 있다.

$$\Delta T_{DC} = \frac{(N+1)T_{DLL}}{N^2} - \frac{T_{DLL}}{N} = \frac{T_{DLL}}{N^2} \quad (1)$$

본 논문에서는 16단의 지연단( $N=16$ )을 사용하여 DLL을 설계하였다.  $F_{DLL}$  기준 클록의 주파수는 781.25MHz라고 가정하였고, 이 기준 클록에 고정된 2중 DLL로부터 생성된 bias 전압들에 의해 P2D가 5ps의 해상도를 가지게끔 설계하였다.

그림 5(b)에서는 DLL 내부에서 PFD와 전하 펌프(Charge Pump, 이하 CP)에 의해 생성된 하나의 제어 전압( $V_{ctrl}$ )을 토대로 PMOS용 bias 전압인  $b_P$ 와 NMOS용 bias 전압인  $b_N$  전압을 생성해주는 bias 생성기 회로도를 보여주고 있다.  $V_{ctrl}$ 이 높아질수록  $b_P$  전압은 낮아지고  $b_N$  전압은 높아진다. 그림 5(c)에서는 각각의 지연단의 회로도를 보여주고 있다. 기본적으로 전류 제한 인버터(current-starved inverter) 회로로 지연 시간을 조절한다. 펄스의 상승 천이 시간과 하강 천이 시간을 비슷하게 맞춰주기 위해서 인버터의 전원부와 접지부에 각각 PMOS와 NMOS를 삽입하였고, 두 bias 전압인  $b_P$ ,  $b_N$  전압에 의해 전계 전류를 조절하여 지연 시간을 조절할 수 있다. 단, 다음 지연단의 입력을 위한 출력과, DLL의 PFD 혹은 TDC의 PDC의 입력을 위한 출력을 따로 생성하여, fan-out 차이로 인해 지연 시간이 달라지는 것을 방지하였다.

## 2. DLL의 배수주기 고정 문제 해결과 위상 오프셋을 최소화하기 위한 PFD-CP

일반적으로 DLL 회로는 입력 클록의 주기 시간인  $T_{DLL}$ 이 아니라  $T_{DLL}$ 의 정수배의 시간  $T_{DLL} \times k$  ( $k$ 는 1보다 큰 임의의 정수)에 맞춰져 지연 시간이 매우 긴 값으로 고정되어 버리는 배수주기 고정(harmonic locking) 문제를 가지고 있다. 이 문제는 DLL을 이루는 지연단의 지연 시간 범위가 넓을 때 발생하는 문제로, DLL의 정상 동작을 보장하기 위해서 꼭 피해야만 하는 문제이다. 지연단의 지연 시간 범위를 좁히는 것은 바람직한 해결 방법이 아닌데, 지연 시간 범위가 너무 좁으면 PVT 변화에 의해 지연 시간이 원하는 값을 결코 가지지 못하게 되는 경우가 발생할 수 있기 때문이다. 따라서 PVT 변화에 의한 지연 시간 변화보다 넓은 범

위의 지연 시간을 낼 수 있는 지연단을 사용하면서 동시에 배수주기 고정 문제를 해결해야 한다.

이 문제를 간단히 해결하는 방법으로, 외부에서 리셋 신호를 인가해서 DLL의 지연단의 지연 시간이 최소화 되도록 초기화하는 구조를 사용하였다. 이를 위해 그림 6(a)과 같이 일반적인 PFD와 CP 구조에 CP의 출력 전압  $V_{ctrl}$ 의 초기화를 위한 PMOS 한 개를 추가하고, PFD의  $IN_1$  입력에 DFF를 추가하였다<sup>[10]</sup>. 참고로 그림 6(a)에서  $IN_1$ 과  $IN_2$ 는 DLL1의 경우 각각 그림 5(a)의  $f_0$ 와  $f_N$  펄스를 받고, DLL2의 경우 각각  $s_N$ 과  $f_{N+1}$  펄스를 받는다. 외부에서 인가하는 리셋 신호인  $\overline{RESET}$  펄스가 low인 동안에는 PMOS의 게이트 전압인  $ENABLE$ 도 low가 되고, 이에 의해  $V_{ctrl}$ 이 VDD로 풀-업 되고, DLL의 지연단이 가장 적은 지연 시간을 가지는 상태가 되어 총 지연 시간이  $T_{DLL}$ 보다 짧은 상태를 유지한다. 그리고 초기화 상태에서는  $IN_1$ ,  $IN_2$  펄스와 무관하게 PFD의  $UP$ 과  $DN$  출력은 항상 각각 low와 high 상태를 유지하는데,  $DN$ 이 high 여도 PMOS의 풀-업에 의해  $V_{ctrl}$ 은 VDD를 유지한다. 이 상태에서  $\overline{RESET}$  펄스가 high가 되면, 그림 6(b)와 같이 그 시점 이후의 첫 번째  $IN_1$ 의 상승 천이에 의해  $ENABLE$  전압이 VDD로 바뀌어 풀-업이 풀리고,  $DN$  펄스가 high 상태이기 때문에  $V_{ctrl}$ 이 점점 내려가게 되어 지연단의 지연 시간이 점점 길어지기 시작한다. 그리고 두 번째  $IN_1$  상승 천이부터  $UP$  펄스가 발생되기 시작하고, 시간이 지남에 따라  $DN$  펄스의 펄스폭이 점점 줄어들어  $UP$  펄스의 펄스폭과 동일해지면  $IN_1$ 과  $IN_2$ 이 동일 위상을 가지게 되고, DLL의 고정점이 완료된다. 지연 시간이 최소화된 상태에서 시작하여 점차 길어지다가  $T_{DLL}$ 이 되면 고정되기 때문에,  $T_{DLL}$ 보다 긴 지연 시간을 가지게 되는 배수주기 고정 오류는 나타나지 않는다.

뿐만 아니라, DLL의 CP에서 전하를 충전할 때와 방전할 때에 충/방전되는 전류량의 불일치로 인해서 일정한 수십 ps의 위상 오프셋이 발생하는데, 이 오프셋은 지연 시간을 부정확하게 만드는 원인이 된다. 이 문제 또한 정확한 P2D 해상도 구현을 위해서 꼭 해결되어야 한다. 이 문제를 최소화하기 위해, 그림 6(c)의 회로와 같은 펄스 재생성 회로<sup>[11]</sup>와 그림 6(d)의 회로와 같은

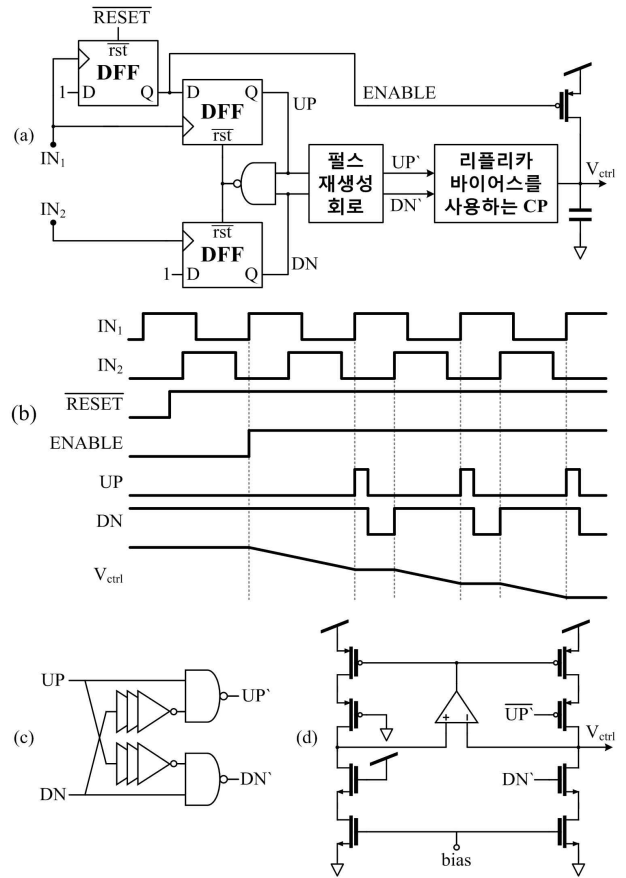


그림 6. (a) 배수주기 고정 제거 회로와 작은 위상 오프셋을 가지는 CP를 사용한 PFD-CP 회로도 (b) 리셋 해제 이후의 타이밍-다이아그램 (c) 펄스 재생성 회로 (d) 리플리카 바이어스를 사용하여 작은 위상 오프셋을 가지는 CP 회로도

Fig. 6. (a) Schematic of PFD-CP using harmonic lock elimination circuit and CP having small phase offset (b) Timing diagram after reset is relieved (c) Schematic of pulse regenerator (d) Schematic of replica-biased CP having small phase offset.

리플리카 바이어스 복사를 이용한 CP<sup>[12]</sup>를 동시에 사용하였다. 먼저 펄스 재생성 회로는 마치 시간 증폭기처럼 PFD에서 나오는  $UP/DN$  펄스폭을 증폭시켜 CP를 더욱 민감하게 만드는 회로이다. 예를 들어  $UP/DN$ 의 펄스폭이  $t$ 초만큼 차이 날 때, 펄스 재생성 회로가 이 펄스폭 차이를  $a$ 배( $a > 1$ ) 증폭시켜 주고, CP 또한  $a$ 배 많은 전하를 충/방전한다. 결국 CP가 작은 펄스폭 차이에 더욱 민감하게 반응하게 되어, 위상 오프셋을 줄이는 방식이다. 리플리카 바이어스 복사를 이용한 CP



는  $V_{ctrl}$ 이 크게 바뀌더라도 PMOS에 의한 충전 전류량과 NMOS에 의한 방전 전류량이 항상 같도록 구현된 회로이다. 이 두 가지 회로들을 이용하여 DLL의 위상 오프셋을 최소화하였다.

### V. 시뮬레이션 결과

본 연구에서 새롭게 제안한 아비터 기반의 PDC (A-PDC)를 130nm CMOS 공정으로 설계하였다. PDC의 성능 비교를 위해, [5]에서 사용한 TA 기반의 PDC (TA-PDC) 또한 동일 공정으로 설계하였다. TA-TDC 안에 들어가는 시간 증폭기는 [5]에서 구현된 것과 비슷한 약 214정도의 시간 이득을 가지도록 설계되었다. TA-TDC에 들어가는 DFF는 셋업-타임을 최소화하기 위해 마스터-슬레이브 래치 구조로 구현하였다. 구현한 PDC의 검증에 대해 트랜지스터-레벨에서 시뮬레이션을 수행하였다.

각각의 PDC를 검증하기 위한 시뮬레이션 설정은 다음과 같다. 전원 전압은 1.2V를 사용하였고, 동일한 시뮬레이션을 여러 공정 코너(process corner)별로 수행하였다. 1ns 펄스폭을 가지고,  $\Delta_T$ 만큼의 시간 차이를 두고 서로 다른 시간에서 상승 천이하는 두 개의 펄스를 만들어서 PDC의  $IN_1$ 과  $IN_2$  입력으로 넣어주었다.  $\Delta_T$  값을 미세하게 바꿔 가며 PDC의 출력 신호인  $Q$  값을 관찰하였고,  $Q$ 값이 high에서 low로 바뀌기 시작하는  $\Delta_T$  값을 측정하였다. 이는 곧 PDC의 위상 오프셋을 의미한다. 또한 두 PDC 모두 고정적으로 소모하는 전류(static current consumption)는 없으므로, 전력 소모량을 비교하기 위해서 한 차례의 입력 펄스에 대한

PDC의 에너지 소모량(femto-Joule)을 측정하였고, 펄스가 입력된 후부터  $Q$ 값이 출력될 때까지 걸리는 입력-출력 지연 시간 또한 측정하였다.

표 1은 시뮬레이션으로 측정된 각 PDC의 성능을 요약한 것이다. TA-PDC는 266fs 이상의 위상 오프셋을 가지고 있으며, 공정 코너에 대해 매우 민감함을 알 수 있다. 특히 FF 공정 코너에서 발생하는 매우 큰 위상 오프셋은 TA의 메타-불안정도 때문에 발생하는 문제로, TA의 시간 이득을 감소시키면 해결될 수 있는 문제이다. 하지만 TA의 시간 이득을 줄이면 그만큼 다른 공정 코너에서 위상 오프셋이 증가해 버리는 단점이 있다. 반면에, 본 연구에서 제안한 A-PDC의 경우 모든 공정 코너에서 6fs 이하의 무시할만한 위상 오프셋을 가짐을 알 수 있다. 결과적으로, 위상 오프셋은 98.6% 이상 크게 감소되었다. 에너지 소모량과 입력-출력 지연 시간도 각각 54%와 37.5% 이상 감소되었다.

제안한 A-PDC를 이용하여 그림 3의 P2D 또한 구현되었고, 트랜지스터-레벨로 시뮬레이션 되었다. P2D의 PFD는 래치 기반으로 된 PFD<sup>[13]</sup> 구조를 이용하였고, PFD의 리셋-지연 시간이 NN 코너에서 300ps가 되도록 적절한 지연 버퍼를 사용하였다. TDC의 해상도는 NN 코너에서 5ps가 되도록 bias 전압을 설정하였다. PFD와 MUX 사이에 들어가는 지연 버퍼들은 PDC의 입력-출력 지연 시간보다 큰 지연 시간을 가지도록 설계하였다. P2D의 시뮬레이션 설정은 PDC의 시뮬레이션 설정을 그대로 따랐으며, PFD의 리셋-지연 시간과 P2D의 1회 입력 당 소모되는 에너지양, 그리고 P2D의 전달함수가 측정되었다. 구현된 P2D는 FF, NN, SS 공정 코너 각각에서 4.77, 4.6, 4.52pJ의 에너지를 소모한다. 참고로, P2D의 평균적인 전력 소모는 P2D의 1회

표 1. TA-PDC와 A-PDC의 성능 비교 표  
Table 1. Performance comparison between TA-PDC and A-PDC.

공정 코너	TA-PDC					A-PDC				
	FF	NN	SS	FS	SF	FF	NN	SS	FS	SF
에너지 소모량 (fJ)	502.6	412.6	388.2	439.9	420.6	221.6	176.4	163.0	183.7	193.3
에너지 소모량 감소비율 (%)						55.9	57.2	58.0	58.2	54.0
위상 오프셋 (fs)	3201.0	303.3	403.0	355.5	266.2	0.4	2.8	5.2	5.1	1.2
위상 오프셋 감소비율 (%)						100.0	99.1	98.7	98.6	99.5
입력-출력 지연 시간 (ps)	697.7	798.2	1014.0	923.4	916.1	402.7	418.2	633.7	450.9	513.1
지연 시간 감소비율 (%)						42.3	47.6	37.5	51.2	44.0



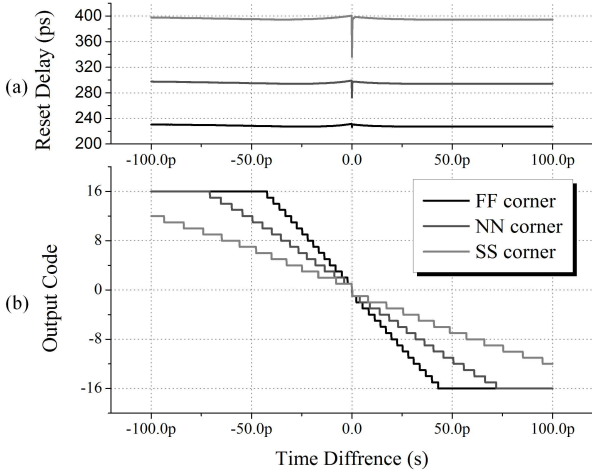


그림 7. (a) 시뮬레이션 된 PFD 리셋-지연 시간 (A-PDC를 사용한 경우)  
(b) 시뮬레이션 된 P2D 전달 함수 (A-PDC를 사용한 경우)

Fig. 7. (a) Simulated PFD reset delay when A-PDC is used  
(b) Simulated P2D transfer function when A-PDC is used.

입력 당 소모되는 에너지양과 동작 주파수(주로 ADPLL의 기준 클럭 주파수)의 곱으로 나타낼 수 있다. 그림 7은 시뮬레이션 된 PFD의 리셋-지연 시간과 P2D의 전달함수를 각 공정 코너별로 보이고 있다. PFD의 리셋-지연 시간이 각 공정 코너별로 228~396ps로 변함에도 불구하고, 시뮬레이션 된 P2D의 전달함수를 보면 위상 오프셋이 없다는 것을 알 수 있다. 또한 PFD의 리셋-지연 시간이 충분히 길기 때문에, 데드존 또한 형성되지 않고 매우 작은 위상차이도 감지해 낼 수 있는 것을 볼 수 있다.

TA-PDC를 사용한 P2D도 마찬가지로 시뮬레이션으로 성능을 검증하였다. 단, TA-PDC를 사용할 경우에는 TA의 입력 펄스의 펄스폭이 충분치 않으면 제대로 증폭이 안 되기 때문에, PFD의 리셋-지연 시간을 더 늘려 NN 공정 코너에서 578ps가 되도록 지연 버퍼를 더 추가하였다. 또, TA-PDC의 입력-출력 지연 시간이 A-PDC보다 두 배 정도 더 길기 때문에 그림 3의 PFD와 MUX 사이에 들어가는 지연 버퍼들도 두 배의 지연 시간을 가지도록 하였다. 결국 더욱 많은 지연 버퍼들이 추가될 수밖에 없었으며, PDC의 전력소모 외에 추가적으로 전력이 더 소모되고, P2D가 동작할 수 있는 최고 속도도 더욱 제한되게 된다. TA-PDC를 사용한

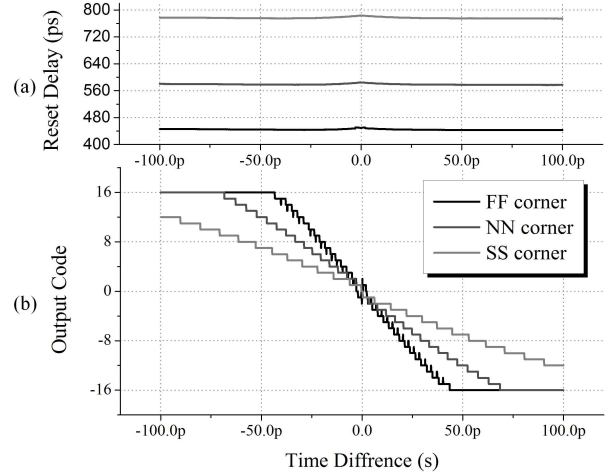


그림 8. (a) 시뮬레이션 된 PFD 리셋-지연 시간 (TA-PDC를 사용한 경우)  
(b) 시뮬레이션 된 P2D 전달 함수 (TA-PDC를 사용한 경우)

Fig. 8. (a) Simulated PFD reset delay when TA-PDC is used  
(b) Simulated P2D transfer function when TA-PDC is used.

P2D는 FF, NN, SS 공정 코너 각각에서 11.5, 9.77, 8.59pJ의 에너지를 소모한다. A-PDC를 사용한 P2D와 비교하면 전력소모는 약 두 배 정도로 커졌다고 할 수 있다. 그림 8은 TA-PDC를 이용한 P2D에서 PFD의 리셋-지연 시간과 P2D의 전달함수의 시뮬레이션 결과이다. A-PDC를 이용한 P2D와 마찬가지로 위상 오프셋도 없고 데드존도 없지만, FF 공정 코너에서의 전달함수를 보면 TA의 메타-불안정도 때문에 일부 글리치가 발생하는 것을 볼 수 있다.

결과적으로, 제안한 아비터 기반 PDC가 [5]의 TA기반 PDC보다 더 안정적이고, 저전력 고속 P2D에 적합

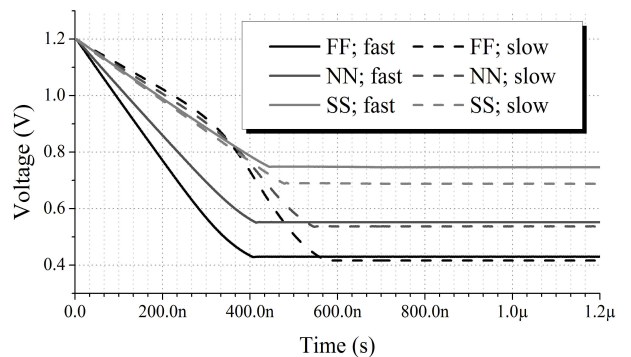


그림 9. 2중 DLL의 제어 전압 시뮬레이션 결과  
Fig. 9. Dual-loop DLL control voltage simulation results.

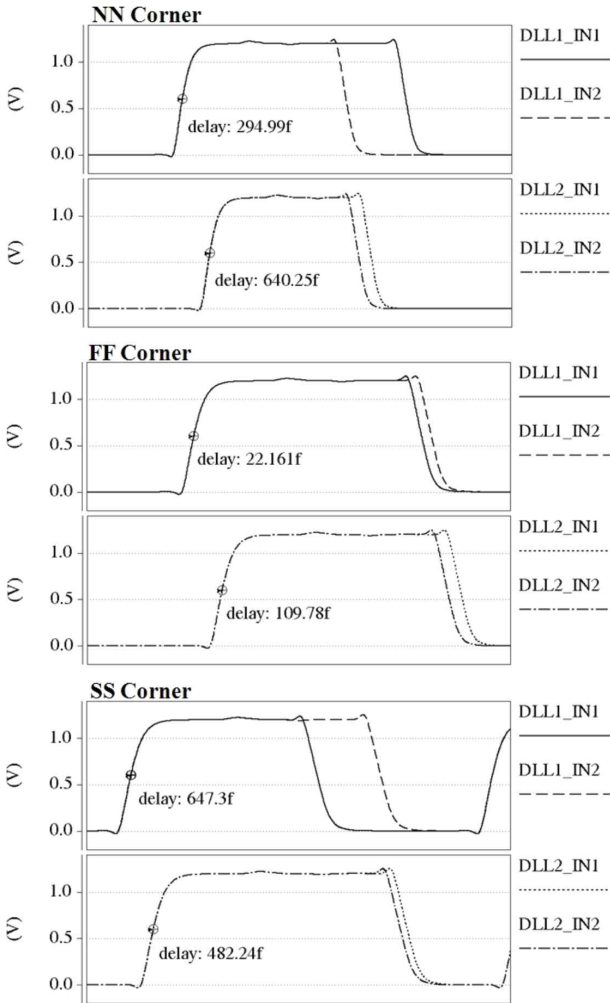


그림 10. 2중 DLL의 위상 오프셋 시뮬레이션 결과  
Fig. 10. Dual-loop DLL phase offset simulation results.

한 구조임을 확인할 수 있었다.

하지만 앞서 검증한 P2D는 고정된 bias 전압을 사용했기 때문에, 공정 코너에 따라서 해상도가 크게 변하는 문제점을 가지고 있다. 이를 해결하기 위해 IV장에서 제안한 2중 DLL을 추가해서 PVT와 무관하게 항상 일정한 해상도를 가지는 P2D도 시뮬레이션으로 검증하였다. 그림 9는 2중 DLL의 지연 시간이 고정되는 과정에서 빠른 지연을 위한 DLL1의 제어 전압인  $V_{ctrl\_fast}$ 와 느린 지연을 위한 DLL2의 제어 전압인  $V_{ctrl\_slow}$ 의 변화를 공정 코너별로 시뮬레이션 한 결과이다. IV장에서 설명했듯이, 초기에는 모든  $V_{ctrl}$ 이 VDD로 초기화되어 있다가 공정 코너에 따라 적절한 전압으로 수렴되는 것을 볼 수 있다. 그림 10은 공정 코너 별로 DLL1, DLL2의 위상 오프셋을 시뮬레이션 한 결과이다. IV장

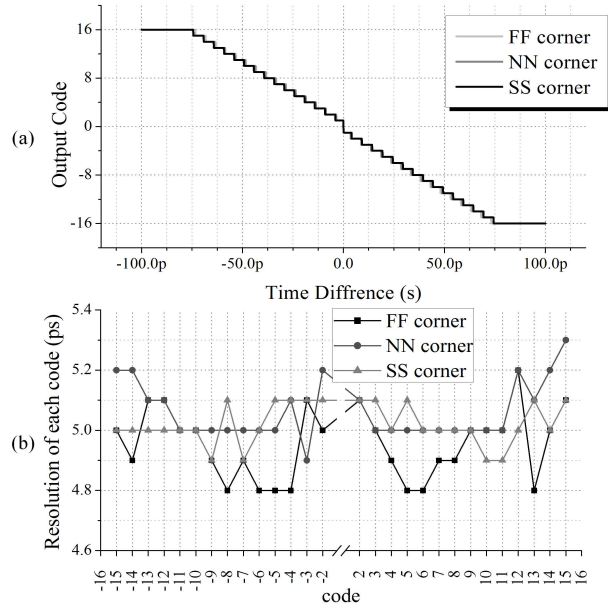


그림 11. (a) 2중 DLL을 포함한 P2D의 특성 곡선  
(b) P2D의 출력 코드별 해상도

Fig. 11. (a) Transfer function of P2D including dual-loop DLL  
(b) P2D resolution for each output code.

에서 설명한 여러 회로 기법을 통해 최대 647fs 정도의 매우 작은 위상 오프셋이 발생하였다. 오프셋에 의해서 P2D의 해상도가 부정확해지는 것이 최소화될 수 있고, 그 결과는 그림 11에서 볼 수 있다. 그림 11(a)는 2중 DLL을 추가하여 5ps의 해상도를 가지도록 구현된 P2D의 특성 곡선을 공정 코너별로 시뮬레이션 한 결과를 도시한 것이고, 그림 11(b)는 각 출력 코드별 해상도를 공정 코너별로 계산한 결과이다. DLL을 사용하지 않은 그림 7(b)에 비해 공정에 따라 해상도가 변하는 것이 크게 개선된 것을 확인할 수 있다.

## VI. 결론

아비터 회로를 기반으로 간단한 구조의 위상 결정 회로를 새롭게 제안하였고, 이를 트랜지스터-레벨 시뮬레이션을 통해 검증하였다. 제안한 위상 결정 회로는 기존에 개발된 위상 결정 회로보다 전력소모가 적고 입력-출력 지연 시간이 짧으면서도, 매우 작은 위상 차이도 검출해낼 수 있다는 장점을 가지고 있다. 더욱이 기존에 개발된 위상 결정 회로보다 더 안정적으로 동작하며, 따로 리셋 신호를 필요로 하지 않는다는 장점이 가

지고 있다. 또한 배수주기 고정 문제가 없고 위상 오프셋이 적은 2중 지연 고정 루프를 제안하였다. 제안한 2중 지연 고정 루프와 위상 결정 회로를 활용하여, PVT 변화에 무관하게 항상 일정한 해상도를 가지면서 오프셋 및 데드존이 없는 고해상도 위상-디지털 변환기를 설계하였고, 이 또한 트랜지스터-레벨 시뮬레이션으로 검증되었다. 검증된 위상-디지털 변환기는 고성능 올-디지털 위상 고정 루프에 유용하게 사용될 수 있을 것이다.

### 참 고 문 헌

- [1] K. -C. Choi, S. -W. Lee, B. -C. Lee and W. -Y. Choi, "A Time-to-Digital Converter Based on a Multiphase Reference Clock and a Binary Counter With a Novel Sampling Error Corrector", *IEEE Trans. Circuits and Systems II: Exp. Briefs*, Vol. 59, No. 3, pp. 143-147, Mar. 2012.
- [2] V. Kratyuk, P. -K. Hanumolu, U. Moon and K. Mayaram, "A Design Procedure for All-Digital Phase-Locked Loops Based on a Charge-Pump Phase-Locked-Loop Analogy", *IEEE Trans. Circuits and Systems II: Exp. Briefs*, Vol. 54, No. 3, pp. 247-251, Mar. 2007.
- [3] J. Lin, B. Haroun, T. Foo, J. -S. Wang, B. Helmick, S. Randall, T. Mayhugh, C. Barr and J. Kirkpatrick, "A PVT Tolerant 0.18MHz to 600MHz Self-Calibrated Digital PLL in 90nm CMOS Process", *IEEE Int. Solid-State Circuit Conf.*, pp. 488-541, Feb. 2004.
- [4] T. Olsson and P. Nilsson, "A Digitally Controlled PLL for SoC Applications", *IEEE J. Solid-State Circuits*, Vol. 39, No. 5, pp. 751-760, May. 2004.
- [5] S. -Y. Lin and S. -I. Liu, "A 1.5 GHz All-Digital Spread-Spectrum Clock Generator", *IEEE J. Solid-State Circuits*, Vol. 44, No. 11, pp. 3111-3119, Nov. 2009.
- [6] P. Dudek, S. Szczepanski and J. V. Hatfield, "A High-Resolution CMOS Time-to-Digital Converter Utilizing a Vernier Delay Line", *IEEE J. Solid-State Circuits*, Vol. 35, No. 2, pp. 240-247, Feb. 2000.
- [7] J. Yu, F. F. Dai and R. C. Jaeger, "A 12-Bit Vernier Ring Time-to-Digital Converter in 0.13 $\mu$ m CMOS Technology", *IEEE J. Solid-State Circuits*, Vol. 45, No. 4, pp. 830-842, Apr. 2010.
- [8] 이형민, 신우열, N. Xing, 김선권, 심대용, 홍기문, 김수환, "Open-Loop Mode에서 동작하는 DLL을 사용한 고해상도 Time-to-Digital 변환기", 제 17회 한국반도체학술대회, TP2-29, 2010년 2월
- [9] C. -S. Hwang, P. Chen and H. -W. Tsao, "A High-Precision Time-to-Digital Converter Using a Two-Level Conversion Scheme", *IEEE Trans. Nuclear Science*, Vol. 51, No. 4, pp. 1349-1352, Aug. 2004.
- [10] R. C. -H. Chang, H. -M. Chen and P. -J. Huang, "A Multiphase-Output Delay-Locked Loop With a Novel Start-Controlled Phase/Frequency Detector", *IEEE Trans. Circuits and Systems I: Reg. Papers*, Vol. 55, No. 9, pp. 2483-2490, Oct. 2008.
- [11] B. -G. Kim and L. -S. Kim, "A 250-MHz-2-GHz Wide-Range Delay-Locked Loop", *IEEE J. Solid-State Circuits*, Vol. 40, No. 6, pp. 1310-1321, Jun. 2005.
- [12] J. S. Lee, W. K. Jin, D. M. Choi, G. S. Lee and S. Kim, "A WIDE RANGE PLL FOR 64X SPEED CD-ROMS & 10X SPEED DVD-ROMS", *IEEE Trans. Consumer Electronics*, Vol. 46, No. 3, pp. 487-493, Aug. 2000.
- [13] M. Mansuri, D. Liu and C. -K. K. Yang, "Fast Frequency Acquisition Phase-Frequency Detectors for GSa/s Phase-Locked Loops", *IEEE European Solid-State Circuits Conf.*, pp. 333-336, Sep. 2001.

저 자 소 개



최 광 천(학생회원)  
2006년 연세대학교 전기전자  
공학과 학사 졸업.  
2008년 연세대학교 전기전자  
공학과 석사 졸업.  
2008년~현재 연세대학교 전기전  
자공학과 박사과정

<주관심 연구분야 : 고속 인터페이스 회로, 클럭  
복원 회로, 위상 고정 루프 회로>



김 민 형(학생회원)  
2011년 연세대학교 전기전자  
공학과 학사 졸업.  
2011년~현재 연세대학교 전기  
전자공학과 통합과정  
<주관심 연구분야 : 고속 인터페  
이스 회로, 위상 고정 루프 회로>



최 우 영(정회원)  
1986년 MIT, EECS, B.S.  
1988년 MIT, EECS, M.S.  
1994년 MIT, EECS, Ph.D.  
1994년~1995년 일본 NTT  
광전자연구소  
Post-Doctoral Fellow

1995년~현재 연세대학교 전기전자공학과 교수  
<주관심 연구분야 : 고속 회로 및 시스템, Si  
Photonics>