

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.
H03F 3/45

(45) 공고일자
(11) 등록번호
(24) 등록일자

2000년03월15일
10-0246603
1999년12월07일

(21) 출원번호 10-1997-0055297
(22) 출원일자 1997년10월27일
(73) 특허권자 한국전기통신공사, 이계철
대한민국

(65) 공개번호 특1999-0033863
(43) 공개일자 1999년05월15일

한국전자통신연구원, 정선중
대한민국

(72) 발명자 정태식
대한민국

김봉열
대한민국

최우영
대한민국

최은창
대한민국

(74) 대리인 박해천
원석희

심사관: 권호영

(54) 출원명 차동반전증폭기및그를이용한차동링전압제어발진회로

요약

1. 청구범위에 기재된 발명이 속하는 기술분야

본 발명은 차동 반전 증폭기 및 그를 이용한 차동 링 전압 제어 발진회로에 관한 것임.

2. 발명이 해결하고자하는 기술적 과제

본 발명은 종래의 차동 링 전압제어 발진회로가 갖는 단 수에 의한 최대 발진 주파수의 한계를 극복할 수 있는 새로운 구조의 차동 링 전압 제어 발진회로를 제공하고자 함.

3. 발명의 해결 방법의 요지

본 발명은 입력된 전압신호를 차동 증폭하여 주파수를 각각 발진시키는 다수의 증폭 및 지연부를 구비한 주파수 발진수단; 및 주파수 발진 수단으로부터 발진된 주파수들중 위상이 서로 상반되는 주파수를 차동증폭하기 위한 다수의 차동 증폭부를 구비한 주파수 차동 증폭수단을 포함함.

4. 발명의 중요한 용도

본 발명은 종래의 차동 링 전압제어 발진회로에 비해 보다 높은 발진 주파수를 얻을 수 있는 곳 등에 이용됨.

대표도

도6

색인어

증폭기, 차동 반전 증폭기, 전압 제어, 발진, 링

명세서

도면의 간단한 설명

도 1 은 종래의 차동 링 전압 제어 발진회로에 이용되는 차동 반전 증폭기의 회로 구성도,

도 2 는 종래의 차동 링 전압 제어 발진회로의 구성도,

도 3 은 본 발명에 따른 차동 링 전압 제어 발진회로에 이용되는 2-입력 3-출력을 갖는 차동 반전 증폭기의 일실시에 회로 구성도,

도 4 는 본 발명에 따른 차동 링 전압 제어 발진회로에 이용되는 2-입력 3-출력을 갖는 차동 반전 증폭기의 다른 실시예 회로 구성도,

도 5 는 본 발명에 따른 차동 링 전압 제어 발진회로에 이용되는 2-입력 3-출력을 갖는 차동 반전 증폭기의 또 다른 실시예 회로 구성도,

도 6 은 본 발명에 따른 차동 반전 증폭기를 이용한 차동 링 전압 제어 발진회로의 일실시에 구성도,

도 7a 는 주파수 발진부(60)의 다수의 증폭 및 지연부(60-1 ~ 60-2N)의 입력단(IN-A1 ~ IN-A2N)에 입력되는 입력 파형도,

도 7b 는 주파수 발진부(60)의 다수의 증폭 및 지연부(60-1 ~ 60-2N)의 입력단(IN-B1 ~ IN-B2N)에 입력되는 입력 파형도,

도 7c 는 주파수 발진부(60)의 다수의 증폭 및 지연부(60-1 ~ 60-2N)의 출력단(OUT-A1 ~ OUT-A2N)를 통해 출력되는 출력 파형도,

도 7d 는 주파수 발진부(60)의 다수의 증폭 및 지연부(60-1 ~ 60-2N)의 출력단(OUT-B1 ~ OUT-B2N)를 통해 출력되는 출력 파형도,

도 7e 는 주파수 발진부(60)의 다수의 증폭 및 지연부(60-1 ~ 60-2N)의 출력단(OUT-C1 ~ OUT-C2N)를 통해 출력되는 출력 파형도,

* 도면의 주요 부분에 대한 부호의 설명 *

10, 30, 40, 50 : 차동 반전 증폭기

20, 60 : 주파수 발진부

20-1 ~ 20-2N, 60-1 ~ 60-2N : 증폭 및 지연부

61 : 차동 증폭 블록

61-1 ~ 61-N : 차동 증폭부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 위상 동기 장치 등에 사용되는 차동 링 전압 제어 발진회로에 관한 것으로서, 특히 2-입력 3-출력을 갖는 차동 반전 증폭기 및 그를 지연수단으로 사용하는 차동 링 전압 제어 발진회로에 관한 것이다.

우선, 도 1 및 도 2를 참조하여 종래의 기술을 간략히 살펴보면 다음과 같다.

도 1 은 종래의 차동 링 전압 제어 발진회로에 이용되는 차동 반전 증폭기의 회로 구성도이다.

도 1에 도시된 바와 같이, 종래의 전압 제어 발진회로에 이용되는 차동 반전 증폭기(10)는, 전원전압(VDD)에 대해 각각 소정의 전압강하가 발생되도록 하는 부하(11,12)들과, 게이트를 각각 제1 및 제2 입력단(IN11,IN12)으로 하고, 부하(11,12)에 각각 연결된 드레인을 제1 및 제2 출력단(OUT11,OUT12)으로 하여 입력되는 서로 상반된 전압신호를 차동 증폭하기 위한 제1 및 제2 N채널 트랜지스터들(13,14)과, 차동 증폭용 제1 및 제2 N채널 트랜지스터(13,14)의 공통 소오스와 접지 사이에 접속되며, 전압 제어신호(VCS)에 따라 차동 증폭용 제1 및 제2 N채널 트랜지스터들(13,14)을 통해 흐르는 전류들의 총합을 제어하기 위한 전류 소오스부(15)를 구비한다.

상기한 바와 같은 구조를 갖는 종래의 차동 반전 증폭기의 동작을 설명하면 다음과 같다.

우선, 하이상태의 전압 제어신호(VCS)가 인가되어 전류 소오스부(15)가 구동되면, 차동 증폭용 제1 및 제2 N채널 트랜지스터들(13,14)은 제1 및 제2 입력단들(IN11,IN12)을 통해 입력된 서로 상반된 전압신호를 차동 증폭하여 제1 및 제2 출력단자들(OUT11,OUT12)을 통해 각각 서로 상반된 전압신호를 출력한다. 즉, 제1 입력단자(IN11)를 통해 입력되는 전압신호가 제2 입력단자(IN12)를 통해 입력되는 전압신호보다 상대적으로 크면, 차동 증폭용 제1 N채널 트랜지스터(13)가 제2 N채널 트랜지스터(14) 보다 강하게 턴온되므로, 제2 출력단자(OUT12)를 통해 출력되는 하이상태의 전압신호가 출력되고, 제1 출력단자(OUT11)를 통해서서는 로우상태의 전압신호가 출력된다. 또한, 제1 입력단자(IN11)를 통해 입력되는 전압신호가 제2 입력단자(IN12)를 통해 입력되는 전압신호보다 상대적으로 작으면, 차동 증폭용 제1 N채널 트랜지스터(13)가 제2 N채널 트랜지스터(14)보다 약하게 턴온되므로, 제1 출력단자(OUT11)를 통해 하이상태의 전압신호가 출력되고, 제2 출력단자(OUT12)를 통해서서는 로우상태의 전압신호가 출력된다.

한편, 로우상태의 전압 제어신호(VCS)가 인가되어 전류 소오스부(15)가 구동되지 않으면, 차동 증폭용 제1 및 제2 N채널 트랜지스터들(13, 14)은 차동 증폭 작용을 하지 못한다.

도 2는 종래의 차동 링 전압 제어 발진회로의 구성도이다.

도 2에 도시된 바와 같이, 종래의 차동 링 전압 제어 발진회로는, 서로 상대적인 전압신호를 입력하여 180°의 위상차이를 갖는 두 주파수를 발진시키기 위한 주파수 발진부(20)와, 주파수 발진부(20)로부터 발진된 주파수를 버퍼링하기 위한 버퍼부(21)를 구비한다.

주파수 발진부(20)는 전단의 두 출력단이 다음 단의 두 입력단에 직렬 접속되며, 마지막 단의 두 출력단이 첫 번째 단의 두 입력단에 교차되어 접속되며, 일 입력단 및 타 입력단으로 입력된 서로 상대적인 전압신호를 차동 증폭하고, 또한 지연시키기 위한 다수의 증폭 및 지연부(20-1 내지 20-2N)로 구성된다. 여기서, 마지막 번째의 증폭 및 지연부(20-2N)의 두 출력신호는 첫 번째 증폭 및 지연부(20-1)의 두 입력단으로 교차되게 케환된다.

다수의 증폭 및 지연부(20-1 내지 20-2N)는 후술되는 도 2의 차동 반전 증폭기(10)를 각각 포함한다.

버퍼부(21)는 상기 도 1의 차동 반전 증폭기(10)로 구성할 수도 있다.

상기한 바와 같은 구조를 갖는 종래의 차동 링 전압 제어 발진회로의 동작을 설명하면 다음과 같다.

주파수 발진부(20)의 증폭 및 지연부들(20-1 내지 20-(2N-1))은 증폭 및 지연부(20-1)의 두 입력단에 입력되는 서로 상대적인 전압신호에 대하여 반전 기능을 수행하고, 증폭 및 지연부(20-2N)는 증폭 및 지연부(20-1)의 두 입력단에 입력되는 서로 상대적인 전압신호에 대하여 비반전 기능을 수행함으로써, 신호를 발진시킨다. 이때, 마지막 번째 증폭 및 지연부(20-2N)의 두 출력신호가 첫 번째 증폭 및 지연부(20-1)로 케환되는 횟수에 따라 발진되는 신호의 주기가 결정된다. 즉, 케환이 두 번 이루어지면, 주파수 발진부(20)로부터 발진되는 신호들은 한 주기를 갖게된다. 그리고, 주파수 발진부(20)의 두 출력단을 통해 각각 발진되는 신호는 180°의 위상차를 갖는다.

이와 같은 과정을 통하여, 주파수 발진부(20)로부터 신호 발진이 이루어지고, 버퍼부(21)에서 버퍼링되어 안정된 주파수로 출력된다.

상기한 바와 같이 구성 및 동작되는 차동 반전 증폭기를 이용하는 종래의 차동 링 전압 제어 발진 회로의 발진 주파수(f_{osc})는 그에 포함된 증폭 및 지연부의 단 수(2N)와 각 증폭 및 지연부의 지연 시간(TD)에 의해 결정되는데, 이를 수학적식으로 표현하면 (수학적식 1)과 같다.

수학적식 1

$$f = 1/(2(2N)TD)$$

따라서, 발진 회로의 발진 주파수를 증가시키기 위해서는 증폭 및 지연부의 단 수 및 각 증폭 및 지연부의 지연 시간을 줄여야 한다.

그러나, 발진 회로의 발진에 대한 안정성을 고려하여 회로에 포함되는 증폭 및 지연부의 갯수는 3개 이상을 사용하는 것이 보편화되어 있고, 각 증폭 및 지연부의 지연 시간은 상기 각 증폭 및 지연부를 구성하는 차동 반전 증폭기의 전계-효과 트랜지스터(FET : Field-Effect Transistor) 등의 제조 기술, 구성 방식, 그리고 부하 커패시턴스 등에 의존하여 제한되므로, 발진 주파수와 증폭 및 지연부의 단 수, 그리고 각 증폭 및 지연부의 지연 시간에 대한 (수학적식 1)을 탈피할 수 있는 차동 링 전압 제어 발진회로가 절실히 요구된다. 또한, 종래의 차동 링 전압 제어 발진회로의 출력은 주파수 발진부(20)로부터 직접 얻어지므로 출력단에 연결되는 버퍼부(21)가 상기 주파수 발진부의 주파수 발진 루프상의 부하로 작용하여 발진 주파수를 감소시키는 문제가 있었다.

최근에, 상기 차동 링 전압 제어 발진회로가 구비하고 있는 증폭 및 지연부의 단 수에 의한 발진 주파수의 한계를 극복하기 위한 수단으로서, 짝수단의 증폭 및 지연부를 갖는 종래의 링 전압 제어 발진 회로로부터 발생하는 일정한 위상차를 갖는 신호들을 배타적 논리합 게이트(XOR GATE)로 조합하여 사용함으로써, 상기 종래의 차동 링 전압 제어 발진회로의 발진 주파수 보다 2배 높은 주파수를 얻어낼 수 있는 차동 링 전압 제어 발진회로가 발표된 바 있다. 그러나, 그러한 차동 링 전압 제어 발진회로도 주파수 발진부의 증폭 및 지연부의 출력단들이 각각 배타적 논리합 게이트에 연결되므로써, 위와 마찬가지로 발진루프의 부하가 증가되어 발진 주파수가 감소되는 문제점이 여전히 존재하였다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기한 바와 같은 종래의 제반 문제점을 해결하기 위한 것으로서, 차동 반전 증폭기의 두 입력의 공통 성분의 변화와 상기 차동 반전 증폭기를 구성하는 FET 등의 트랜지스터들의 비선형적인 전압-전류 특성에 기인하는 대신호(large signal)에 대한 비선형성을 극대화시킴으로써, 전압 발진기로부터 발생하는 원래의 신호 파형의 반주기마다 동일한 형태의 신호 파형이 공통-소오스(common-source) 단자에서 반복적으로 나타나도록 하고, 이를 상기 차동 반전 증폭기의 출력으로 사용하여 차동 링 전압 제어 발진회로의 부하를 최소화하면서, 동시에 짝수 개의 증폭 및 지연부를 갖는 종래의 차동 링 전압 제어 발진회로에 비해 2배 높은 발진 주파수가 발생되도록 하거나, 또는 종래의 짝수 개의 차동 링 전압 제어 발진회로의 증폭 및 지연부의 갯수보다 2배 많은 증폭 및 지연부로부터 상기 종래의 발진 회로와 동일한 발진 주파수를 출력하면서 발진에 대한 안정성을 2배 향상시킬 수 있는 차동 반전 증폭기 및 그를 이용한 차동 링 전압 제어 발진회로를 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명은, 각각 게이트를 제1 및 제2 입력단으로 하여 차동 전압신호를 인가받아 차동 증폭하기 위한 제1 및 제2 트랜지스터; 상기 제1 및 제2 트랜지스터와 접지 사이에 공통 접속되며, 전압 제어신호에 따라 상기 제1 및 제2 트랜지스터를 통해 흐르는 전류의 총합을 제어하기 위한 전류 소오스 수단; 전원전압을 인가받아 출력 성분을 변환시키기 위한 제1 출력 성분 변환수단; 상기 제1 트랜지스터와 제1 출력 성분 변환수단 사이에 접속된 제1 출력단; 상기 전원전압을 인가받아 출력 성분을 변환시키기 위한 제2 출력 성분 변환수단; 상기 제2 트랜지스터와 제2 출력 성분 변환수단 사이에 접속된 제2 출력단; 및 상기 제1 및 제2 트랜지스터와 상기 전류 소오스 수단에 공통 접속된 제3 출력단을 구비하되, 주기적인 차동 입력이 상기 제1 및 제2 입력단에 인가되면, 상기 제1 및 제2 출력단에서 차동 입력과 동일한 주기를 가지면서 위상이 반전된 차동 출력을 발생하고, 상기 제3 출력단에서는 차동 입력의 반주기마다 동일한 파형의 신호가 반복적으로 출력되는 것을 특징으로 한다.

상기 목적을 달성하기 위한 본 발명은, 제1 및 제2 출력단의 공통 성분을 변화시키기 위한 제1 및 제2 출력 성분 변환수단을 구비하며, 제1 및 제2 입력단을 통해 주기적인 차동 입력신호를 인가받아 상기 제1 및 제2 출력단을 통해 차동 입력신호와 동일한 주기를 가지면서 위상이 반전된 차동 출력신호를 출력하고, 제3 출력단으로는 상기 차동 입력신호의 반주기마다 동일한 파형의 신호가 반복적으로 출력되도록 하는 차동 반전 증폭기를 포함하여 이루어진 다수의 증폭 및 지연부를 구비하며, 상기 다수의 증폭 및 지연부중에 마지막 번째의 증폭 및 지연부를 제외한 상기 다수의 증폭 및 지연부가 상기 차동 입력과 상기 차동 출력을 반전기능을 수행하도록 연결하고, 마지막 번째의 상기 증폭 및 지연부가 비반전의 기능을 수행하도록 첫 번째의 상기 증폭 및 지연부에 연결하여 주 발진 루프를 형성하도록 하는 주파수 발진수단; 및 상기 주파수 발진수단의 다수의 증폭 및 지연부로부터 발진된 다수의 주파수들 중에 위상이 서로 상반되는 주파수를 차동증폭하기 위한 다수의 차동 증폭부로 구성된 주파수 차동 증폭수단을 포함하여 이루어진 것을 특징으로 한다.

본 발명은 차동으로 인가되는 대신호 입력에 대해 180도 위상 반전된 대신호를 출력하는 디지털 반전기(inverter)의 용도로 사용되는 동시에, 입력신호의 주파수보다 2배 높은 신호를 출력하는 주파수 체배기(multiplier)로 사용될 수 있는 새로운 구조의 차동 증폭기와, 이를 이용하여 종래의 차동 링 전압 제어 발진회로의 발진 주파수보다 2배 높은 주파수를 갖는 신호를 출력할 수 있는 차동 링 전압 제어 발진회로에 관한 것이다.

본 발명은 종래의 차동 반전 증폭기가 갖는 대신호 입력에 대한 반전 출력 작용을 하는 동시에 입력신호의 주파수보다 2배 높은 신호를 출력함으로써, 이를 이용하여 차동 링 전압 제어 발진회로를 구성할 경우 종래의 차동 링 전압 제어 발진회로에서 얻어지는 발진신호를 동일하게 얻을 수 있을 뿐만 아니라 상기 발진신호의 발진 주파수보다 2배 높은 주파수를 갖는 신호를 출력할 수 있다.

이를 위해, 본 발명은 MOSFET, JPET, MESFET 등과 같은 전계-효과 트랜지스터(FET)를 이용한 차동 반전 증폭기에 적용될 수 있도록, 종래의 차동 반전 증폭기와 동일하게 2-입력 2-출력을 갖는 동시에 종래의 차동 반전 증폭기에서는 출력단으로 사용하지 않는 공통 소오스단의 신호를 출력으로 사용하기 위해 제3의 출력단을 포함함으로써 2-입력 3-출력의 구조를 갖는다.

그런데, FET를 이용하여 구성된 차동 반전 증폭기에 대신호 입력이 인가될 경우에, 차동 반전 증폭기의 공통 소오스단에서는 FET의 대신호에 대한 비선형성으로 인해 차동 입력신호의 반주기마다 동일한 패턴의 신호가 나타나게 된다. 이러한 특성은 종래의 차동 반전 증폭기에서도 나타나는 현상이지만, 공통 소오스단에서 나타나는 신호의 크기가 매우 작아서 이를 출력신호로 사용하는 것은 불가능하다. 또한, 공통 소오스단의 신호는 입력신호의 바이어스 전압의 변화에 민감하게 반응하며, 동시에 잡음 성분을 포함하고 있으므로 종래의 차동 반전 증폭기에서는 공통 소오스단의 신호를 출력으로 사용할 수 없다.

그러나, 본 발명은 차동 반전 증폭기의 부하단과 전류 소오스부를 적절히 변화시켜서 FET의 대신호에 대한 비선형성을 극대화시키고 동시에 전류 소오스부의 출력저항을 크게 하여 공통 소오스단의 신호의 진폭을 증가시킨다. 물론, 상기한 바와 같이 공통 소오스단의 신호는 입력신호의 바이어스 전압의 변화에 민감하게 반응하며, 동시에 잡음 성분을 포함하고 있기 때문에 공통 소오스단의 신호를 그대로 출력신호로 사용할 수 없으므로, 신호이외의 성분을 상쇄시키는 기능이 필요하다.

따라서, 본 발명은 입력신호의 주파수와 동일한 주파수를 갖는 신호를 출력함과 동시에 입력신호의 주파수보다 2배 높은 주파수를 갖는 신호를 출력하는 주파수 체배의 효과가 있다. 따라서, 본 발명에서 제시한 차동 반전 증폭기를 이용하여 차동 링 전압 제어 발진회로를 구성할 경우에 종래의 발진 주파수보다 2배 높은 주파수를 갖는 신호를 얻을 수 있다.

상술한 목적, 특징들 및 장점은 첨부된 도면과 관련한 다음의 상세한 설명을 통하여 보다 분명해 질 것이다. 이하, 첨부된 도 3 내지 도 7을 참조하여 본 발명의 바람직한 실시예를 상세히 설명한다.

도 3은 본 발명에 따른 차동 링 전압 제어 발진회로에 이용되는 2-입력 3-출력을 갖는 차동 반전 증폭기의 일실시예 회로 구성도이다.

도 3을 참조하면, 본 발명의 실시예에 따른 차동 링 전압 제어 발진회로에 이용되는 본 발명의 2-입력 3-출력을 갖는 차동 반전 증폭기(30)는, 상기 도 1의 종래 차동 반전 증폭기와 마찬가지로, 각각의 게이트를 제1 및 제2 입력단(IN31, IN32)으로 하여 차동 입력신호를 인가받아 차동 증폭하기 위한 제1 및 제2 N-채널 트랜지스터들(33, 34)과, 차동 증폭용 제1 및 제2 N-채널 트랜지스터(33, 34)의 드레인에 각각 접속된 제1 및 제2 출력단들(OUT31, OUT32)과, 전압 제어신호(VCS)에 따라 차동 증폭용 제1 및 제2 N-채널 트랜지스터들(33, 34)을 통해 흐르는 전류의 총합을 제어하기 위한 전류 소오스부(35)를 구비하며, 본 발명에서는 상기 도 1의 차동 반전 증폭기의 부하(11, 12)를 구비하지 않고, 그 대신에 전원전압과 제1 및 제2 N-채널 트랜지스터(33, 34)의 드레인 사이에 각각 접속되며, 출력의 공통 성분이 변화하도록 하기 위한 제1 및 제2 출력 성분 변환부(31, 32)를 구비한다.

또한, 본 발명의 2-입력 3-출력을 갖는 차동 반전 증폭기(30)는 도면에 도시된 바와 같이, 차동 증폭용 제1 및 제2 N-채널 트랜지스터(33, 34)의 공통 소오스에 접속된 제3 출력단(OUT33)을 더 구비한다.

차동 증폭용 제1 및 제2 N-채널 트랜지스터들(33, 34)은 제1 및 제2 입력단(IN31, IN32)을 통해 입력되는 차동 입력신호에 의해 제1 및 제2 출력단(OUT31, OUT32)으로부터 제3 출력단(OUT33)으로 흐르는 전류들의 양을 제어한다.

전류 소오스부(35)는 전압 제어신호(VCS)에 의해 제3 출력단(OUT33)으로부터 전류 소오스부(35)를 통해 접지로 흐르는 전류(IB)를 제어하는 종래의 기능을 수행하는 동시에, 제3 출력단(OUT33)과 접지 사이의 전위차의 변화에 대한 전류(IB)의 변화를 최소화시킨다.

상기와 같은 구조를 갖는 본 발명의 2-입력 3-출력을 갖는 차동 반전 증폭기의 동작을 설명하면 다음과 같다. 다만, 상기 도 1에서 설명한 종래의 차동 반전 증폭기(10)의 동작과 중복되는 동작에 대해서는 생략한다.

본 발명의 2-입력 3-출력을 갖는 차동 반전 증폭기(30)는 제1 및 제2 입력단(IN31, IN32)을 통해 차동 입력신호를 입력하여 차동 입력신호들의 각 전류량에 따라 노드들(N31, N32)에서 전압 강하가 발생하도록 하는 종래의 기능을 수행하는 동시에, 본 발명의 2-입력 3-출력을 갖는 차동 반전 증폭기(30)는 차동 입력신호들에 대한 비대칭 전압이 노드들(N31, N32)에서 발생되어 출력의 공통 성분이 변화하도록 하는 제1 및 제2 출력 성분 변환부(31, 32)로 구성됨으로써, 제1 및 제2 입력단들(IN31, IN32)을 통해 주기적인 차동 입력신호들이 입력되면, 제1 및 제2 출력단들(OUT31, OUT32)을 통해서는 차동 입력신호와 동일한 주기를 가지면서 위상이 서로 반전된 차동 출력신호가 발생하고, 제3 출력단(OUT33)을 통해서는 차동 입력신호의 반주기마다 동일한 파형의 출력신호가 반복적으로 출력된다.

도 4는 본 발명에 따른 차동 링 전압 제어 발진회로에 이용되는 2-입력 3-출력을 갖는 차동 반전 증폭기의 다른 실시예 회로 구성도로서, 상기 도 3의 2-입력 3-출력을 갖는 차동 반전 증폭기를 나타낸다.

도 4를 참조하면, 본 발명의 2-입력 3-출력을 갖는 차동 반전 증폭기(40)는 상기 도 3과 마찬가지로, 제1 및 제2 출력 성분 변환부들(31, 32)과, 차동 증폭용 제1 및 제2 N-채널 트랜지스터들(33, 34)과, 제1 내지 제3 출력단들(OUT31, OUT32, OUT33)과, 전류 소오스부(35)를 구비한다.

여기서, 본 발명의 2-입력 3-출력을 갖는 차동 반전 증폭기(40)의 제1 출력 성분 변환부(31)는 전원전압(VDD)과 제1 N-채널 트랜지스터(33)의 드레인 사이에 접속된 비선형 능동저항용 P-채널 트랜지스터(41)로 구성되고, 제2 출력 성분 변환부(32)는 전원전압(VDD)과 제2 N-채널 트랜지스터(34)의 드레인 사이에 접속된 비선형 능동저항용 P-채널 트랜지스터(42)로 이루어진다. 또한, 전류 소오스부(35)는 게이트에 전압제어신호(VCS)가 인가되고, 드레인이 제1 및 제2 N-채널 트랜지스터(33, 34)의 공통 소오스에 접속되고, 소오스가 접지에 접속된 N-채널 트랜지스터(43)로 구성된다.

상기와 같은 구조를 갖는 2-입력 3-출력을 갖는 차동 반전 증폭기의 동작을 설명하면 다음과 같다.

제1 출력 성분 변환부(31)의 비선형 능동저항용 P-채널 트랜지스터(41)는 흐르는 전류의 양에 따라 비선형으로 노드(N31)의 전압을 변화시키는 작용을 한다. 또한, 제1 및 제2 출력 성분 변환부(32)의 다이오드용 P-채널 트랜지스터(42)도 마찬가지로 흐르는 전류의 양에 따라 비선형으로 노드(N32)의 전압을 변화시키는 작용을 한다.

전류 소오스부(35)의 N-채널 트랜지스터(43)가 포화 영역에서 동작하고 N-채널 트랜지스터(43)의 출력 저항이 무한하다고 가정하면, N-채널 트랜지스터(43)를 통해 접지로 흐르는 전류(IB)는 N-채널 트랜지스터(43)의 채널 폭과 채널 길이에 의해 결정된다. 여기서, 채널 폭과 채널 길이 등에 의해 결정되는 상수를 K라 가정하여 N-채널 트랜지스터(43)를 통해 접지로 흐르는 전류(IB)를 수학식으로 표현하면 (수학식 2)와 같다.

수학식 2

$$I_B = K(V_{CS} - V_{th})$$

단, V_{th} 는 N-채널 트랜지스터의 문턱전압

(수학식 2)로부터 N-채널 트랜지스터(43)를 통해 접지로 인가되는 전류(IB)량은 전압 제어신호(VCS)에 의해 결정됨을 알 수 있다.

도 5는 본 발명에 따른 차동 링 전압 제어 발진회로에 이용되는 2-입력 3-출력을 갖는 차동 반전 증폭기의 또 다른 실시예 회로 구성도로서, 상기 도 3의 2-입력 3-출력을 갖는 차동 반전 증폭기를 나타낸다.

도 5를 참조하면, 본 발명의 2-입력 3-출력을 갖는 차동 반전 증폭기(50)는 상기 도 3과 마찬가지로, 제1 및 제2 출력 성분 변환부들(31, 32)과, 차동 증폭용 제1 및 제2 N-채널 트랜지스터들(33, 34)과, 제1 내지 제3 출력단들(OUT31, OUT32, OUT33)과, 전류 소오스부(35)를 구비한다.

여기서, 본 발명의 2-입력 3-출력을 갖는 차동 반전 증폭기(50)의 제1 및 제2 출력 성분 변환부(31)는 전원전압(VDD)과 제1 N-채널 트랜지스터(33)의 드레인 사이에 접속되며, 비선형 능동저항용 P-채널 트랜지스터(51)와 게이트가 제2 N-채널 트랜지스터(34)의 드레인에 접속된 P-채널 트랜지스터(52)로 구성되고, 제1 및 제2 출력 성분 변환부(32)는 전원전압(VDD)과 제2 N-채널 트랜지스터(34)의 드레인 사이에 접속되며, 게이트가 제1 N-채널 트랜지스터(33)의 드레인에 접속된 P-채널 트랜지스터(53)와 비선형 능동 저항용 P-채널 트랜지스터(54)로 이루어진다. 또한, 전류 소오스부(35)는 제1 및 제2 N-채널 트랜지스터(33, 34)의 소오스와 접지 사이에 직렬 접속되며, 게이트에 기준전압(VREF)이 인가되는 N-채널 트랜지스터(55) 및 게이트에 전압제어신호(VCS)가 인가되는 N-채널 트랜지스터(56)로 구성된다.

상기한 바와 같은 구조를 갖는 본 발명의 2-입력 3-출력을 갖는 차동 반전 증폭기의 동작을 설명하면 다음과 같다.

제1 및 제2 출력 성분 변환부들(31, 32)의 비선형 능동 저항용 P-채널 트랜지스터들(51, 54)은 상기 도 4의 비선형 능동 저항용 P-채널 트랜지스터들(41, 42)과 동일 기능을 수행하며, 또한 P-채널 트랜지스터(52)의 게이트를 차동 증폭용 제2 N-채널 트랜지스터(34)의 드레인에 접속하고 P-채널 트랜지스터(53)의 게이트를 차동 증폭용 제1 N-채널 트랜지스터(33)의 드레인에 접속하여, 본 발명의 제1 및 제2 출력 성분 변환부들(31, 32)의 동적특성을 부여해 제1 및 제2 출력단들(OUT31, OUT32)을 통해 출력되는 서로 상대적인 출력전압신호의 스위칭 속도를 향상시킨다.

또한, 본 발명의 2-입력 3-출력을 갖는 차동 반전 증폭기(50)는, N-채널 트랜지스터(55)의 소오스와 N-채널 트랜지스터(56)의 드레인을 접속하고, N-채널 트랜지스터(55, 56)의 게이트에 각각 기준전압(VREF) 및 전압 제어신호(VCS)를 인가하여 캐스코드 구조를 형성시킴으로써, 전류 소오스부(35)의 출력 저항을 향상시켜 본 발명의 효과를 극대화시키고 있다.

한편, 상기 도 4 및 도 5의 2-입력 3-출력을 갖는 차동 반전 증폭기들(40, 50)의 구조 및 특성은 상이하나, 본 발명의 차동 링 전압 제어 발진회로의 동작 원리 및 효과는 동일하다.

도 6은 본 발명에 따른 2-입력 3-출력을 갖는 차동 반전 증폭기를 이용한 차동 링 전압 제어 발진회로의 일 실시예 구성도이다.

도 6을 참조하면, 본 발명의 차동 링 전압 제어 발진회로는, 전단의 두 출력단이 다음 단의 두 입력단에 직렬 접속되며, 마지막 단의 증폭 및 지연부(60-2N)의 두 출력단이 첫 번째 단의 증폭 및 지연부(60-1)의 두 입력단에 교차되어 접속되며, 일 입력단 및 타 입력단으로 입력된 전압신호를 차동 증폭하여 제1 및 제2 출력단을 통해 출력하고, 주기적인 두 입력 신호에 대해 입력신호의 반주기마다 동일한 파형의 신호가 제3 출력단을 통해 주파수를 발진시키는 다수의 증폭 및 지연부(60-1 ~ 60-2N)를 구비한 주파수 발진부(60)와, 주파수 발진부(60)의 다수의 증폭 및 지연부(60-1 ~ 60-2N)의 제3 출력단을 통해 출력되는 발진된 다수의 주파수들 중에 위상이 서로 상반되는 신호를 차동 증폭하기 위한 다수의 차동 증폭부(61-1 ~ 61-N)로 구성된 차동 증폭 블록(61)을 구비한다. 여기서, N은 10이상의 정수이다.

다수의 증폭 및 지연부(60-1 ~ 60-2N)는 상기 도 3의 2-입력 3-출력을 갖는 차동 반전 증폭기(30) 또는 종래의 차동 증폭기(10)를 각각 포함한다.

다수의 증폭 및 지연부(61-1 ~ 61-N)는 상기 도 3의 2-입력 3-출력을 갖는 차동 반전 증폭기(30)를 각각 포함한다.

여기서, 상기 도 3의 2-입력 3-출력을 갖는 차동 반전 증폭기(30)는 상기 도 4 및 도 5의 2-입력 3-출력을 갖는 차동 반전 증폭기(40,50)로 각각 구현된다.

상기한 바와 같은 구조를 갖는 본 발명의 차동 링 전압 제어 발진회로의 동작을 설명하면 다음과 같다.

주파수 발진부(60)의 증폭 및 지연부들(60-1 ~ 60-(2N-1))은 증폭 및 지연부(60-1)의 두 입력단에 입력되는 서로 상대적인 전압신호에 대하여 반전 기능을 수행하고, 증폭 및 지연부(60-2N)는 증폭 및 지연부(60-1)의 두 입력단에 입력되는 서로 상대적인 전압신호에 대하여 비반전 기능을 수행함으로써, 신호를 발진시킨다. 이때, 마지막 번째 증폭 및 지연부(60-2N)의 두 출력신호가 첫 번째 증폭 및 지연부(60-1)로 궤환되는 횟수에 따라 발진되는 주파수의 주기가 결정된다. 즉, 궤환이 두 번 이루어지면, 주파수 발진부(60)로부터 발진되는 주파수들은 한 주기를 갖게 된다.

주파수 발진부(60)의 다수의 증폭 및 지연부들(60-1 ~ 60-2N)이 각각 상기 도 4 또는 도 5의 2-입력 3-출력을 갖는 차동 반전 증폭기(40,50)로 구현되면, 증폭 및 지연부(60-1)의 출력단(OUT_A1,OUT_B1)을 통해 출력되는 출력신호들은 동일한 진폭과 주파수를 갖는 출력신호가 되며, 출력단(OUT_C1)을 통해 주파수 차동 증폭 블록(61)으로 출력되는 주파수는 출력단(OUT_A1,OUT_B1)을 통해 출력되는 출력신호들보다 진폭이 작은 대신 2배 높은 주파수를 갖게 된다.

증폭 및 지연부(60-1)과 마찬가지로, 증폭 및 지연부들(60-2 ~ 60-2N)로부터 출력되는 출력신호들도, 다음 단의 증폭 및 지연부로 출력되는 출력신호들은 동일한 진폭과 주파수를 갖으며, 주파수 차동 증폭 블록(61)으로 발진되는 신호는 진폭이 작은 대신 2배 높은 주파수를 갖게 된다.

따라서, 주파수 차동 증폭 블록(61)은 감소된 신호의 진폭을 증가시키기 위하여, 주파수 발진부(60)로부터 출력되는 신호들 중에 180°의 위상차를 갖는 신호를 차동 증폭하여 진폭을 증가시킨다. 즉, 증폭 및 지연부(60-1)의 출력단(OUT_C1)을 통해 출력되는 신호와 증폭 및 지연부(60-(N+1))의 출력단(OUT_C(N+1))을 통해 출력되는 신호는 180°의 위상차가 나므로, 차동 증폭부(61-1)는 증폭 및 지연부(60-1, 60-(N+1))로부터 출력되는 신호들을 차동 증폭하여, 진폭이 증가되고 주기가 반으로 감소된 높은 주파수를 출력한다. 또한, 증폭 및 지연부(60-2)의 출력단(OUT_C2)을 통해 출력되는 주파수와 증폭 및 지연부(60-(N+2))의 출력단(OUT_C(N+2))을 통해 출력되는 주파수는 180°의 위상차가 나므로, 차동 증폭부(61-k)는 증폭 및 지연부(60-k, 60-(N+K))로부터 출력되는 주파수들을 차동 증폭하여, 진폭이 증가되고 주기가 반으로 감소된 높은 주파수를 출력한다. 여기서, K는 $1 \leq K \leq N$ 인 정수이다.

상기와 같은 과정에 따라, 본 발명의 차동 링 전압 제어 발진회로는 주기가 반으로 감소된 높은 주파수를 얻을 수 있게 된다.

그리고, 본 발명의 차동 링 전압 제어 발진회로는 주파수 발진부(60)의 2N개의 증폭 및 지연부들이 가지고 있는 출력단들(OUT_C1 ~ OUT_C2N)을 통해 출력되는 신호들중에 180°의 위상차를 갖는 두 신호 쌍들을 차동 증폭시키기 위한 차동 증폭부(61)로 구성되어 주파수 발진부(60)가 상기 (수학식 1)의 관계에 의해 발진할 때 반 주기마다 주파수 발진부(60)의 증폭 및 지연부들(60-1 ~ 60-2N)의 각 출력단들(OUT_C1 ~ OUT_2N)을 통해 출력되는 신호들은 동일한 파형을 갖게 되고, 이를 차동 증폭부(61)를 통해 차동 증폭함으로써, 본 발명의 차동 링 전압 제어 발진회로의 출력주파수 f는 (수학식 3)과 같은 관계로 발진한다.

수학식 3

$$f = 2f_0 = 1/((2N)TD)$$

이제, 도 7a 내지 도 7e를 참조하여 본 발명의 차동 링 전압 제어 발진회로의 특성을 설명한다.

도 7a 는 주파수 발진부(60)의 다수의 증폭 및 지연부(60-1 ~ 60-2N)의 입력단(IN_Ak)에 입력되는 입력 파형도이고, 도 7b 는 주파수 발진부(60)의 다수의 증폭 및 지연부(60-1 ~ 60-2N)의 입력단(IN_Bk)에 입력되는 입력 파형도이며, 도 7c 는 주파수 발진부(60)의 다수의 증폭 및 지연부(60-1 ~ 60-2N)의 출력단(OUT_Ak)를 통해 출력되는 출력 파형도이고, 도 7d는 주파수 발진부(60)의 다수의 증폭 및 지연부(60-1 ~ 60-2N)의 출력단(OUT_Bk)를 통해 출력되는 출력 파형도이며, 도 7e 는 주파수 발진부(60)의 다수의 증폭 및 지연부(60-1 ~ 60-2N)의 출력단(OUT_Ck)를 통해 출력되는 출력 파형도를 나타낸다. 여기서, k는 1~2N이고, 가로축은 시간(S), 세로축은 전압(V)을 각각 의미한다.

주파수 발진부(60)가 발진 상태에 있으면, 다수의 증폭 및 지연부(60-1 ~ 60-2N)의 입출력간의 위상차는 $180^\circ/(2N)$ 이 된다.

해석의 편의를 위하여, 다수의 증폭 및 지연부(60-1 ~ 60-2N)의 각 입력 조건을 두 입력의 공통 성분이 일정한 순수 차동 상태로 가정하여 설명한다. 즉, 차동 입력 $V_{Bias} + \Delta V$ 와 $V_{Bias} - \Delta V$ 가 상기 도 3의 입력단(IN31,IN32)에 각각 인가 되면, 차동 증폭용 제1 N-채널 트랜지스터(33)를 통해 흐르는 전류의 증가량과 차동 증폭용 제2 N-채널 트랜지스터(34)를 통해 흐르는 전류의 감소량은, N-채널 트랜지스터들(33, 34)의 비선형적인 전압-전류 특성에 의하여 동일하지 않게 되므로, 전류 소오스부(35)의 출력 전류 IB는 제1 및 제2 N-채널 트랜지스터(33, 34)의 특성이 동일하다는 가정하에서, 이를 수학식으로 표현하면 (수학식 4)와 같다.

수학식 4

$$I_B = K'(V_{Bias} + \Delta V - V(OUT33) - V_{th}') + K'(V_{Bias} - \Delta V - V(OUT33) - V_{th}')$$

여기서, K'는 제1 및 제2 N-채널 트랜지스터(33,34)의 채널 폭, 채널 길이, 그리고 제조 공정에 의해 결정되는 상수이고, V_{th}'는 N-채널 트랜지스터들(33,34)의 문턱전압이다.

전류 소오스부(35)의 출력 저항이 무한하다고 가정하면, 전압제어신호(VCS)에 의해 이미 결정되어진 출력 전류를 유지하기 위해 제3 출력단(OUT33)의 전압이 변화해서 N-채널 트랜지스터들(33,34)을 통해 흐르는 전류의 증가 및 감소량이 동일해지도록 한다.

상기 (수학식 4)를 이용하여 제3 출력단(OUT33)의 출력 전압V(OUT33)를 수학식으로 표현하면, (수학식 5)와 같다.

수학식 5

$$V(OUT33) = V_{Bias} - V_{th}' - [K/(2K') * (VCS - V_{th}) - \Delta V]/2$$

(수학식 5)로부터 2-입력 3-출력을 갖는 차동 반전 증폭기(30)에 인가되는 차동 입력으로 인해 제3 출력단(OUT_{CK})의 전압이 |ΔV|에 의존하여 변화하는 것이 증명된다. 즉, 주파수 발전부(60)가 발전 상태에 있으면, 주파수 발전부(60)의 증폭 및 지연부(60-1 ~ 60-2N)의 각 입력단에는 서로 180°의 위상차를 갖는 차동상태의 신호가 주기적으로 인가되므로, 한 주기내에서 두 신호의 전압차는 0 → ΔV → 0 → (-ΔV) → 0가 된다. 따라서, 제3 출력단(OUT_{CK})에서의 전압 파형은 주파수 발전부(60)의 발전 주기의 반주기마다 동일하게 나타나므로, 결국 2배의 주파수를 갖는 신호가 출력단(OUT_{CK})으로부터 발생된다.

도 7e에서 보여지는 바와 같이, V(OUT_{CK})가 제1 출력단(OUT_{AK})의 출력전압V(OUT_{AK})나 제2 출력단(OUT_{BK})의 출력전압V(OUT_{BK})에 비해 진폭은 작으나 2배의 주파수로 발전하는 것을 알 수 있다. 다음으로 입력의 공통 성분이 주기적으로 변화하는 경우는 모든 2-입력 3-출력을 갖는 차동 반전 증폭기의 고유한 특성중 하나인 높은 CMRR(Common-Mode Rejection Ratio) 특성에 의해서 두 출력전압 V(OUT31)와 V(OUT32)의 변화가 최소화되도록 공통-소오스 단자가 상기 공통 성분의 변화를 따라가게 된다. 두 입력의 공통 성분은 두 입력의 평균을 의미하고 평균값의 변화는 입력의 반 주기마다 동일하게 나타나므로 제3 출력단(OUT_{CK})의 출력은 주파수 발전부(60)의 발전 주파수의 2배의 주파수를 가지게 된다.

2-입력 3-출력을 갖는 차동 반전 증폭기는 상기에 나타낸 바와 같이 출력단(OUT33)의 출력이 입력의 공통 성분의 변화를 따라감으로써 높은 CMRR 특성을 가지게 된다. 이로 인해, 2-입력 3-출력을 갖는 차동 반전 증폭기는 온도나 공정 파라미터의 변화, 그리고 전원 잡음 등과 같이 회로 전반에 영향을 미치는 외부 요인들에 의한 입력단의 공통적인 변화에 대한 안정성이 우수한 장점을 가지게 된다. 즉, 상기 외부 요인들에 의한 영향을 출력단(OUT33)이 수용함으로써, 종래의 두 출력단(OUT31, OUT32)의 변화는 최소화된다. 따라서, 출력단(OUT33)을 통해 주파수를 발전하기 위한 출력단으로 사용하기 위해서는 상기의 영향을 제거해야 한다.

상기 목적을 달성하면서 2-입력 3-출력을 갖는 차동 반전 증폭기(30)의 출력단(OUT33)에서의 작은 전압 변화를 증폭하기 위해, 상기 도 6의 주파수 발전부(60)의 증폭 및 지연부(60-1 ~ 60-2N)의 각 출력단들(OUT_{C1} ~ OUT_{C2N})의 위상차를 이용하여 출력단들(OUT_{C1} ~ OUT_{C2N})에서 나타나는 공통적인 변화들을 제거한 후, 이를 증폭할 수 있는 부를 사용한다.

상호 동일한 구조 및 특성을 갖는 증폭 및 지연부(60-1 ~ 60-2N)들의 위상차는 균일하므로 첫 번째 증폭 및 지연부(60-1)의 출력단(OUT_{C1})과 K번째 증폭 및 지연부(60-K)의 출력단(OUT_{CK})의 위상차는 360° * [(K-1)/2N]이 되고 M번째 증폭 및 지연부(60-M)와 M+N번째 증폭 및 지연부(60-(M+N))의 위상차는 180°가 된다. 여기서, K와 M은 각각 1 ≤ K ≤ 2N과 1 ≤ M ≤ N인 정수이다. 따라서 M번째 증폭 및 지연부(60-M)와 M+N번째 증폭 및 지연부(60-(M+N))의 출력단(OUT_{CM}, OUT_{C(M+N)})의 신호를 차동 증폭함으로써, 출력단(OUT_{CM}, OUT_{C(M+N)})에서 나타나는 외부 요인에 의한 영향을 제거한 신호를 얻어낼 수 있게 된다.

상기 도 6의 차동 증폭 블록(61)이 상기의 기능을 담당하는 부분으로 본 발명의 다수의 차동 증폭부(61-1 ~ 61-N)로 구성된다. 이는 다수의 차동 증폭부(61-1 ~ 61-N)를 사용하여 증폭 및 지연부(60-1, 60-(N+1)), 증폭 및 지연부(60-2 ~ 60-(N+2)), ..., (60-N, 60-2N)을 차동 증폭함으로써, 주파수 발전부(60)의 발전 주파수보다 2배 높은 발전 주파수를 가지면서 차동 구조가 가지는 고유한 특성인 상기 외부 요인에 대한 안정성을 그대로 유지하고 있는 2N개의 출력 OUT11, OUT12, OUT21, OUT22, ..., OUTN1, OUTN2를 얻게 된다.

이상에서와 같은 본 발명은 발전 루프내에 포함되어 있는 차동 반전 증폭 회로의 두 입력의 공통 성분의 변화와 상기 회로를 구성하는 FET들의 비선형적인 전압-전류 특성에 기인하는 대신호에 대한 비선형성을 극대화시킴으로써 발전 루프에서 발생하는 원래의 신호 파형의 반 주기마다 동일한 신호 파형이 공통-소오스 단자에서 반복적으로 나타나도록 하고 이를 상기 회로의 출력으로 사용함으로써 발전 루프의 부하를 최소화하면서 동시에 종래의 짝수단의 차동 링 전압 제어 발전회로에 비해 2배 높은 발전 주파수를 얻거나, 종래의 짝수단의 차동 링 전압 제어 발전회로의 단 수보다 2배 많은 단 수의 차동 링 전압 제어 발전회로로부터 상기 종래의 발전 회로와 동일한 발전 주파수를 출력하면서 발전에 대한 안정성을 2배 향상시킬 수 있다.

본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

발명의 효과

이상에서 설명한 바와 같이 본 발명의 차동 링 전압 제어 발전회로는, 첫째 증폭 및 지연부가 짝수일 경우에, 종래의 차동 링 전압 제어 발전회로가 갖는 증폭 및 지연부의 갯수에 의한 최대 발전 주파수의 한계를 극복하여 증폭 및 지연부의 개수가 동일한 경우에 대해 2배 높은 주파수를 얻을 수 있으며, 둘째 증폭 및 지연부가 짝수일 경우에, 종래의 차동 링 전압 제어 발전회로보다 2배 많은 증폭 및 지연부를 사용하여 종래의 차동 링 전압 제어 발전회로와 동일한 발전 주파수를 얻으면서, 동시에 발전 안정성을 향상시킬 수 있고, 셋째 다수의 증폭 및 지연부로부터 발전된 주파수들 중에 180°의 위상차를 갖는 두 개의 발전 주파수를 다수의 차동 증폭부를 통해 차동 증폭함으로써, 주변 회로의 부하에 대한 영향을 받지 않도록 할 수 있는 효과를 갖는다.

(57) 청구의 범위

청구항 1.

각각 게이트를 제1 및 제2 입력단으로 하여 차동 전압신호를 인가받아 차동 증폭하기 위한 제1 및 제2 트랜지스터; 상기 제1 및 제2 트랜지스터와 접지 사이에 공동 접속되며, 전압 제어신호에 따라 상기 제1 및 제2 트랜지스터를 통해 흐르는 전류의 총합을 제어하기 위한 전류 소오스 수단; 전원전압을 인가받아 출력 성분을 변환시키기 위한 제1 출력 성분 변환수단; 상기 제1 트랜지스터와 제1 출력 성분 변환수단 사이에 접속된 제1 출력단; 상기 전원전압을 인가받아 출력 성분을 변환시키기 위한 제2 출력 성분 변환수단; 상기 제2 트랜지스터와 제2 출력 성분 변환수단 사이에 접속된 제2 출력단; 및 상기 제1 및 제2 트랜지스터와 상기 전류 소오스 수단에 공동 접속된 제3 출력단을 구비하되, 주기적인 차동 입력이 상기 제1 및 제2 입력단에 인가되면, 상기 제1 및 제2 출력단에서 차동 입력과 동일한 주기를 가지면서 위상이 반전된 차동 출력을 발생하고, 상기 제3 출력단에서는 차동 입력의 반주기마다 동일한 파형의 신호가 반복적으로 출력되는 것을 특징으로 하는 차동 반전 증폭기.

청구항 2.

제1항에 있어서, 상기 제1 및 제2 출력 성분 변환수단은, 상기 제1 출력 성분 변환수단이 상기 전원전압과 상기 제1 트랜지스터 사이에 접속된 비선형 능동 저항용 제1 P-채널 트랜지스터를 포함하고, 상기 제2 출력 성분 변환수단이 상기 전원전압과 상기 제2 트랜지스터 사이에 접속된 비선형 능동 저항용 제2 P-채널 트랜지스터를 포함하여 이루어지되, 두 입력 전압에 의해 제어된 각 전류의 양에 비례하여 상기 제1 및 제2 출력단에서의 전압 강하가 발생하도록 하고, 동시에 차동 입력에 대해서 비대칭의 전압이 상기 제1 및 제2 출력단에서 발생되어 출력의 공통 성분이 변화하도록 하는 것을 특징으로 하는 차동 반전 증폭기.

청구항 3.

제1항에 있어서, 상기 전류 소오스수단은, 게이트에 전압제어신호가 인가되고, 드레인이 상기 제1 및 제2 트랜지스터에 공동 접속되고, 소오스가 접지에 접속된 N-채널 트랜지스터를 포함하되, 하나의 제어전압에 의해 상기 제3 출력단으로부터 전원전압으로 흐르는 전류를 제어하고 동시에 상기 제3 출력단과 전원전압 사이의 전위차의 변화에 대한 전류의 변화가 최소화된 전류원의 특성을 구비하는 것을 특징으로 하는 차동 반전 증폭기.

청구항 4.

제1항에 있어서, 상기 제1 및 제2 출력 성분 변환수단은, 상기 제1 출력 성분 변환수단이 상기 전원전압과 차동 증폭용 제1 N-채널 트랜지스터의 드레인 사이에 병렬 접속되며, 비선형 능동 저항용 제1 P-채널 트랜지스터 및 게이트가 상기 차동 증폭용 제2 N-채널 트랜지스터의 드레인에 접속된 제2 P-채널 트랜지스터를 포함하고, 상기 제2 출력 성분 변환수단이 상기 전원전압과 차동 증폭용 제2 N-채널 트랜지스터의 드레인 사이에 병렬 접속되며, 게이트가 상기 차동 증폭용 제1 N-채널 트랜지스터의 드레인에 접속된 제3 P-채널 트랜지스터 및 비선형 능동 저항용 제4 P-채널 트랜지스터를 포함하여 이루어지되, 두 입력 전압에 의해 제어된 각 전류의 양에 비례하여 상기 제1 및 제2 출력단에서의 전압 강하가 발생하도록 하고, 동시에 차동 입력에 대해서 비대칭의 전압이 상기 제1 및 제2 출력단에서 발생되어 출력의 공통 성분이 변화하도록 하는 것을 특징으로 하는 차동 반전 증폭기.

청구항 5.

제1항에 있어서, 상기 전류 소오스수단은, 상기 제1 및 제2 트랜지스터와 접지 사이에 직렬 접속되며, 게이트에 각각 기준전압 및 전압제어 신호가 인가되는 제1 및 제2 N-채널 트랜지스터를 포함하되, 하나의 제어전압에 의해 상기 제3 출력단으로부터 전원전압으로 흐르는 전류를 제어하고 동시에 상기 제3 출력단과 전원전압 사이의 전위차의 변화에 대한 전류의 변화가 최소화된 전류원의 특성을 구비하는 것을 특징으로 하는 차동 반전 증폭기.

청구항 6.

제1 내지 제5 항중 어느 한 항에 있어서, 상기 제1 및 제2 트랜지스터는 각각, 실질적으로, 제1 및 제2 N-채널 트랜지스터를 포함하되, 상기 제1 및 제2 입력단에 인가되는 차동 입력 전압에 의해 각각 상기 제1 및 제2 출력단으로부터 상기 제3 출력단으로 흐르는 각 전류들의 양을 제어하는 것을 특징으로 하는 차동 반전 증폭기.

청구항 7.

제1 및 제2 출력단의 공통 성분을 변화시키기 위한 제1 및 제2 출력 성분 변환수단을 구비하며, 제1 및 제2 입력단을 통해 주기적인 차동 입력신호를 인가받아 상기 제1 및 제2 출력단을 통해 차동 입력신호와 동일한 주기를 가지면서 위상이 반전된 차동 출력신호를 출력하고, 제3 출력단으로는 상기 차동 입력신호의 반주기마다 동일한 파형의 신호가 반복적으로 출력되도록 하는 차동 반전 증폭기를 포함하여 이루어진 다수의 증폭 및 지연부를 구비하며, 상기 다수의 증폭 및 지연부중에 마지막 번째의 증폭 및 지연부를 제외한 상기 다수의 증폭 및 지연부가 상기 차동 입력과 상기 차동 출력을 반전기능을 수행하도록 연결하고, 마지막 번째의 상기 증폭 및 지연부가 비반전의 기능을 수행하도록 첫 번째의 상기 증폭 및 지연부에 연결하여 주 발전 루프를 형성하도록 하는 주파수 발전수단; 및 상기 주파수 발전수단의 다수의 증폭 및 지연부로부터 발전된 다수의 주파수들 중에 위상이 서로 상반되는 주파수를 차동증폭하기 위한 다수의 차동 증폭부로 구성된 주파수 차동 증폭수단을 포함하여 이루어진 차동 링 전압 제어 발전회로.

청구항 8.

제7항에 있어서, 상기 다수의 증폭 및 지연부는, $2N$ (단, N 은 1이상의 자연수임)개의 증폭 및 지연부를 구비하고, 상기 다수의 차동 증폭수단은, N (단, N 은 1이상의 자연수임)개의 차동 증폭수단을 구비하는 것을 특징으로 하는 차동 링 전압 제어 발전회로.

청구항 9.

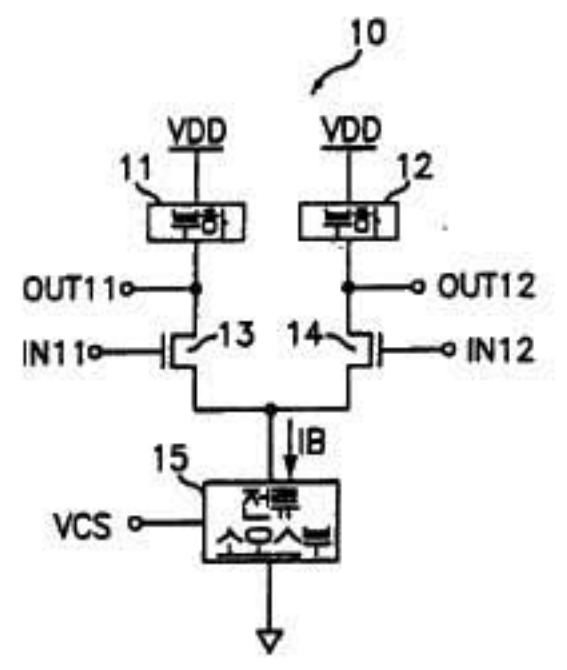
제8항에 있어서, 상기 N 개의 차동 증폭부중에 첫 번째 차동 증폭부는, 상기 $2N$ 개의 증폭 및 지연부의 발전 주파수들 중에 180° 의 위상차를 갖는 첫 번째 증폭 및 지연부의 발전 주파수와 상기 $N+1$ 번째 증폭 및 지연부의 발전 주파수를 차동 증폭하고, 상기 N 개의 차동 증폭부중에 두 번째 차동 증폭부는, 180° 의 위상차를 갖는 상기 두 번째 증폭 및 지연부와 $N+2$ 번째 증폭 및 지연부의 발전 주파수를 차동 증폭하며, 상기 N 개의 차동 증폭부중에 세 번째 증폭부는, 180° 의 위상차를 갖는 상기 세 번째 증폭 및 지연부와 $N+3$ 번째 증폭 및 지연부의 발전 주파수를 차동 증폭하는 순서에 따라, 상기 N 개의 차동 증폭부가 상기 $2N$ 개의 증폭 및 지연부의 발전 주파수중에 180° 의 위상차를 갖는 두 개의 차동 주파수를 차동 증폭하는 것을 특징으로 하는 차동 링 전압 제어 발전회로.

청구항 10.

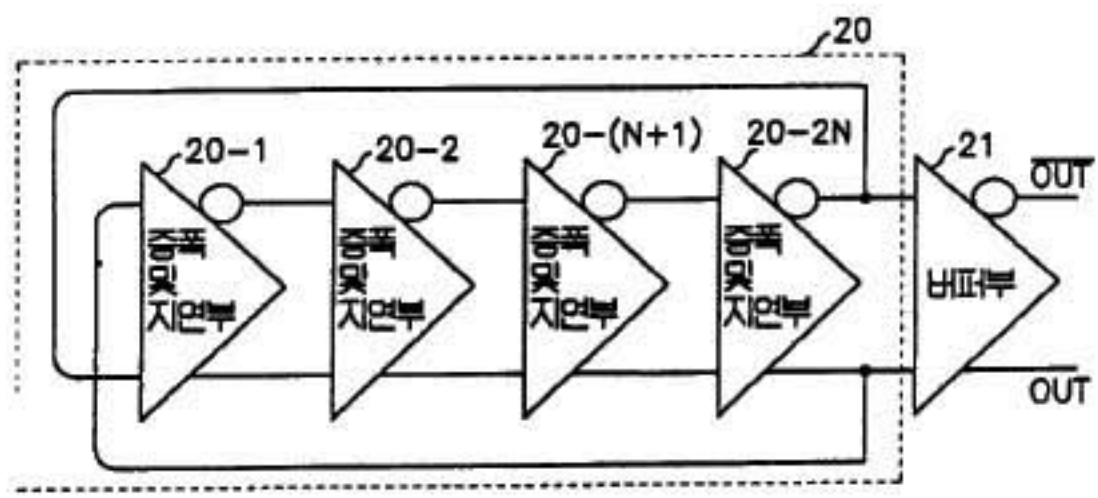
제9항에 있어서, 상기 다수의 증폭 및 지연부는, 전원전압의 소정 레벨의 전압을 각각 전달하기 위한 제1 및 제2 부하; 게이트에 각각 제1 및 제2 입력단들을 통해 입력되는 서로 상대적인 전압신호가 인가되며, 드레인이 각각 상기 제1 및 제2 부하들에 접속되며, 서로 상대적인 상기 전압신호를 차동 증폭하기 위한 차동 증폭용 제1 및 제2 N-채널 트랜지스터; 상기 차동 증폭용 제1 및 제2 N-채널 트랜지스터의 드레인과 제1 및 제2 출력단자들 사이에 각각 접속된 제1 및 제2 출력단; 상기 차동 증폭용 제1 및 제2 N-채널 트랜지스터의 소오스와 접지 사이에 접속되며, 전압 제어신호에 따라, 차동 증폭용 제1 및 제2 N-채널 트랜지스터들을 통해 흐르는 전류의 총합을 제어하기 위한 전류 소오스부; 및 상기 차동 증폭용 제1 및 제2 N-채널 트랜지스터의 소오스에 공통 접속되며 제3 출력단 사이에 접속된 출력단을 포함하여 이루어진 차동 링 전압 제어 발진회로.

도면

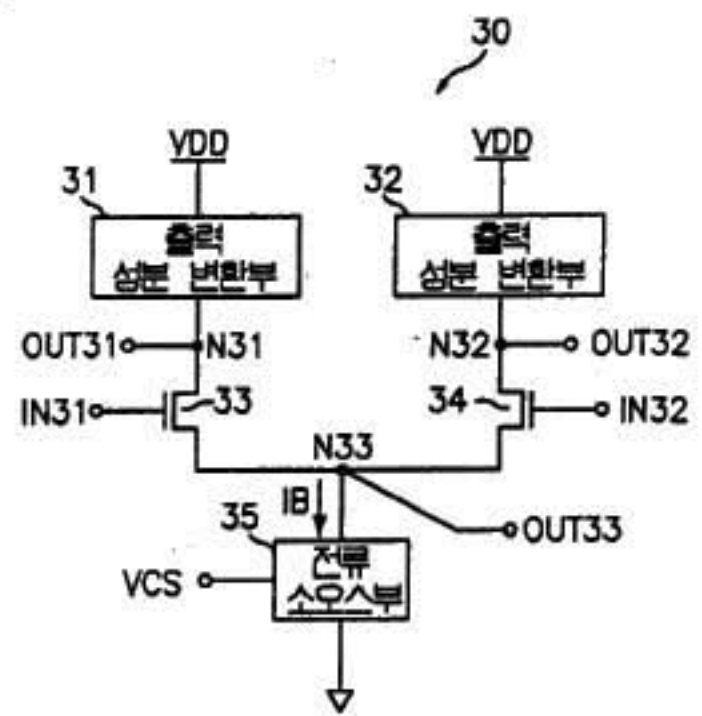
도면 1



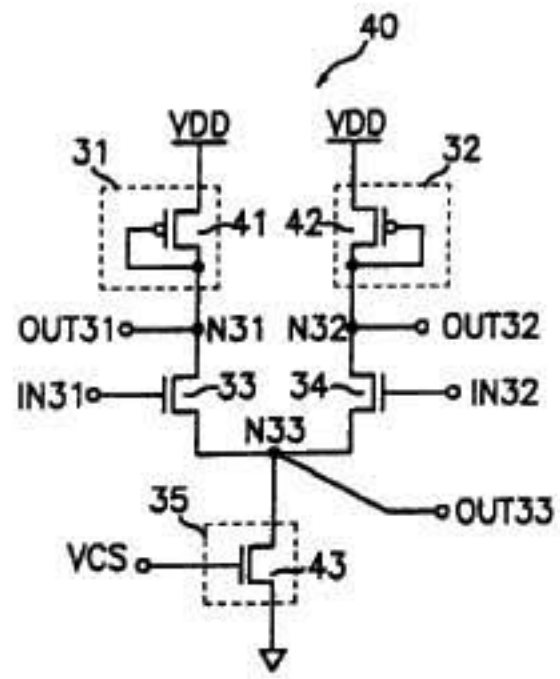
도면 2



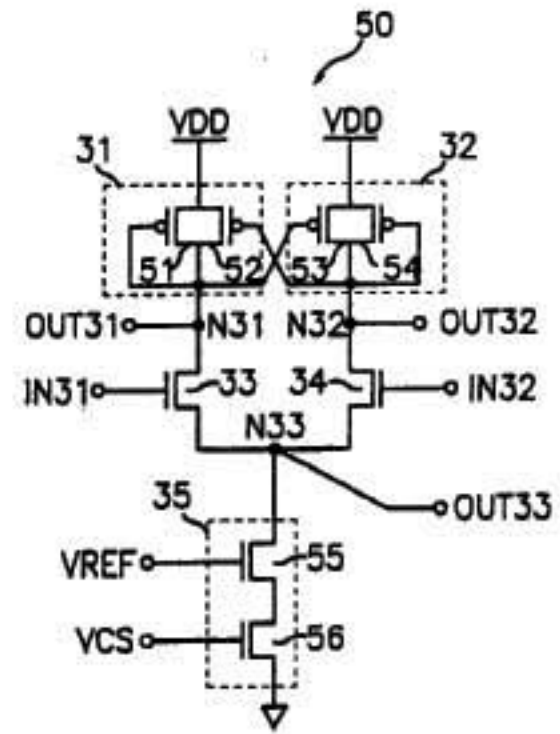
도면 3

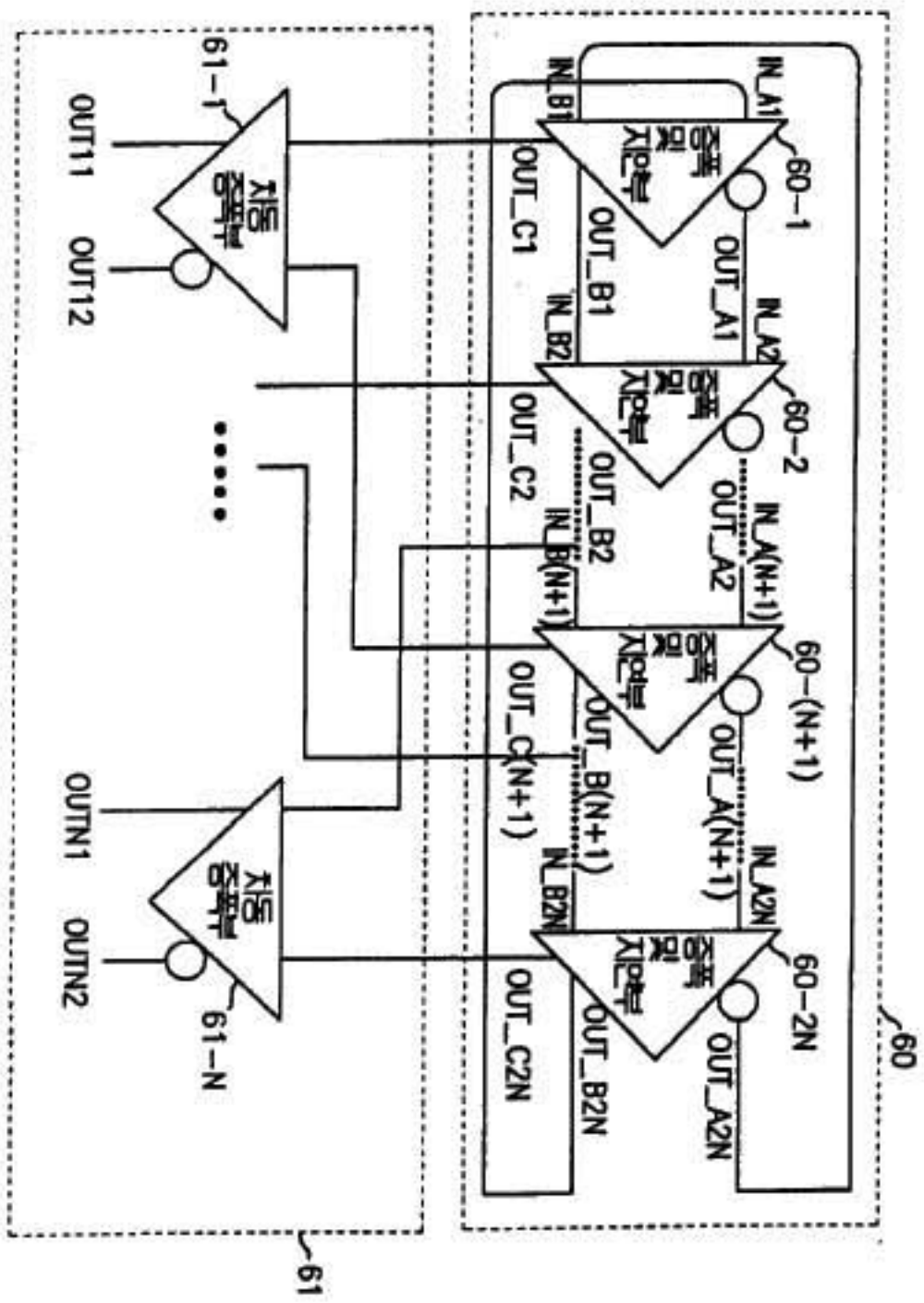


도면 4

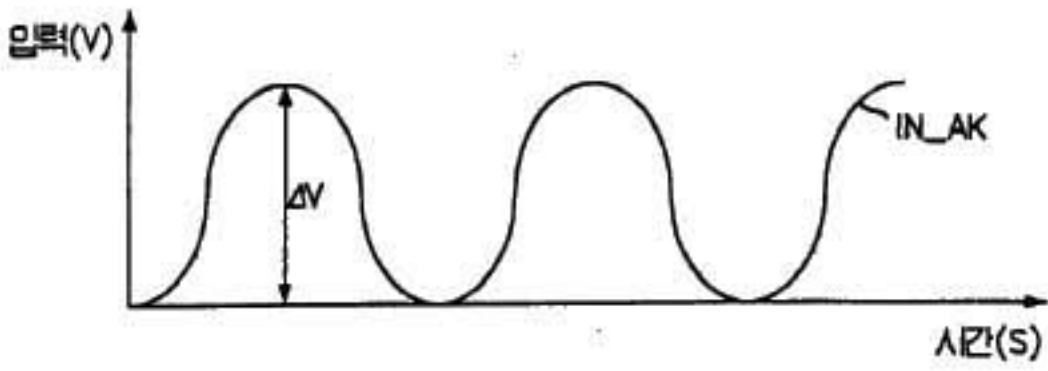


도면 5

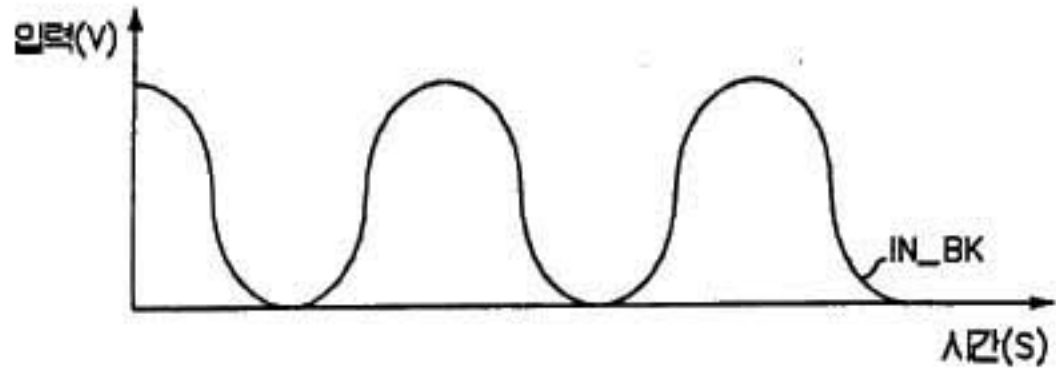




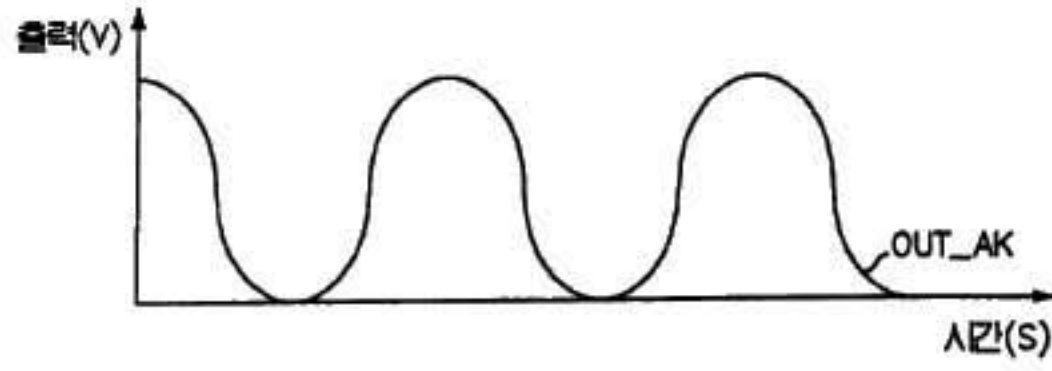
도면 7a



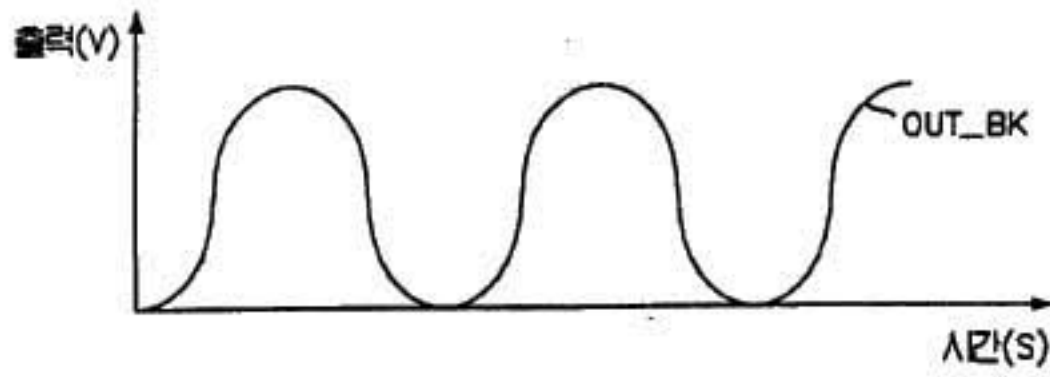
도면 7b



도면 7c



도면 7d



도면 7e

