



특 허 증

CERTIFICATE OF PATENT

특 허 제 10-0684919 호	출원번호 (APPLICATION NUMBER)	제 2005-0024806 호
(PATENT NUMBER)	출원일 (FILING DATE:YY/MM/DD)	2005년 03월 25일
	등록일 (REGISTRATION DATE:YY/MM/DD)	2007년 02월 13일

발명의명칭 (TITLE OF THE INVENTION)
 듀티 싸이클 왜곡에 강한 버스트 모드 클럭/데이터 복원 회로

특허권자 (PATENTEE)
 연세대학교 산학협력단(274171-0*****)
 서울 서대문구 신촌동 134 연세대학교

발명자 (INVENTOR)
 등록사항란에 기재

위의 발명은 「특허법」에 의하여 특허등록원부에 등록 되었음을 증명합니다.

(THIS IS TO CERTIFY THAT THE PATENT IS REGISTERED ON THE REGISTER OF THE KOREAN INTELLECTUAL PROPERTY OFFICE.)

2007년 02월 13일



특 허 청
 COMMISSIONER, THE KOREAN INTELLECTUAL PROPERTY OFFICE



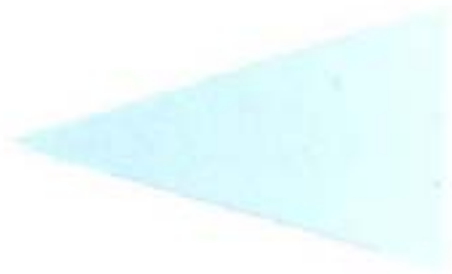
등록사항

특허 등록 제 10-0684919 호
(PATENT NUMBER)

발명자 (INVENTOR)
김두호

한평수

최우영





(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) . Int. Cl.	(45) 공고일자	2007년02월20일
<i>H03L 7/00</i> (2006.01)	(11) 등록번호	10-0684919
<i>H03K 5/14</i> (2006.01)	(24) 등록일자	2007년02월13일

(21) 출원번호	10-2005-0024806	(65) 공개번호	10-2006-0102822
(22) 출원일자	2005년03월25일	(48) 공개일자	2006년09월28일
심사청구일자	2005년03월25일		

(73) 특허권자 연세대학교 산학협력단
 서울 서대문구 신촌동 134 연세대학교

(72) 발명자 김두호
 [Redacted]

 한평수
 [Redacted]

 최우영
 [Redacted]

(74) 대리인 이세진

심사관 : 강윤석

전체 청구항 수 : 총 4 항

(54) 듀티 싸이클 왜곡에 강한 버스트 모드 클럭/데이터 복원 회로

(57) 요약

본 발명은 버스트 모드 수신기에서 사용되는 듀티 싸이클 왜곡에 강한 버스트 모드 클럭/데이터 복원 회로에 관한 것이다.

본 발명의 듀티 싸이클 왜곡에 강한 버스트 모드 클럭/데이터 복원 회로는, 개폐 발진기를 이용하여 클럭 및 데이터를 복원하기 위한 클럭/데이터 복원 회로로서, 각각 입력 신호의 상향, 하향 엣지에서 반주기만큼의 길이를 갖는 두 펄스 신호를 생성하는 재설정 신호 발생기(Reset Signal Generator)와; 상기 재설정 신호 발생기의 두 펄스 신호를 각각 입력으로 하여, 하나의 개폐발진기는 듀티 싸이클이 왜곡된 만큼 입력 신호에서 뒤쪽으로 위상 차이(Phase Error)를 갖고, 다른 하나의 개폐발진기는 듀티 싸이클이 왜곡된 만큼 입력 신호에서 앞쪽으로 위상 차이를 가지면서 발진하는 두 개의 개폐발진기(Gated Oscillator)와; 상기 두 개폐발진기의 출력으로서 크기는 같고, 입력 신호를 중심으로 방향이 반대인 위상차를 갖는 두 클럭을 입력으로 하여, 위상을 분할하여 입력 신호와 위상 차이가 없는 클럭을 출력하는 반 위상 분할기(Half Phase Interpolator); 를 포함하여 이루어짐에 기술적 특징이 있다.

대표도

도 5

특허청구의 범위

청구항 1.

재설정 신호 발생기의 두 펄스 신호를 각각 입력으로 하여, 하나의 개폐발진기는 듀티 사이클이 왜곡된 만큼 입력 신호에서 뒤쪽으로 위상 차이를 갖고, 다른 하나의 개폐발진기는 듀티 사이클이 왜곡된 만큼 입력 신호에서 앞쪽으로 위상 차이를 가지면서 발진하는 두 개의 개폐발진기를 이용하여 클럭 및 데이터를 복원하기 위한 클럭/데이터 복원회로에 있어서,

각각 입력 신호의 상향, 하향 엣지에서 반주기만큼의 길이를 갖는 두 펄스 신호를 생성하는 재설정 신호 발생기(Reset Signal Generator)와;

상기 두 개의 개폐 발진기와;

상기 두 개폐발진기의 출력으로서 크기는 같고, 입력 신호를 중심으로 방향이 반대인 위상차를 갖는 두 클럭을 입력으로 하여, 위상을 분할하여 입력 신호와 위상 차이가 없는 클럭을 출력하는 반 위상 분할기(Half Phase Interpolator);를 포함하여 이루어짐을 특징으로 하는 듀티 사이클 왜곡에 강한 버스트 모드 클럭/데이터 복원 회로.

청구항 2.

제1항에 있어서,

상기 재설정 신호 발생기는,

입력 신호를 반주기 지연하여 출력하는 반주기 지연 회로와;

입력 신호와, 상기 반주기 지연 회로를 통해 반주기 지연된 신호를 입력으로 하여, 각각 상향, 하향 엣지(Edge)에서 반주기만큼의 길이를 갖는 두 펄스 신호를 생성하는 한 쌍의 NAND 게이트;

로 이루어짐을 특징으로 하는 듀티 사이클 왜곡에 강한 버스트 모드 클럭/데이터 복원 회로.

청구항 3.

제2항에 있어서,

상기 반주기 지연 회로는,

환형 발진기(Ring Oscillator)에서 출력과 입력을 연결하는 피드백만을 제거한 회로로서, 홀수개의 인버터 및 상기 인버터의 출력과 인에이블 신호 1을 입력으로 하는 하나의 앤드 게이트가 직렬 연결되어 이루어지는 것을 특징으로 하는 듀티 사이클 왜곡에 강한 버스트 모드 클럭/데이터 복원 회로.

청구항 4.

제1항에 있어서,

상기 반 위상 분할기는,

두 쌍의 차동 트랜지스터로 이루어져, 두 쌍의 차동 트랜지스터 신호의 전류를 더함으로써 위상을 분할하여 입력되는 두 클럭의 중간 위상을 갖는 클럭을 출력하는 것을 특징으로 하는 듀티 사이클 왜곡에 강한 버스트 모드 클럭/데이터 복원 회로.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 듀티 사이클 왜곡에 강한 버스트 모드 클럭/데이터 복원 회로에 관한 것으로, 보다 자세하게는 반 위상 분할기와 재설정 신호 발생기를 추가하여 듀티 사이클 왜곡이 일어나도, 왜곡되지 않은 형태의 클럭 및 데이터를 복원해내고, 비트 에러율을 향상시킬 수 있도록 하는 듀티 사이클 왜곡에 강한 버스트 모드 클럭/데이터 복원 회로에 관한 것이다.

버스트 모드 수신기에서 일반적으로 사용되고 있는 클럭 및 데이터 복원회로로는 개폐발진기(Gated Oscillator)를 이용하는 방식이 있다.

개폐발진기는 도 1과 같은 형태로 이루어지며, 홀수개의 인버터로 구성되는 일반적인 환형 발진기(Ring Oscillator)의 구조에 앤드 게이트(AND Gate)를 추가한 것으로, 가능(Enable) 신호가 인가되었을 때에는 발진하고, 인가되지 않았을 때는 0을 출력한다.

보다 상세히 설명하자면, 인에이블 신호가 1인 경우, 앤드 게이트의 출력은 다른 한쪽의 입력에 의해서만 결정된다. 앤드 게이트 바로 다음의 노드를 발진기의 출력 노드라고 할 때, 출력 노드가 하이(high)이면, 앞의 인버터는 홀수 개이므로 5개의 인버터와 앤드 게이트 지연시간만큼이 지나면 출력 노드는 로우(low)로 반전된다. 또한, 그 지연시간만큼이 다시 지나면 출력 노드는 다시 원래의 하이로 되돌아갈 것이다.

인에이블 신호가 0인 경우, 앤드 게이트는 어떠한 입력에도 0을 출력하게 될 것이다. 곧, 인에이블 신호가 1이냐, 0이냐에 따라서 발진 여부를 조절할 수 있다.

한편, 인에이블 신호가 0으로 지속되다가 1로 바뀌고, 앤드 게이트의 지연시간이 지나면, 개폐발진기의 출력은 0에서 1로 바뀌게 되며, 이 시점에서 5개의 인버터와 앤드 게이트 지연시간만큼이 지나면 출력은 다시 0으로 바뀌고, 다시 그만큼이 지나면 1로 바뀐다.

즉, 인에이블 신호가 1로 바뀐 시점에서 위상이 0도로 정렬되어 발진을 시작하며, 결국 인에이블 신호의 상향 엣지에 맞도록 개폐발진기의 출력도 상향 엣지를 갖게 된다.

상기와 같은 개폐발진기의 동작은 일종의 위상 초기화(Phase Reset)로 해석할 수 있다. 곧, 인에이블 신호를 인가하는 순간에, 발진하는 위상을 0도로 맞출 수 있게 되는 것이다.

이러한 개폐발진기를 이용한 클럭 및 데이터 복원회로는 도 2와 같이 구현할 수 있다. 두 개의 개폐발진기(Gated VCO, 11, 12)에는 인에이블 신호로 각각 반전 입력 신호와 입력 신호가 인가된다.

이 때의 동작은 도 3에 나타난 것과 같다. 즉, 입력 신호가 0일 때에는 위의 개폐발진기(11)에서 발진이 일어나며, 입력 신호가 1일 때에는 아래 개폐발진기(Gated VCO, 12)에서 발진이 일어난다. 이 두 클럭은 각각 입력 신호의 상향, 하향 엣지(Rising, falling edge)에서 위상 0도로 발진을 시작한다.

따라서 두 개폐발진기의 출력을 오어 게이트(OR Gate, 21)로 통과시키면, 항상 발진하고 있는 클럭을 얻을 수 있다.

한편, 아래에 추가된 제어 전압 생성기(Control voltage generator, 30)는 위상동기회로(Phase Locking Loop, PLL) 구조로서, 두 개폐발진기(11, 12)가 지정된 주파수에서 동작할 수 있도록 하는 제어 전압(Control Voltage)을 제공한다.

세 개의 개폐발진기(11, 12, 31)가 똑같다면, 위상 동기 회로(PLL)에 포함된 개폐발진기(31)를 조절하는 전압을 다른 두 개폐발진기(11, 12)에 인가할 때, 세 개폐발진기(11, 12, 31)는 같은 주기로 발진하게 될 것이다.

이로 인하여, 입력 데이터가 그대로 인가된 개폐발진기(12)는 상향 엣지에 정렬되어 발진을 시작하며, 데이터가 하이인 동안 발진하고 데이터가 로우로 되면 발진을 멈춘다.

데이터가 반전 입력되는 개폐발진기(11)는 원래 데이터의 하향엣지에 정렬되어 발진하며, 데이터가 로우인 동안 발진하다가 하이의 데이터에서 발진을 멈춘다.

따라서, 두 개폐발진기(11, 12)의 출력은 도 3과 같이 나타난다.

하나의 개폐발진기(GVCO#2, 11)는 반전된 데이터를 인가하고, 다른 하나의 개폐발진기(GVCO#1, 12)는 입력 데이터를 가능(Enable) 신호로 인가한 경우이다. 앞에서 설명한 것과 같이 두 개폐발진기가 교대로 발진하게 되며, 이 두 개폐발진기의 출력을 오어 게이트(21)로 합치면 도면의 마지막 클럭과 같이 항상 발진하는 클럭을 복원해낼 수 있다.

하지만, 도면에는 나타나 있지 않아도, 이 클럭은 입력 데이터에서 몇 개의 게이트 딜레이를 거친 상태이므로, 입력 데이터의 위상보다는 위상이 좀 더 느릴 것이다. 따라서, 입력 데이터도 똑같은 게이트 딜레이를 거치도록 하는 딜레이 셀(Delay Cell, 13)에 의해 위상이 정확히 맞는 클럭을 복원할 수 있다.

한편, 듀티 사이클 왜곡이 일어나면 도 4에서처럼 각 비트가 1일 때의 주기와 0일 때의 주기가 달라지게 된다. 따라서, 각 개폐발진기가 발진해야 할 주기와 각 비트의 주기가 다르게 나타난다.

결국, 도 4에서와 같이, 복원된 클럭이 왜곡된 형태로 나타나게 되어 그대로 사용할 수 없으며, 클럭이 왜곡되므로 복원된 데이터에 듀티 사이클의 왜곡이 그대로 반영될 수 밖에 없다.

또한, 데이터를 가져오는 시점(복원된 클럭의 하향엣지; sampling point)이 비트의 가운데를 찍지 못하게 되므로 비트 에러율(Bit Error Rate, BER)이 나빠지게 된다.

수동 광 통신망(Passive Optical Network, PON)에서 사용되는 버스트 모드 광수신기에서는 듀티 사이클 왜곡이 필연적으로 일어나게 되며, 기존의 구조를 사용하려면 듀티 사이클 왜곡을 보상해주는 회로가 추가되거나, 회로의 다른 부분이 좀 더 복잡하게 설계되어야 하는데, 이러한 추가적인 노력은 결국 수신기의 단가를 올리는 요인이 되고, 통신망 자체의 설계를 어렵게 만든다는 단점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기와 같은 종래 기술의 제반 단점과 문제점을 해결하기 위한 것으로, 버스트 모드 수신기를 설계함에 있어 추가적인 블록들을 줄이고, 설계 부담을 줄여 설계에 필요한 시간과 비용을 줄이고, 듀티 사이클의 왜곡에 강한 클럭/데이터 복원 회로를 제공함에 본 발명의 목적이 있다.

발명의 구성

본 발명의 상기 목적은 개폐 발진기를 이용하여 클럭 및 데이터를 복원하기 위한 클럭/데이터 복원 회로로서, 각각 입력 신호의 상향, 하향 엣지에서 반주기만큼의 길이를 갖는 두 펄스 신호를 생성하는 재설정 신호 발생기(Reset Signal Generator)와; 상기 재설정 신호 발생기의 두 펄스 신호를 각각 입력으로 하여, 하나의 개폐발진기는 듀티 사이클이 왜곡된 만큼 입력 신호에서 뒤쪽으로 위상 차이(Phase Error)를 갖고, 다른 하나의 개폐발진기는 듀티 사이클이 왜곡된 만큼 입력 신호에서 앞쪽으로 위상 차이를 가지면서 발진하는 두 개의 개폐발진기(Gated Oscillator)와; 상기 두 개폐발진기의 출력으로서, 입력 신호를 중심으로 방향이 반대이고 크기가 같은 위상차를 갖는 두 클럭을 입력으로 하여, 위상을 분할하여 입력 신호와 위상 차이가 없는 클럭을 출력하는 반 위상 분할기(Half Phase Interpolator); 를 포함하여 이루어지는 듀티 사이클 왜곡에 강한 버스트 모드 클럭/데이터 복원 회로에 의해 달성된다.

본 발명의 상기 목적과 기술적 구성 및 그에 따른 작용 효과에 관한 자세한 사항은 본 발명의 명세서에 첨부된 도면에 의거한 이하 상세한 설명에 의해 보다 명확하게 이해될 것이다.

먼저, 도 5는 본 발명의 일 실시예에 따른 클럭/데이터 복원 회로도이다.

도시된 바와 같이, 본 발명의 클럭/데이터 복원 회로는 기존의 회로와 달리, 개폐발진기의 가능(Enable) 신호로 재설정 신호 발생기(Reset Signal Generator, 110)의 출력을 사용하고, 오어(OR) 게이트 대신 반 위상 분할기(Half Phase Interpolator, 130)를 사용하는 것을 특징으로 하며, 종래의 회로와 마찬가지로 딜레이 셀(Delay Cell, 100), 데이터 리타이머(Data Retimer, 101), 개폐 발진기(Gated VCO, 121, 122), 제어 전압 생성기(Control Voltage Generator, 140)를 포함하여 구성된다.

딜레이 셀(100)은 입력 데이터가 클럭과 같은 게이트 딜레이를 갖도록 하여 위상이 정확한 클럭을 생성할 수 있도록 딜레이된 데이터를 데이터 리타이머(101)로 입력하며, 제어 전압 생성기(140)는 위상동기회로(PLL)로서 두 개폐발진기(121, 122)가 지정된 주파수에서 동작할 수 있도록 하는 제어 전압(Control Voltage)을 제공한다.

재설정 신호 발생기(110)와 반 위상 분할기(130)의 구조 및 동작은 다음과 같다.

도 6은 도 5의 재설정 신호 발생기의 구조이고, 도 7은 도 6의 반주기 지연 회로 구조이며, 도 8은 도 6의 재설정 신호 발생기의 동작을 나타낸 도면이다.

도 6에 도시된 바와 같이, 상기 재설정 신호 발생기(110)는 반주기 지연 회로(111)를 포함하여 이루어지며, 입력 데이터와 상기 반주기 지연 회로(111)를 통해 입력 데이터가 반주기 지연된 데이터를 입력으로 하는 두 개의 NAND 게이트(112, 113)로 구성된다.

상기 반주기 지연 회로(111)는 도 7에 도시된 바와 같이 기본적인 개폐발진기, 즉 환형발진기(Ring Oscillator)와 하나의 앤드 게이트로 이루어진 개폐발진기에서 출력과 입력을 연결하는 피드백만을 제거한 회로로서, 홀수개의 인버터와 하나의 앤드 게이트로 이루어진다. 이때, 인에이블 신호를 1로 주면, 기본적인 개폐발진기에서와 마찬가지로 반주기만큼의 지연 시간을 갖게 된다.

따라서, 상기의 재설정 신호 발생기(110)는 도 8에 나타낸 바와 같이, 각각 입력 신호의 상향, 하향 엣지에서 반주기만큼의 길이를 갖는 두 펄스 신호를 생성한다.

다음, 도 9는 도 5의 반 위상 분할기의 구조이고, 도 10은 도 9의 반 위상 분할기의 동작을 나타낸 도면이다.

도시된 바와 같이, 반 위상 분할기(130)는 입력되는 두 클럭의 중간 위상을 갖는 클럭을 출력하는 회로로서, 두 쌍의 차동 트랜지스터로 이루어진다.

상기 반 위상 분할기(130)는 상기 두 쌍의 차동 트랜지스터 신호의 전류를 더함으로써 위상을 분할하며, 그 동작은 도 10과 같다.

도 10은 클럭1, 클럭2 그리고 반 위상 분할기의 출력을 나타낸다. 반 위상 분할기(130)는 도 9와 같이 전류의 합으로 구현된다. 따라서, 도 10에서 위의 두클럭을 합친 것이 아래의 출력과 같다.

클럭이 데이터를 가져오는 시점(Data Sampling Point)은 영교차점(Zero Crossing Point)이므로, 클럭의 위상을 비교하는 위치로 영교차점을 표시하였다. 세로 점선으로 나타낸 부분은 각 클럭의 영교차점이고, 세로 실선으로 나타낸 부분은 반 위상 분할기(130) 출력의 영교차점이다.

도 10의 왼쪽에 도시된 도면은, 두 클럭이 위상차가 없는 경우로서, 이 경우에는 두 클럭의 합이 그대로 원래의 클럭과 같다.

도 10의 가운데 도면은 약간의 위상차가 있는 경우로서, 이 경우에 출력은 한 클럭의 상승시점부터 작은 기울기로 상승하다가, 두클럭이 모두 상승하게 되면 두 배의 기울기를 가지며 상승한다. 그리고, 한쪽이 상승을 끝내면 다시 작은 기울기로 상승하고 두 클럭이 다 상승을 끝내면 출력도 상승을 끝내게 된다.

결과적으로, 도면에서와 같이 출력의 영교차점은 두 클럭이 갖는 영교차점의 가운데에 나타난다.

도 10의 오른쪽 도면은 반 위상 분할기(130)가 분할할 수 있는 최대의 위상차이다. 이 이상의 위상차가 나타나면 출력의 중간에 평평한 부분이 생기므로 위상 분할이 제대로 이루어지지 않는다.

마지막으로, 도 11은 본 발명의 클럭/데이터 복원 회로에 의한 클럭 복원도이다.

도시된 바와 같이, 본 발명의 클럭/데이터 복원 회로에 의하면, 하나의 개폐발진기는 입력 신호의 상향 엣지에서 위상이 재설정되고, 다른 하나의 개폐발진기는 입력 신호의 하향 엣지에서 위상이 재설정된다.

따라서, 첫번째 개폐발진기는 듀티 사이클이 왜곡된 만큼 입력 신호에서 뒤쪽으로 위상 차이(Phase Error)를 갖고, 두번째 개폐발진기는 듀티 사이클이 왜곡된 만큼 입력 신호에서 앞쪽으로 위상 차이를 가지면서 발진하게 된다.

두 클럭이 갖는 위상 차이는 크기는 같고, 방향이 반대일 뿐이므로, 이 두 클럭을 반 위상 분할기(130)에 입력하면, 입력 신호와 위상 차이가 없는 클럭을 만들 수 있다. 이렇게 만들어진 클럭은 모양이 왜곡되지 않고, 데이터를 가져오는 시점(복원된 클럭의 상향엣지)이 신호의 가운데에 위치하게 된다. 따라서 클럭을 그대로 사용할 수 있고, 비트 에러율을 향상시킬 수 있다.

본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있으므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

발명의 효과

따라서, 본 발명의 듀티 사이클 왜곡에 강한 버스트 모드 클럭/데이터 복원 회로에 의하면, 버스트 모드 수신기를 설계함에 있어, 듀티 사이클의 왜곡을 보상하기 위한 추가적인 블록들을 줄이고 설계부담을 줄일 수 있으므로 설계에 필요한 시간과 비용을 줄일 수 있으며, 이에 따라 광 가입자망 시대를 앞당기는데 일조하게 될 것으로 기대된다.

도면의 간단한 설명

도 1은 기본적인 개폐발진기의 구조,

도 2는 개폐발진기를 사용하는 기본적인 클럭/데이터 복원 회로도,

도 3은 도 2의 회로에 의한 클럭 복원도,

도 4는 듀티 사이클 왜곡에 의한 복원 클럭의 왜곡을 나타낸 도면,

도 5는 본 발명의 일 실시예에 따른 클럭/데이터 복원 회로도,

도 6은 도 5의 재설정 신호 발생기의 구조,

도 7은 도 6의 반주기 지연 회로 구조,

도 8은 도 6의 재설정 신호 발생기의 동작을 나타낸 도면,

도 9는 도 5의 반 위상 분할기의 구조,

도 10은 도 9의 반 위상 분할기의 동작을 나타낸 도면,

도 11은 본 발명의 클럭/데이터 복원 회로에 의한 클럭 복원도이다.

< 도면의 주요 부분에 대한 부호의 설명 >

100 : 딜레이 셀(Delay Cell)

101 : 데이터 리타이머(Data Retimer)

110 : 재설정 신호 발생기(Reset Signal Generator)

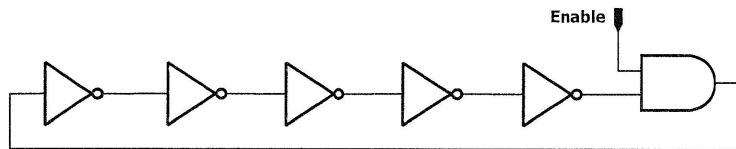
121, 122 : 개폐발진기(Gated VCO)

130 : 반 위상 분할기(Half Phase Interpolator)

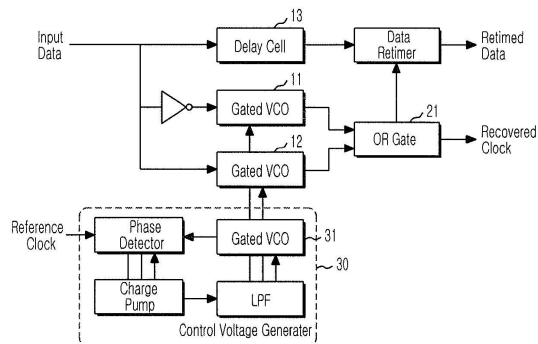
140 : 제어 전압 생성기(Control Voltage Generator)

도면

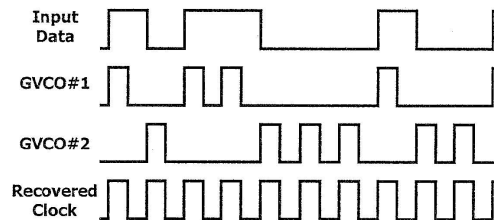
도면1



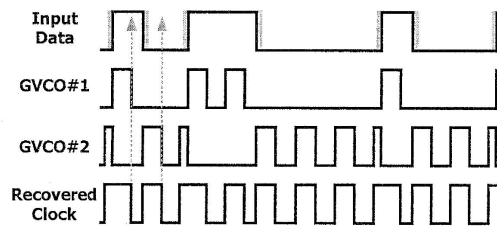
도면2



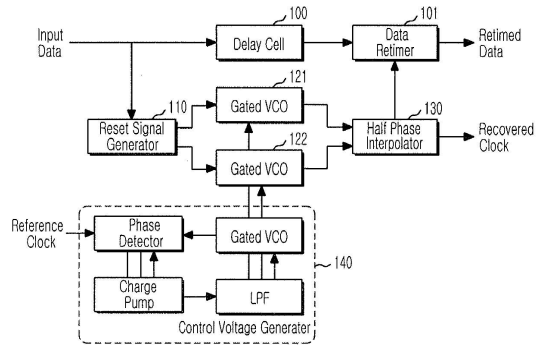
도면3



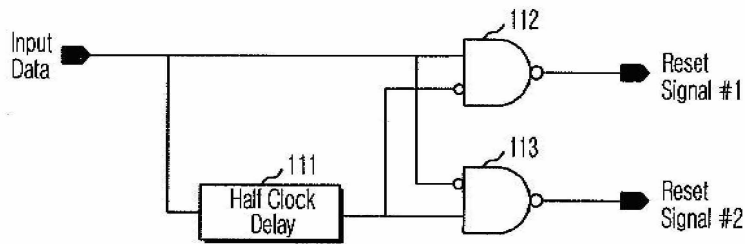
도면4



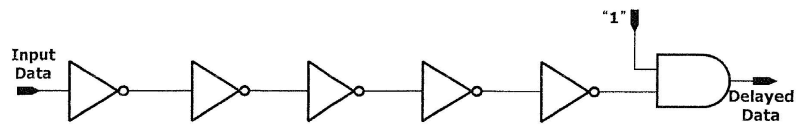
도면5



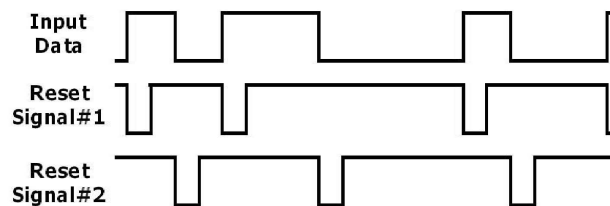
도면6



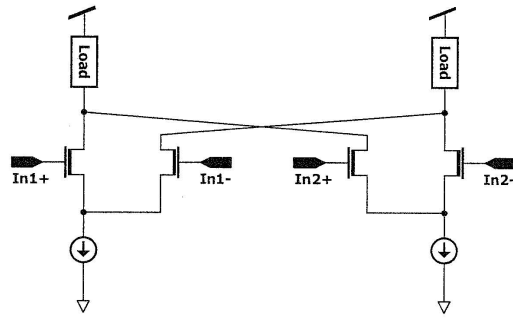
도면7



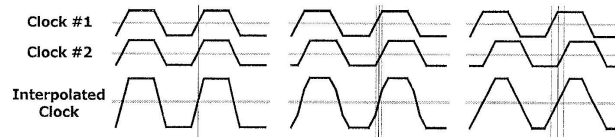
도면8



도면9



도면10



도면11

