



특 허 증

CERTIFICATE OF PATENT

특 허 제 10-1373205 호 (PATENT NUMBER)	출원번호 (APPLICATION NUMBER)	제 2012-0038509 호
	출원일 (FILING DATE:YY/MM/DD)	2012년 04월 13일
	등록일 (REGISTRATION DATE:YY/MM/DD)	2014년 03월 05일

발명의명칭 (TITLE OF THE INVENTION)

위상 고정 루프, 위상 고정 루프용 주파수 조정회로, 위상 고정 루프의 락킹 방법

특허권자 (PATENTEE)

연세대학교 산학협력단(274171-0*****)
서울특별시 서대문구 연세로 50, 연세대학교 (신촌동)

발명자 (INVENTOR)

등록사항란에 기재

위의 발명은 「특허법」에 따라 특허등록원부에 등록 되었음을 증명합니다.

(THIS IS TO CERTIFY THAT THE PATENT IS REGISTERED ON THE REGISTER OF THE KOREAN INTELLECTUAL PROPERTY OFFICE.)

2014년 03월 05일



특 허 청 장 김 영

COMMISSIONER, THE KOREAN INTELLECTUAL PROPERTY OFFICE



연차등록료 납부일은 설정등록일 이후 4년차부터 매년 03월 05일까지이며 등록원부로 권리관계를 확인바랍니다.

등록사항

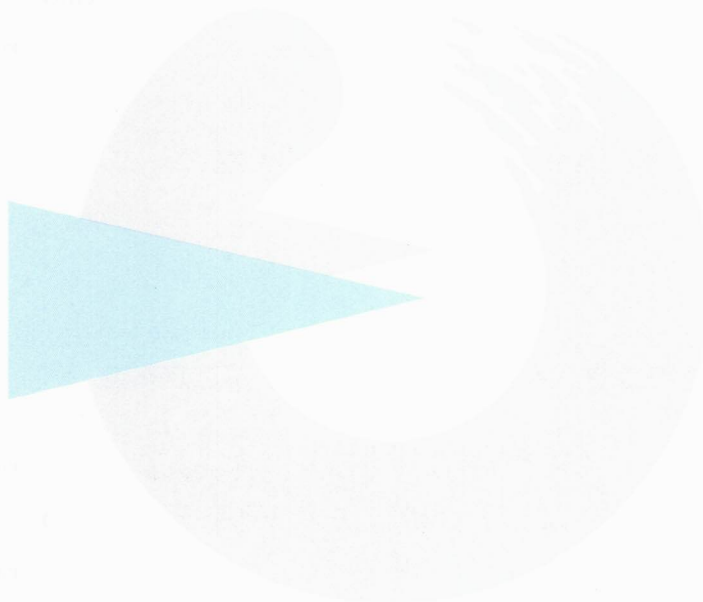
특허 등록 제 10-1373205 호

(PATENT NUMBER)

발명자 (INVENTOR)

최우영

박영석



【명세서】

【발명의 명칭】

위상 고정 루프, 위상 고정 루프용 주파수 조정회로, 위상 고정 루프의 락킹 방법{A PHASE LOCKED LOOP, FREQUENCY CONTROL CIRCUIT OF PLL, AND LOCKING METHOD OF PLL}

【기술분야】

<0001> 본 발명은 위상 고정 루프(PLL; Phase Locked Loop), 위상 고정 루프용 주파수 조정회로, 및 위상 고정 루프의 락킹(locking) 방법에 관한 것이다.

【발명의 배경이 되는 기술】

<0002> 위상 고정 루프(PLL; Phase Locked Loop)는 출력 신호의 주파수를 일정하게 유지하는 주파수 부귀환(negative feedback) 회로로서, 입력 신호와 출력 신호의 위상차를 검출하고, 전압조정발진기(VCO; Voltage Controlled Oscillator)를 제어하여 고정된 주파수의 신호를 출력한다. 위상 동기 루프는 예를 들어, 낮은 주파수를 가지는 기준 클럭 신호(reference clock signal)에 고속 동작하는 전압조정발진기의 위상(phase)을 피드백(feedback system)을 통해 동기시켜, 시스템 클럭 신호를 생성하기 위해 사용될 수 있다.

<0003> 전압조정발진기의 성능은 VCO 이득(gain)과 VCO 주파수 범위(frequency range)로 나타낼 수 있다. VCO 이득은 전압조정발진기의 입력단 측의 조절 전압(control voltage)의 변화량에 대한 주파수 변화량의 비(MHz/V)를 의미한다. 전압조정발진기의 VCO 이득이 클수록 지터(jitter) 현상으로 인해 전압조정발진기의

출력 신호에 노이즈(noise)가 발생할 수 있다. 지터는 위상 고정 루프로부터 출력 되는 클록 또는 주파수 파형의 위상이 일정하지 않은 현상을 의미한다. 전압조정발진기의 VCO 주파수 범위는 넓을수록 공정-전압-온도(PVT; Process-Voltage-Temperature) 변동에 둔감하게 작용하는 잇점이 있다.

<0004> 도 1은 전압조정발진기의 조절전압-주파수 특성 곡선을 예시한 그래프이다. 전압조정발진기의 발진 주파수(oscillation frequency)는 전압조정발진기의 입력단 측의 전압인 조절 전압(control voltage)에 따라 변화된다. 도 1을 참조하면, 특성 곡선 VC01에서 보여지는 바와 같이, 저이득 전압조정발진기는 낮은 VCO 이득(G1) 특성을 가지므로 노이즈를 줄일 수 있지만, 좁은 VCO 주파수 범위(R1)로 인해 PVT 변화시 락(lock)이 깨질 수 있다. 반대로, 고이득 전압조정발진기는 특성 곡선 VC02에서 보여지는 바와 같이, 넓은 VCO 주파수 범위(R2)를 가지므로 PVT 변동에 둔감하게 작용하는 잇점이 있지만, 상대적으로 큰 VCO 이득(G2)으로 인해 출력 신호의 노이즈가 증가될 수 있다.

<0005> 만약, 전압조정발진기의 VCO 주파수 범위가 목표 주파수(target frequency)를 커버하지 못할 경우, 위상 동기 루프는 락(lock)을 걸지 못하고 불안정하게 동작할 수 있다. 예를 들어, 위상 동기 루프의 목표 주파수가 2GHz인 경우, VCO 범위의 한계로 인해 1.5GHz까지 밖에 발진하지 못한다면, 위상 동기 루프는 목표 주파수인 2GHz에 락을 걸 수 없게 된다. 반대로, PVT 변동이 심한 악조건에서도 전압조정발진기의 출력 신호의 목표 주파수를 포함하도록 하기 위해, 넓은 VCO 주파수 범위를 갖는 전압조정발진기를 설계할 경우, 노이즈가 증가될 수 있다. 이와 같이

VCO 이득과 VCO 주파수 범위는 트레이드-오프(trade-off) 관계에 있다.

<0006> 이러한 전압조정발진기의 트레이드-오프 문제를 해소하기 위해 멀티-밴드 전압조정발진기(multi-band VCO)를 사용하는 멀티-밴드 위상 동기 루프가 제시되었다. 도 2는 멀티-밴드 전압조정발진기의 조절전압-주파수 특성 곡선을 예시한 그래프이다. 도 2를 참조하면, 멀티-밴드 전압조정발진기는 낮은 VCO 이득을 갖는 좁은 VCO 주파수 범위의 다수의 밴드(Band 1 ~ 16)를 사용하여 넓은 VCO 주파수 범위를 커버할 수 있다. 멀티-밴드 위상 동기 루프는 멀티-밴드 전압조정발진기의 밴드들 중에서 목표 주파수를 포함하는 정확한 밴드를 찾아내야 하는데, 이를 적응 주파수 조정(AFC; Adaptive Frequency Calibration)이라 한다.

<0007> 멀티-밴드 위상 동기 루프는 정확한 밴드를 찾기 위해 밴드들을 바꾸어 가면서 이진 탐색(binary search) 방식으로 위상 동기 루프의 주파수 락이 걸리는 밴드를 찾아야 하기 때문에 AFC 시간이 길어질 수 있다. 또한, 멀티-밴드 위상 동기 루프 중 코어스 루프(Coarse loop)와 파인 루프(Fine loop)를 포함하는 멀티-밴드 위상 동기 루프는 코어스 루프의 주파수 락 이후에 파인 루프의 주파수 락이 수행되므로, 전체 락킹 시간(locking time)이 길어질 수 있다.

<0008> 또한, 멀티-밴드 위상 동기 루프는 밴드를 바꾸게 되면 양자화 에러(quantization error)로 인해 락이 깨지기 쉬워, 일단 AFC를 통해 밴드가 결정되고 해당 밴드에 락이 걸린 이후에는 밴드를 고정해 놓을 수밖에 없다. 뿐만 아니라, 주파수의 조정이 디지털 비트(digital bit)로 이루어지므로, 연속적 조정이 불가능하므로, PVT 변동에 따라 락이 깨질 수 있는 등 좁은 VCO 주파수 범위를 갖는

기존 전압조정발진기의 단점들을 갖는다.

<0009> 도 2를 참조하면, 예를 들어 약 10MHz 정도의 VCO 주파수 범위를 갖는 Band 3에 주파수 락이 걸린 이후에, 약 30° 정도의 온도 상승이 발생하거나 공급 전압(supply voltage)이 약 5% 정도 감소함에 따라, Band 3의 VCO 주파수 범위를 벗어나는 곳에서 락이 걸려야 하는 상황이 발생할 수 있다. 이러한 경우, 위상 동기 루프의 주파수 락이 깨질 수 있으며, 이를 해소하기 위해서는 다시 AFC를 통해 적합한 밴드를 찾아주는 과정을 반복해야 한다.

<0010> 위상 동기 루프 중 코어스 루프(Coarse loop)와 파인 루프(Fine loop)를 포함하는 듀얼 루프 위상 동기 루프(Dual-Loop PLL)는 코어스 루프를 이용하여 주파수 조정을 수행한 후에 파인 루프를 이용하여 저잡음 클록을 생성한다. 하지만, 기존의 듀얼 루프 위상 동기 루프는 코어스 루프의 주파수 락킹을 수행한 후에 파인 루프의 주파수 락킹을 수행해야 하므로, 전체 락킹 시간(locking time)이 길어질 수 있다. 뿐만 아니라, 기존의 듀얼 루프 위상 동기 루프는 코어스 루프의 응답이 파인 루프의 응답보다 훨씬 느려야 하므로, 코어스 루프에 매우 큰 필터 커패시터(filter capacitor)를 필요로 하여 위상 동기 루프의 면적을 증가시키게 된다.

【발명의 내용】

【해결하고자 하는 과제】

<0011> 본 발명이 해결하고자 하는 과제는 락킹 시간(locking time)을 줄일 수 있는 위상 고정 루프, 위상 고정 루프용 주파수 조정회로, 위상 고정 루프의 락킹 방법을 제공하는 데 있다.

<0012> 본 발명이 해결하고자 하는 다른 과제는 위상 고정 루프의 면적을 줄여 소형화를 이룰 수 있는 위상 고정 루프, 위상 고정 루프용 주파수 조정회로, 위상 고정 루프의 락킹 방법을 제공하는 데 있다.

<0013> 본 발명이 해결하고자 하는 또 다른 과제는 연속적으로 주파수 교정을 수행할 수 있는 위상 고정 루프, 위상 고정 루프용 주파수 조정회로, 및 위상 고정 루프의 락킹 방법을 제공하는 데 있다.

<0014> 본 발명이 해결하고자 하는 또 다른 하나의 과제는 전압이나 온도 등이 변화되더라도 주파수 락이 깨지는 것을 방지할 수 있는 위상 고정 루프, 위상 고정 루프용 주파수 조정회로, 및 위상 고정 루프의 락킹 방법을 제공하는 데 있다.

<0015> 본 발명이 해결하고자 하는 과제는 이상에서 언급된 과제로 제한되지 않는다. 언급되지 않은 다른 기술적 과제들은 이하의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

【과제의 해결 수단】

<0016> 상기 과제를 해결하기 위한 본 발명의 일 측면에 따른 위상 고정 루프는 고이득 발진부와 저이득 발진부를 포함하는 전압조정발진기; 상기 전압조정발진기의 출력 신호에 대응하는 피드백 신호와, 기준 신호 간 주파수의 차이 값에 기초하는 제어 신호를 출력하는 위상 주파수 검출기; 상기 제어 신호에 응답하여 전압 신호를 출력하는 전하 펌프; 상기 전압 신호를 필터링하고, 필터링된 제1 조절 신호를 상기 저이득 발진부의 입력단으로 출력하는 루프 필터; 및 상기 제1 조절 신호를 디지털 신호로 저장하고, 상기 제1 조절 신호와 락 검출 시 저장된 상기 디지털 신

호에 대응하는 제2 조절 신호를 락 검출 여부에 따라 선택적으로 상기 고이득 발진부의 입력단으로 출력하는 주파수 조정부를 포함한다.

<0017> 상기 과제를 해결하기 위한 본 발명의 일 측면에 따른 위상 고정 루프용 주파수 조정회로는 제1 조절 신호로부터 락을 검출하는 락 모니터부; 상기 제1 조절 신호를 디지털 신호로 변환하여 저장하는 A/D 컨버터; 상기 A/D 컨버터의 출력단과 연결되어, 상기 디지털 신호를 제2 조절 신호로 변환하는 D/A 컨버터; 및 상기 D/A 컨버터의 출력단에 연결되어 상기 락 모니터부로부터의 락 검출 신호에 따라 상기 제2 조절 신호를 선택적으로 출력하는 제1 스위치를 포함한다.

<0018> 상기 과제를 해결하기 위한 본 발명의 다른 일 측면에 따른 듀얼 모드 위상 고정 루프의 락킹 방법은 고이득 발진부와 저이득 발진부를 포함하는 전압조정발진기를 포함하는 위상 고정 루프의 락킹 방법에 있어서, 상기 고이득 발진부의 입력단과 상기 저이득 발진부의 입력단에 공통으로 입력되는 제1 조절 신호를 디지털 신호로 저장하는 단계; 락 검출 여부를 판단하는 단계; 및 락 검출로 판단되면, 상기 고이득 발진부의 입력단에 락 검출 시 저장된 상기 디지털 신호에 대응하는 제2 조절 신호를 입력하는 단계를 포함함을 특징으로 한다.

【발명의 효과】

<0019> 본 발명의 일 측면에 의하면 위상 고정 루프의 락킹 시간(locking time)을 줄일 수 있다.

<0020> 또한, 본 발명의 일 측면에 의하면 위상 고정 루프의 칩 크기(chip size)를 줄여, 듀얼 루프 위상 고정 루프를 소형화할 수 있다.

<0021> 또한, 본 발명의 일 측면에 의하면 주파수 락킹 이후의 PVT 변동에 불구하고 연속적인 주파수 조정을 수행함으로써 위상 고정 루프의 주파수 락이 깨지는 것을 방지할 수 있다.

【도면의 간단한 설명】

<0022> 도 1은 일반적인 전압조정발진기의 조절전압-주파수 특성 곡선을 예시한 그래프이다.

도 2는 일반적인 멀티-밴드 전압조정발진기의 조절전압-주파수 특성 곡선을 예시한 그래프이다.

도 3은 본 발명의 일 실시예에 따른 위상 고정 루프의 구성도이다.

도 4는 본 발명의 일 실시예에 따른 위상 고정 루프를 구성하는 주파수 조정부의 예시적인 구성도이다.

도 5는 본 발명의 일 실시예에 따른 위상 고정 루프를 구성하는 주파수 조정부의 다른 예시적인 구성도이다.

도 6은 본 발명의 일 실시예에 따른 위상 고정 루프의 락킹 방법의 흐름도이다.

【발명을 실시하기 위한 구체적인 내용】

<0023> 본 발명의 다른 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술 되는 실시 예를 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시 예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시 예는 본 발명의 개시가 완전하도록 하고, 본

발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

<0024>

만일 정의되지 않더라도, 여기서 사용되는 모든 용어들(기술 혹은 과학 용어들을 포함)은 이 발명이 속한 종래 기술에서 보편적 기술에 의해 일반적으로 수용되는 것과 동일한 의미를 가진다. 일반적인 사전들에 의해 정의된 용어들은 관련된 기술 그리고/혹은 본 출원의 본문에 의미하는 것과 동일한 의미를 갖는 것으로 해석될 수 있고, 그리고 여기서 명확하게 정의된 표현이 아니더라도 개념화되거나 혹은 과도하게 형식적으로 해석되지 않을 것이다.

<0025>

본 명세서에서 사용된 용어는 실시 예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 '포함한다' 및/또는 이 동사의 다양한 활용형들 예를 들어, '포함', '포함하는', '포함하고', '포함하며' 등은 언급된 조성, 성분, 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 조성, 성분, 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.

<0026>

본 명세서 전체에서 사용되는 '~부', '~기', 등의 용어는 적어도 하나의 기능이나 동작을 처리하는 단위를 의미할 수 있다. 구성요소들과 '~부', '~기' 들 안에서 제공되는 기능은 더 작은 수의 구성요소들 및 '~부', '~기' 들로 결합되거나 추가적인 구성요소들과 '~부', '~기' 들로 더 분리될 수 있다.

<0027>

본 발명의 실시예에 따른 위상 고정 루프(PLL; Phase Locked Loop)는 전압조정발진기의 저이득 발진부 입력단의 제1 조절 신호를 디지털 신호로 저장하고, 제1

조절 신호와 락 검출 시 저장된 디지털 신호에 대응하는 제2 조절 신호를 락 검출 여부에 따라 선택적으로 고이득 발진부의 입력단으로 출력하는 주파수 조정부를 포함함으로써, 락킹 시간(locking time)을 줄일 수 있으며, PVT 변동시 연속적인 주파수 조정을 수행하여 주파수 락 깨짐을 방지할 수 있다.

<0028> 도 3은 본 발명의 일 실시예에 따른 위상 고정 루프의 구성도이다. 도 3을 참조하면, 본 발명의 실시예에 따른 위상 고정 루프(100)는 위상 주파수 검출기(Phase Frequency Detector)(110), 전하 펌프(Charge Pump)(120), 루프 필터(Loop Filter)(130), 고이득 발진부와 저이득 발진부를 포함하는 전압조정발진기(VCO; Voltage Controlled Oscillator)(140), 주파수 조정부(Frequency Calibration Unit)(150), 및 분주기(Frequency Divider)(160)를 포함한다.

<0029> 위상 주파수 검출기(110)는 전압조정발진기(140)로부터의 출력 신호에 대응하는 분주기(160)로부터의 피드백 신호와, 기준 신호 간의 주파수 및/또는 위상 차이를 검출하고, 주파수 및/또는 위상의 차이 값에 기초하는 제어 신호를 출력할 수 있다. 전하 펌프(120)는 제어 신호에 응답하여 루프 필터(130)로 전하를 공급하거나 방전시키는 전하 조절을 수행할 수 있다. 루프 필터(130)는 전하 펌프(120)로부터 출력되는 전압 신호를 필터링할 수 있다. 루프 필터(130)로부터 출력되는 제1 조절 신호는 전압조정발진기(140)의 저이득 발진부의 입력단(L)으로 출력될 수 있다.

<0030> 전압조정발진기(140)는 고이득 발진부의 입력단(H)과 저이득 발진부의 입력단(L)으로 입력되는 두 조절 신호의 전압 값에 따라 발진하는 특정 주파수의 출력

신호를 출력할 수 있다. 고이득 발진부는 VCO 이득(gain), 즉 조절 전압의 변화량에 대한 주파수 변화량의 비(MHz/V)가 저이득 발진부보다 상대적으로 큰 발진회로를 의미할 수 있다. 전압조정발진기(140)의 출력 신호는 고이득 발진부의 출력 값과 저이득 발진부의 출력 값이 소정 비율로 조합된 출력 신호일 수 있다. 고이득 발진부와 저이득 발진부를 포함하는 전압조정발진기는 당업자에게 공지되어 있으므로, 이에 대한 구체적인 설명은 생략하기로 한다.

<0031> 주파수 조정부(150)는 락(lock) 검출 여부에 따라 위상 고정 루프(100)를 고이득 모드(High gain wide range mode)에서 저이득 모드(Low gain narrow range mode)로 전환하는 기능을 수행할 수 있다. 주파수 조정부(150)는 제1 조절 신호와 락 검출시에 저장된 디지털 신호에 대응하는 제2 조절 신호를 락 검출 여부에 따라 선택적으로 고이득 발진부의 입력단(H)으로 출력할 수 있다. 즉, 주파수 조정부(150)는 락 검출시까지는 제1 조절 신호를 고이득 발진부의 입력단(H)으로 출력하고, 락 검출시부터는 상기 제2 조절 신호를 고이득 발진부의 입력단(H)으로 출력할 수 있다.

<0032> 주파수 조정부(150)는 락 모니터부(151)와, 모드 전환부(152)를 포함할 수 있다. 락 모니터부(151)는 위상 고정 루프(100)에서 주파수 락이 걸리는지를 실시간 모니터링하고, 락 검출시 락 검출 신호를 모드 전환부(152)로 출력할 수 있다. 모드 전환부(152)는 락 검출시까지 아날로그(analog) 신호인 제1 조절 신호를 디지털 신호(digital signal)로 변환하여 저장하고, 락 모니터부(151)로부터의 락 검출 신호에 따라 제1 조절 신호와 제2 조절 신호를 선택적으로 고이득 발진부의 입력

단(H)으로 출력할 수 있다.

<0033> 즉, 모드 전환부(152)는 고이득 모드에 해당하는 락 검출시까지 제1 조절 신호를 고이득 발진부의 입력단(H)으로 출력하고, 저이득 모드에 해당하는 락 검출 시 이후부터는 락 검출시에 저장된 디지털 신호에 대응하는 제2 조절 신호를 고이득 발진부의 입력단(H)으로 출력할 수 있다. 이때, 디지털 신호에 대응하는 제2 조절 신호는 락 검출시 모드 전환부(152)에 저장된 상기 디지털 신호로부터 변환된 고정된 값의 아날로그 신호일 수 있다. 락 모니터부(151), 모드 전환부(152)를 포함하는 주파수 조정부(150)의 보다 상세한 구성 및 그 기능에 대하여는 도 4 및 도 5를 참조하여 후술한다.

<0034> 고이득 모드에서는 고이득 발진부의 입력단(H) 및 저이득 발진부의 입력단(L)으로 제1 조절 신호가 입력된다. 고이득 모드에서는 전압조정발진부(140)의 고이득 발진부의 출력 값과 저이득 발진부의 출력 값이 제1 조절 신호에 상응하여 변화될 수 있다. 저이득 모드에서는 고이득 발진부의 입력단(H)으로 제2 조절 신호가 입력되고 저이득 발진부의 입력단(L)으로 제1 조절 신호가 입력될 수 있다.

<0035> 저이득 모드에서는 고이득 발진부의 입력단(H)으로 고정된 전압 값에 해당하는 제2 조절 신호가 입력된다. 따라서, 주변 온도나 공정 전압 등의 조건이 미리 설정된 값을 초과하여 변동하지 않는 이상, 저이득 모드에서 고이득 발진부의 입력단(H) 신호는 변동되지 않으며, 전압조정발진부(140)의 출력 신호는 저이득 발진부에 의해서만 변동되므로, 지터 현상으로 인한 노이즈가 없는 깨끗한 출력 신호를 얻을 수 있다.

<0036> 분주기(160)는 전압조정발전기(140)의 출력 신호를 N배로 분주하여 출력할 수 있다. 이러한 분주기(160)는 예를 들어, 위상 고정 루프가 주파수 합성기(Frequency synthesizer)로 활용되는 경우, 위상 고정 루프(100)의 구성으로 포함될 수 있다. 대안적으로, 분주기(160)는 위상 고정 루프의 구체적인 용도에 따라 위상 고정 루프에 포함되지 않을 수도 있다. 분주기(160)가 위상 고정 루프(100)에 포함되는 경우, 피드백 신호는 분주기(160)에 의해 분주된 신호일 수 있다. 만약, 분주기(160)가 위상 고정 루프에 포함되지 않는 경우, 피드백 신호는 전압조정발전기(140)의 출력 신호일 수 있다.

<0037> 도 4는 도 3에 도시된 주파수 조정부(150)의 예시적인 구성도이다. 도 4를 참조하면, 모드 전환부(152)는 A/D 컨버터(153), D/A 컨버터(154), 및 스위치부(155)를 포함할 수 있다. 도 4에 도시된 실시예는 A/D 컨버터(153)와 D/A 컨버터(154)의 피드백(feedback) 시스템을 이용하여 주파수 락이 걸린 시점에서의 고이득 발진부의 입력단(H) 측의 아날로그 조절 신호를 기억한다.

<0038> A/D 컨버터(153)는 전압 조정 발전기(140)의 공통 입력단과 연결되어 제1 조절 신호를 입력받고, 이를 디지털 신호로 변환하여 저장할 수 있다. 이때, 공통 입력단이란, 전압조정발전기(140)의 고이득 발진부의 입력단(H)과 저이득 발진부의 입력단(L)으로 분기되기 이전의 루프 필터(130) 후단 측의 입력단을 의미할 수 있다. 모드 전환부(152)는 아날로그 기억소자인 커패시터를 사용하지 않고, A/D 컨버터(153)를 이용하여 제1 조절 신호를 디지털 신호로 저장함으로써, 적은 칩 크기로 주파수 조정회로를 구현할 수 있으며, 리키지(leakage)를 방지할 수 있다.

<0039> A/D 컨버터(153)는 제1 비교기(1531) 및 카운터(1532)를 포함할 수 있다. 제1 비교기(1531)는 1비트(bit) 비교기(comparator)로 구현될 수 있다. 제1 비교기(1531)는 고이득 모드에서 제1 조절 신호와 D/A 컨버터(154)의 출력 값 중 어느 쪽이 큰지를 비교하여 그 비교 결과를 출력할 수 있다. 카운터(1532)는 제1 비교기(1531)의 비교 결과를 카운트함으로써, 제1 조절 신호를 디지털 신호로 변환하여 저장할 수 있다.

<0040> D/A 컨버터(154)는 A/D 컨버터(153)의 출력단과 연결되어 A/D 컨버터(153)에 저장된 디지털 신호(Digital signal)를 아날로그 신호(Analog signal)인 제2 조절 신호로 변환할 수 있다. D/A 컨버터(154)의 출력은 A/D 컨버터(153)의 제1 비교기(1531)로 피드백 입력됨으로써, D/A 컨버터(154)는 제1 조절 신호와 동일한 값의 제2 조절 신호를 출력할 수 있다. 도 5에 도시되지 않았으나, D/A 컨버터(154)의 출력단에는 제2 조절 신호의 전압 값의 변화를 더디게 하여 위상 고정 루프의 주파수 락이 깨지지 않는 상태를 유지하기 위한 커패시터가 연결될 수도 있다.

<0041> 스위치부(155)는 D/A 컨버터(154)의 출력단과 고이득 발진부의 입력단(H) 사이에 연결되어, 락 모니터부(151)로부터의 락 검출 신호에 따라 제1 조절 신호 또는 제2 조절 신호를 선택적으로 고이득 발진부의 입력단(H)으로 출력할 수 있다. 락 모니터부(151)는 제1 조절 신호가 소정의 임계 범위($V_L \sim V_H$) 내에 속하는지를 판단하는 제2 비교기(1511)를 포함할 수 있다. 제2 비교기(1511)는 주파수 락 이후에 저이득 모드에서 제1 조절 신호가 소정의 임계 범위($V_L \sim V_H$)를 벗어나는 것으로 판단

되면, 카운터(1532)로 조정 신호를 출력할 수 있다. 카운터(1532)는 제2 비교기(1511)로부터 출력된 조정 신호에 따라 디지털 신호 값을 미리 설정된 값만큼 조정할 수 있다.

<0042> 예를 들어, 제1 조절 신호가 V_H 를 초과하면, 카운터(1532)는 제2 비교기(1511)로부터의 조정 신호에 따라 디지털 신호의 비트 값을 최소 단위인 '1' 만큼 올릴 수 있다. 만약, 제1 조절 신호가 V_L 미만으로 낮아지면, 카운터(1532)는 제2 비교기(1511)로부터의 조정 신호에 따라 디지털 신호의 비트 값을 최소 단위인 '1' 만큼 낮출 수 있다.

<0043> 도 5는 본 발명의 일 실시예에 따른 위상 고정 루프를 구성하는 주파수 조정부(150)의 다른 예시적인 구성도이다. 도 5를 참조하면, 모드 전환부(152)는 A/D 컨버터(153), D/A 컨버터(154), 제1 스위치(1551), 제2 스위치(1552), 및 제어부(156)를 포함할 수 있다. 도 5에 도시된 실시예의 구성들 중 도 4에 도시된 실시예의 구성과 동일한 구성에 대하여는 중복되는 설명을 생략한다.

<0044> 제1 스위치(1551)는 D/A 컨버터(154)의 출력단과 고이득 발진부의 입력단(H) 사이에 연결될 수 있다. 제2 스위치(1552)는 전압조정발진기(140)의 공통 입력단과 고이득 발진부의 입력단(H) 사이에 연결될 수 있다. 제1 비교기(1531)와 카운터(1532)의 사이, 또는 A/D 컨버터(153)의 입력단과 공통 입력단의 사이에는 제3 스위치가 구비될 수 있다.

<0045> 제어부(156)는 락 모니터부(151)로부터 출력되는 락 검출 신호에 기초하여,

제1 스위치(1551)와 제2 스위치(1533) 및 제3 스위치(1552)의 온/오프 동작을 제어할 수 있다. 즉, 제어부(156)는 락 모니터부(151)로부터의 락 검출 신호에 기초하여, 제1 스위치(1551)를 오프(off)에서 온(on)으로 전환하고, 제2 스위치(1533) 및 제3 스위치(1552)를 온에서 오프로 전환함으로써, 고이득 모드로부터 저이득 모드의 전환을 수행할 수 있다.

<0046> 스위치들(1551, 1552)은 MOS 트랜지스터로 구현될 수 있다. 예를 들어, 제어부(156)는 고이득 모드에서 제1 스위치(1551)의 N-MOS 트랜지스터 게이트로 낮은 전압을 출력하여 제1 스위치(1551)를 턴 오프(Turn On) 할 수 있다. 이때, 제2 스위치(1552) 및 제3 스위치는 N-MOS 트랜지스터 게이트에 인버터(157)를 통해 높은 전압이 입력되므로 턴 온(Turn Off) 될 수 있다.

<0047> 반대로, 제어부(156)는 저이득 모드에서 제1 스위치(1551)의 N-MOS 트랜지스터 게이트로 높은 전압을 출력하여 제1 스위치(1551)를 턴 온(Turn On) 할 수 있다. 이때, 제2 스위치(1552) 및 제3 스위치는 N-MOS 트랜지스터 게이트에 인버터(157)를 통해 낮은 전압이 입력되므로 턴 오프(Turn Off) 될 수 있다. 이에 따라, 저이득 모드에서 카운터(153)로 더 이상 신호가 입력되지 않게 되므로, D/A 컨버터(154)는 주파수 락이 걸린 시점에서 저장된 디지털 신호에 기초하여 일정한 크기의 제2 조절 신호를 고이득 발진부의 입력단(H)으로 출력할 수 있다.

<0048> 본 발명의 일 실시예에 따른 듀얼 모드 위상 고정 루프용 주파수 조정회로는 락 모니터부(151), A/D 컨버터(153), D/A 컨버터(154), 및 제1 스위치(155, 1551), 락 모니터부(151)로부터 출력되는 락 검출 신호에 기초하여, 제1 스위치(155, 1551)

를 오프(off)에서 온(on)으로 전환하는 제어부(156)를 포함할 수 있다. 듀얼 모드 위상 고정 루프는 전술한 고이득 모드와 저이득 모드를 구현할 수 있는 모든 유형의 위상 고정 루프가 모두 포함될 수 있다.

<0049>

전술한 도 3 내지 도 5에 도시된 위상 고정 루프(100)의 주파수 조정부(150)에 대한 설명들은 본 발명의 실시예에 따른 듀얼 모드 위상 고정 루프용 주파수 조정회로에도 동일하게 적용될 수 있으므로, 중복되는 설명은 생략하기로 한다. 본 발명의 실시예에 따른 듀얼 모드 위상 고정 루프용 주파수 조정회로는 클럭-데이터 복원기(CDR 회로)를 포함하여 다양한 종류의 듀얼 모드 위상 고정 루프에 활용될 수 있으며, 통신 시스템, HDD/DVD, 고속 메모리 인터페이스, 고속 마이크로프로세서 등의 여러 분야에서 사용될 수 있다.

<0050>

도 6은 본 발명의 일 실시예에 따른 듀얼 모드 위상 고정 루프의 락킹 방법의 흐름도이다. 도 6을 참조하면, 본 발명의 실시예에 따른 듀얼 모드 위상 고정 루프의 락킹 방법은 고이득 발진부의 입력단과 상기 저이득 발진부의 입력단에 공통으로 입력되는 제1 조절 신호를 디지털 신호로 저장하는 단계(61), 락 검출 여부를 판단하는 단계(62) 및 락 검출로 판단되면, 고이득 발진부의 입력단에 락 검출 시 저장된 디지털 신호에 대응하는 제2 조절 신호를 입력하는 단계(63), 제1 조절 신호가 소정의 임계 범위 내에 속하는지 판단하여, 제1 조절 신호가 소정의 임계 범위를 벗어나는 것으로 판단되면 조정 신호를 출력하는 단계(64) 및 조정 신호에 따라 디지털 신호 값을 미리 설정된 값만큼 조정하고, 조정된 디지털 신호에 대응하는 제3 조절 신호를 입력하는 단계(65)를 포함한다.

<0051>

도 6에 도시된 락킹 방법은 도 3 내지 도 5에 도시된 주파수 조정부(150)의 구성들에 의해 수행될 수 있다. 단계 61 내지 단계 62는 위상 고정 루프가 고이득 모드에서 동작하는 과정에 해당하고, 단계 63 내지 단계 65는 위상 고정 루프가 저이득 모드에서 동작하는 과정에 해당한다. 고이득 모드에서는 전압조정발전기(140)의 주파수 범위가 넓기 때문에, 위상 고정 루프는 문제없이 락킹 포인트(locking point)를 찾아 주파수 락을 걸 수 있다. 단계 61 내지 단계 62에서, 모드 전환부(152)는 고이득 모드로부터 저이득 모드로의 전환시 주파수 락이 깨지는 것을 방지하기 위해, 주파수 락킹 시간 동안 전압조정발전기(140)의 고이득 발전부의 입력단(H)에 걸리는 제1 조절 신호의 아날로그 전압 값을 디지털 신호로 실시간 변환하여 저장할 수 있다.

<0052>

락 모니터부(151)에서 주파수 락을 검출하여 모드 전환부(152)로 락 검출 신호를 전송하면, 제어부(156)는 스위치들(1551, 1552)을 제어하여 저이득 모드로 전환할 수 있다. 이에 따라, 단계 63에서 제1 조절 신호 대신 락이 걸린 시점에 A/D 컨버터(153)에 저장된 디지털 신호가 D/A 컨버터(154)에 의해 아날로그 신호인 제2 조절 신호로 변환되어 고이득 발전부의 입력단(H)으로 입력될 수 있다.

<0053>

저이득 모드에서 A/D 컨버터(153)는 동작을 멈추게 되고, 주파수 락이 걸린 시점에 저장된 코드 값을 유지할 수 있다. 이에 따라, 제2 조절 신호의 아날로그 전압 값은 제1 조절 신호의 전압 값이 미리 설정된 임계 범위를 벗어나지 않는 한 변동되지 않을 수 있다. 이렇게 되면, 저이득 모드에서 고이득 발전부의 입력단(H)은 주파수 락이 걸린 시점에서 입력되던 일정한 값의 조정 전압으로 유지되고, 저

이득 발진부의 입력단(L)으로 입력되는 제1 조절 신호에 따라 저이득 발진부가 동작하게 된다.

<0054> 단계 64에서, 락 모니터부(151)는 제1 조절 신호가 소정의 임계 범위($V_L \sim V_H$) 내에 속하는지 판단한다. 만약, 주파수 락킹 후의 저이득 모드에서 전압 혹은 온도 변화, 즉 VT 변동에 의해 전압조정발진기(140)의 출력 신호의 주파수가 변화되면, 제1 조절 신호가 임계 범위를 벗어날 수 있다. 락 모니터부(151)의 제2 비교기(1511)는 제1 조절 신호가 임계 범위를 벗어나는지를 실시간으로 감시하고, 제1 조절 신호가 임계 범위를 벗어나는 경우 조정 신호를 모드 전환부(152)의 카운터(1532)로 출력할 수 있다. 이에 따라, 카운터(1532)는 A/D 컨버터(153)에 저장된 디지털 신호의 비트 값을 미리 결정된 값만큼 변화시킬 수 있으며, 그 결과 디지털 신호로부터 변환되는 제2 조절 신호의 아날로그 전압 값 역시 천천히 변화될 수 있다.

<0055> 대안적으로, 제2 비교기(1511)로부터의 조정 신호는 제어부(156)로 출력되고, 카운터(1532)는 제어부(156)로부터의 제어 신호에 따라 디지털 신호의 비트 값을 조정할 수 있다. 이때, 만약 저이득 발진부의 입력단(L)의 제1 조절 신호의 아날로그 전압 값이 V_L 미만으로 내려가면, 제어부(156)는 A/D 컨버터(153)에 저장된 디지털 신호의 비트 값을 약간 내려줄 수 있다. 이에 따라 제2 조절 신호는 약간 감소되며, 저이득 발진부의 입력단(L) 측의 아날로그 전압은 다시 올라가서 적절한 포인트에서 주파수 락킹이 유지될 수 있다.

<0056> 전술한 본 발명의 실시예에 의하면 전압조정발진기(140)의 고이득 발진부와 저이득 발진부의 주파수 락킹이 동시에 이루어지므로 AFC 시간을 줄일 수 있으며, 고이득 모드로부터 저이득 모드로의 변환시 및 주파수 락이 걸린 이후의 PVT 변동시 위상 고정 루프의 락이 깨지는 것을 방지할 수 있다. 또한, 본 발명의 실시예에 의하면 A/D 컨버터(153), D/A 컨버터(154), 제1 스위치(155)의 면적이 커패시터의 면적에 비해 훨씬 작으므로, 칩 크기(chip size)를 줄일 수 있으며, 위상 고정 루프를 소형화할 수 있다. 뿐만 아니라, 본 발명의 실시예에 의하면 아날로그 전압을 이용하여 주파수 교정을 수행할 수 있으므로, 연속적 주파수 조정이 가능하다.

<0057> 이상의 실시예들은 본 발명의 이해를 돕기 위하여 제시된 것으로, 본 발명의 범위를 제한하지 않으며, 이로부터 다양한 변형 가능한 실시예들도 본 발명의 범위에 속할 수 있음을 이해하여야 한다. 예를 들어, 본 발명의 실시예에 도시된 각 구성 요소는 분산되어 실시될 수도 있으며, 반대로 여러 개로 분산된 구성 요소들은 결합되어 실시될 수 있다. 따라서, 본 발명의 기술적 보호범위는 특허청구범위의 기술적 사상에 의해 정해져야 할 것이며, 본 발명의 기술적 보호범위는 특허청구범위의 문언적 기재 그 자체로 한정되는 것이 아니라 실질적으로는 기술적 가치가 균등한 범주의 발명에 대하여까지 미치는 것임을 이해하여야 한다.

【부호의 설명】

- | | | |
|--------|---------------|-----------------|
| <0058> | 100: 위상 고정 루프 | 110: 위상 주파수 검출기 |
| | 120: 전하 펌프 | 130: 루프 필터 |
| | 140: 전압조정발진기 | 150: 주파수 조정부 |

151: 락 모니터부

152: 모드 전환부

1531: 제1 비교기

1533: 제2 스위치

155: 스위치부

1552: 제2 스위치

160: 분주기

1511: 제2 비교기

153: A/D 컨버터

1532: 카운터

154: D/A 컨버터

1551: 제1 스위치

156: 제어부

【특허청구범위】

【청구항 1】

고이득 발진부와 저이득 발진부를 포함하는 전압조정발진기;

상기 전압조정발진기의 출력 신호에 대응하는 피드백 신호와, 기준 신호 간 주파수의 차이 값에 기초하는 제어 신호를 출력하는 위상 주파수 검출기;

상기 제어 신호에 응답하여 전압 신호를 출력하는 전하 펌프;

상기 전압 신호를 필터링하고, 필터링된 제1 조절 신호를 상기 저이득 발진부의 입력단으로 출력하는 루프 필터; 및

상기 제1 조절 신호를 디지털 신호로 저장하고, 상기 제1 조절 신호와 락 검출 시 저장된 상기 디지털 신호에 대응하는 제2 조절 신호를 락 검출 여부에 따라 선택적으로 상기 고이득 발진부의 입력단으로 출력하는 주파수 조정부를 포함하는 위상 고정 루프.

【청구항 2】

제1 항에 있어서,

상기 주파수 조정부는,

락 검출 이전까지는 상기 제1 조절 신호를 상기 고이득 발진부의 입력단으로 출력하고, 락 검출 이후에는 상기 제2 조절 신호를 상기 고이득 발진부의 입력단으로 출력함을 특징으로 하는 위상 고정 루프.

【청구항 3】

제1 항에 있어서,

상기 주파수 조정부는,

상기 위상 고정 루프의 락 검출 여부를 모니터하여 락 검출 시 락 검출 신호를 출력하는 락 모니터부; 및

상기 제1 조절 신호를 상기 디지털 신호로 저장하고, 상기 락 검출 신호에 따라 상기 제1 조절 신호와 상기 제2 조절 신호를 선택적으로 상기 고이득 발진부의 입력단으로 출력하는 모드 전환부를 포함함을 특징으로 하는 위상 고정 루프.

【청구항 4】

제3 항에 있어서,

상기 모드 전환부는,

상기 제1 조절 신호를 상기 디지털 신호로 변환하여 저장하는 A/D 컨버터;

상기 A/D 컨버터의 출력단과 연결되어, 상기 디지털 신호를 상기 제2 조절 신호로 변환하는 D/A 컨버터; 및

상기 D/A 컨버터의 출력단과 상기 고이득 발진부의 입력단의 사이에 연결되어, 상기 락 검출 신호에 따라 상기 제2 조절 신호를 선택적으로 상기 고이득 발진부의 입력단으로 출력하는 스위치부를 포함함을 특징으로 하는 위상 고정 루프.

【청구항 5】

제4 항에 있어서,

상기 모드 전환부는,

상기 락 모니터부로부터 출력되는 락 검출 신호에 기초하여, 상기 스위치부의 온(on)/오프(off) 동작을 제어하는 제어부를 더 포함함을 특징으로 하는 위상

고정 루프.

【청구항 6】

제4 항에 있어서,

상기 A/D 컨버터는,

상기 제1 조절 신호를 상기 D/A 컨버터의 출력 값과 비교하는 제1 비교기;

및

상기 비교기의 비교 결과를 카운트하여 상기 제1 조절 신호를 상기 디지털 신호로 변환하여 저장하는 카운터를 포함함을 특징으로 하는 위상 고정 루프.

【청구항 7】

제6 항에 있어서,

상기 락 모니터부는 상기 제1 조절 신호가 소정의 임계 범위 내에 속하는지 판단하여, 상기 제1 조절 신호가 상기 소정의 임계 범위를 벗어나는 것으로 판단되면 조정 신호를 출력하는 제2 비교기를 포함하고,

상기 카운터는 상기 제2 비교기로부터 출력된 상기 조정 신호에 따라 상기 디지털 신호 값을 미리 설정된 값만큼 조정함을 특징으로 하는 위상 고정 루프.

【청구항 8】

제6 항에 있어서,

상기 제1 비교기와 상기 카운터의 사이, 또는 상기 제1 비교기의 입력단에는 스위치가 구비되고, 상기 스위치는 상기 락 검출 신호에 기초하여 온(on)에서 오프(off)로 전환됨을 특징으로 하는 위상 고정 루프.

【청구항 9】

제1 항에 있어서,

상기 출력 신호는,

상기 고이득 발진부의 출력 값과 상기 저이득 발진부의 출력 값이 소정 비율로 조합된 출력 신호임을 특징으로 하는 위상 고정 루프.

【청구항 10】

제1 항에 있어서,

상기 위상 고정 루프는 상기 전압조정발진기의 출력 신호를 분주하여 출력하는 분주기를 더 포함하고, 상기 전압조정발진기의 출력 신호에 대응하는 피드백 신호는 상기 분주기에 의해 분주된 신호임을 특징으로 하는 위상 고정 루프.

【청구항 11】

제1 조절 신호로부터 락을 검출하는 락 모니터부;

상기 제1 조절 신호를 디지털 신호로 변환하여 저장하는 A/D 컨버터;

상기 A/D 컨버터의 출력단과 연결되어, 상기 디지털 신호를 제2 조절 신호로 변환하는 D/A 컨버터;

상기 D/A 컨버터의 출력단에 연결되어 상기 락 모니터부로부터의 락 검출 신호에 따라 상기 제2 조절 신호를 선택적으로 출력하는 제1 스위치를 포함하는 위상 고정 루프용 주파수 조정회로.

【청구항 12】

제11 항에 있어서,

상기 주파수 조정회로는,

상기 락 모니터부로부터의 락 검출 신호에 기초하여, 상기 제1 스위치를 오프(off)에서 온(on)으로 전환하는 제어부를 더 포함함을 특징으로 하는 위상 고정 루프용 주파수 조정회로.

【청구항 13】

제12 항에 있어서,

상기 A/D 컨버터는,

상기 제1 조절 신호를 상기 D/A 컨버터의 출력 값과 비교하는 제1 비교기;

및

상기 비교기의 비교 결과를 카운트하여 상기 제1 조절 신호를 상기 디지털 신호로 변환하여 저장하는 카운터를 포함함을 특징으로 하는 위상 고정 루프용 주파수 조정회로.

【청구항 14】

제13 항에 있어서,

상기 락 모니터부는 상기 제1 조절 신호가 소정의 임계 범위 내에 속하는지를 판단하여, 상기 제1 조절 신호가 상기 소정의 임계 범위를 벗어나는 것으로 판단되면 조절 신호를 출력하고,

상기 카운터는 상기 제2 비교기로부터 출력된 상기 조절 신호에 따라 상기 디지털 신호 값을 미리 설정된 값만큼 조정함을 특징으로 하는 위상 고정 루프용 주파수 조정회로.

【청구항 15】

제13 항에 있어서,

상기 제1 비교기와 상기 카운터의 사이, 또는 상기 제1 비교기의 입력단에는 스위치가 구비되고, 상기 스위치는 상기 락 검출 신호에 기초하여 온(on)에서 오프(off)로 전환됨을 특징으로 하는 위상 고정 루프용 주파수 조정회로.

【청구항 16】

고이득 발진부와 저이득 발진부를 포함하는 전압조정발진기를 포함하는 위상 고정 루프의 락킹 방법에 있어서,

상기 고이득 발진부의 입력단과 상기 저이득 발진부의 입력단에 공통으로 입력되는 제1 조절 신호를 디지털 신호로 저장하는 단계;

락 검출 여부를 판단하는 단계; 및

락 검출로 판단되면, 락 검출 시 저장된 상기 디지털 신호에 대응하는 제2 조절 신호를 상기 고이득 발진부의 입력단에 입력하는 단계를 포함함을 특징으로 하는 위상 고정 루프의 락킹 방법.

【청구항 17】

제16 항에 있어서,

상기 위상 고정 루프의 락킹 방법은,

상기 제1 조절 신호가 소정의 임계 범위 내에 속하는지 판단하여, 상기 제1 조절 신호가 상기 소정의 임계 범위를 벗어나는 것으로 판단되면 조절 신호를 출력하는 단계; 및

상기 조정 신호에 따라 상기 디지털 신호 값을 미리 설정된 값만큼 조정하는 단계를 더 포함하고,

상기 입력하는 단계는,

상기 조정 신호에 따라 조정된 디지털 신호에 대응하는 제3 조절 신호를 상기 고이득 발진부의 입력단에 입력함을 특징으로 하는 위상 고정 루프의 락킹 방법.

【요약서】

【요약】

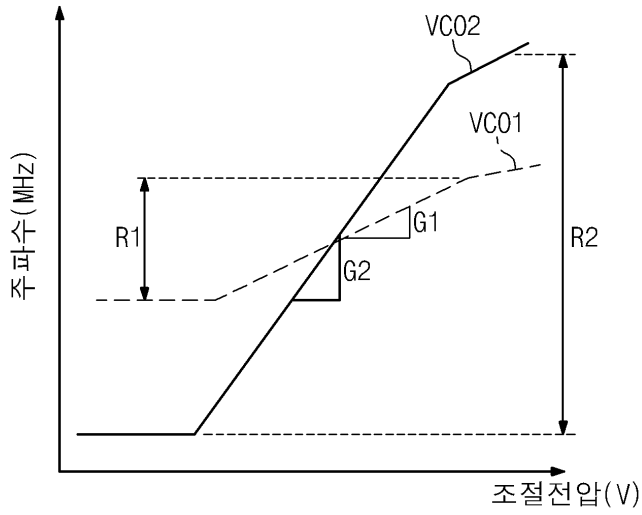
본 발명은 위상 고정 루프에 관한 것으로, 고이득 발진부와 저이득 발진부를 포함하는 전압조정발진기; 상기 전압조정발진기의 출력 신호에 대응하는 피드백 신호와, 기준 신호 간 주파수의 차이 값에 기초하는 제어 신호를 출력하는 위상 주파수 검출기; 상기 제어 신호에 응답하여 전압 신호를 출력하는 전하 펌프; 상기 전압 신호를 필터링하고, 필터링된 제1 조절 신호를 상기 저이득 발진부의 입력단으로 출력하는 루프 필터; 및 상기 제1 조절 신호를 디지털 신호로 저장하고, 상기 제1 조절 신호와 락 검출 시 저장된 상기 디지털 신호에 대응하는 제2 조절 신호를 락 검출 여부에 따라 선택적으로 상기 고이득 발진부의 입력단으로 출력하는 주파수 조정부를 포함하는 위상 고정 루프, 이의 락킹 방법, 및 위상 고정 루프용 주파수 조정회로를 개시한다.

【대표도】

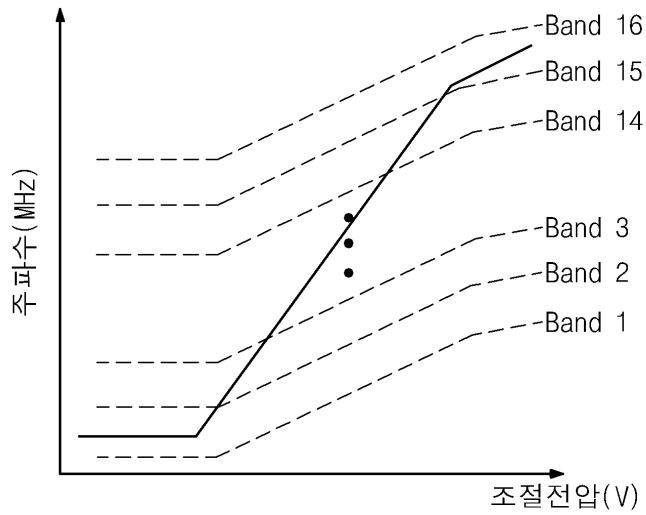
도 5

【도면】

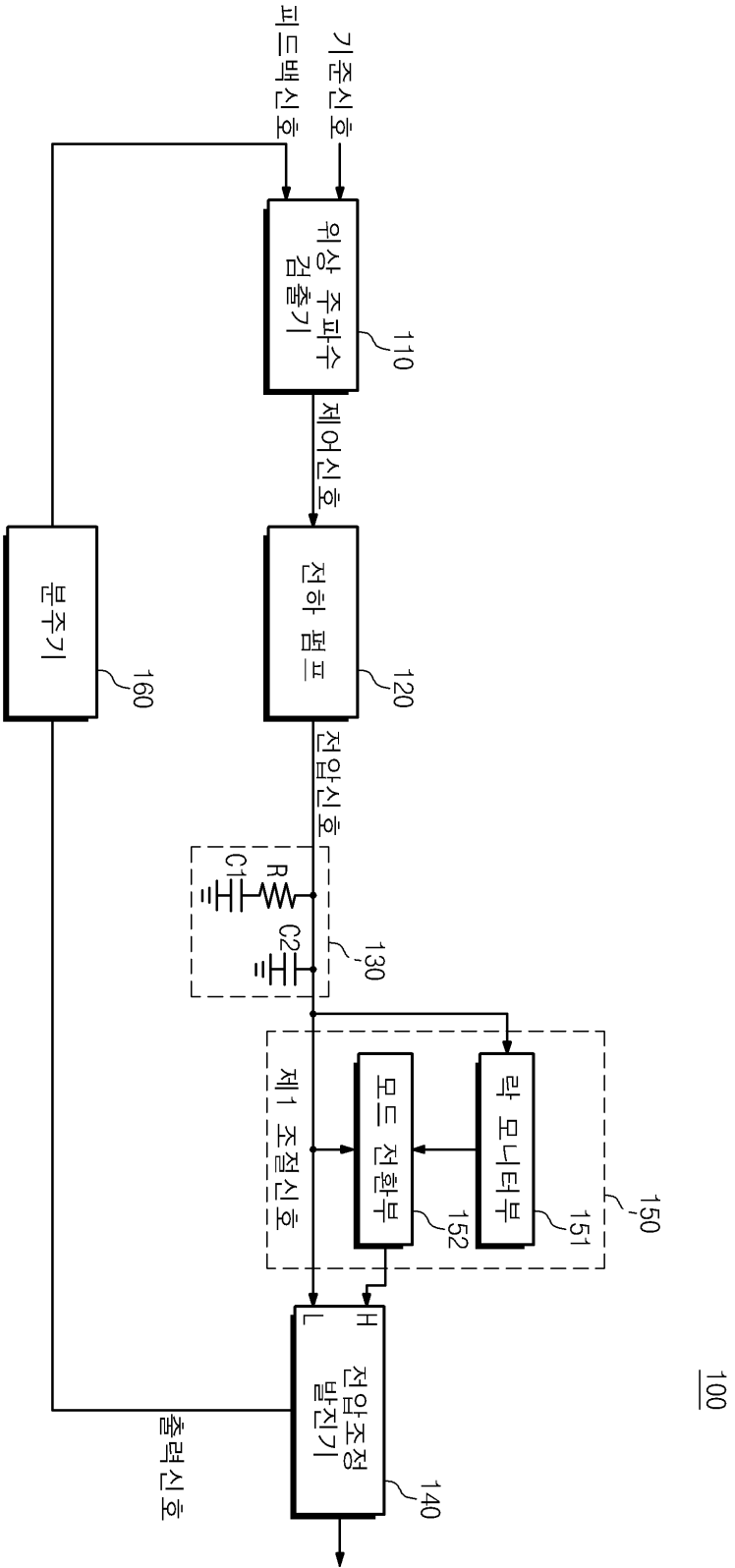
【도 1】



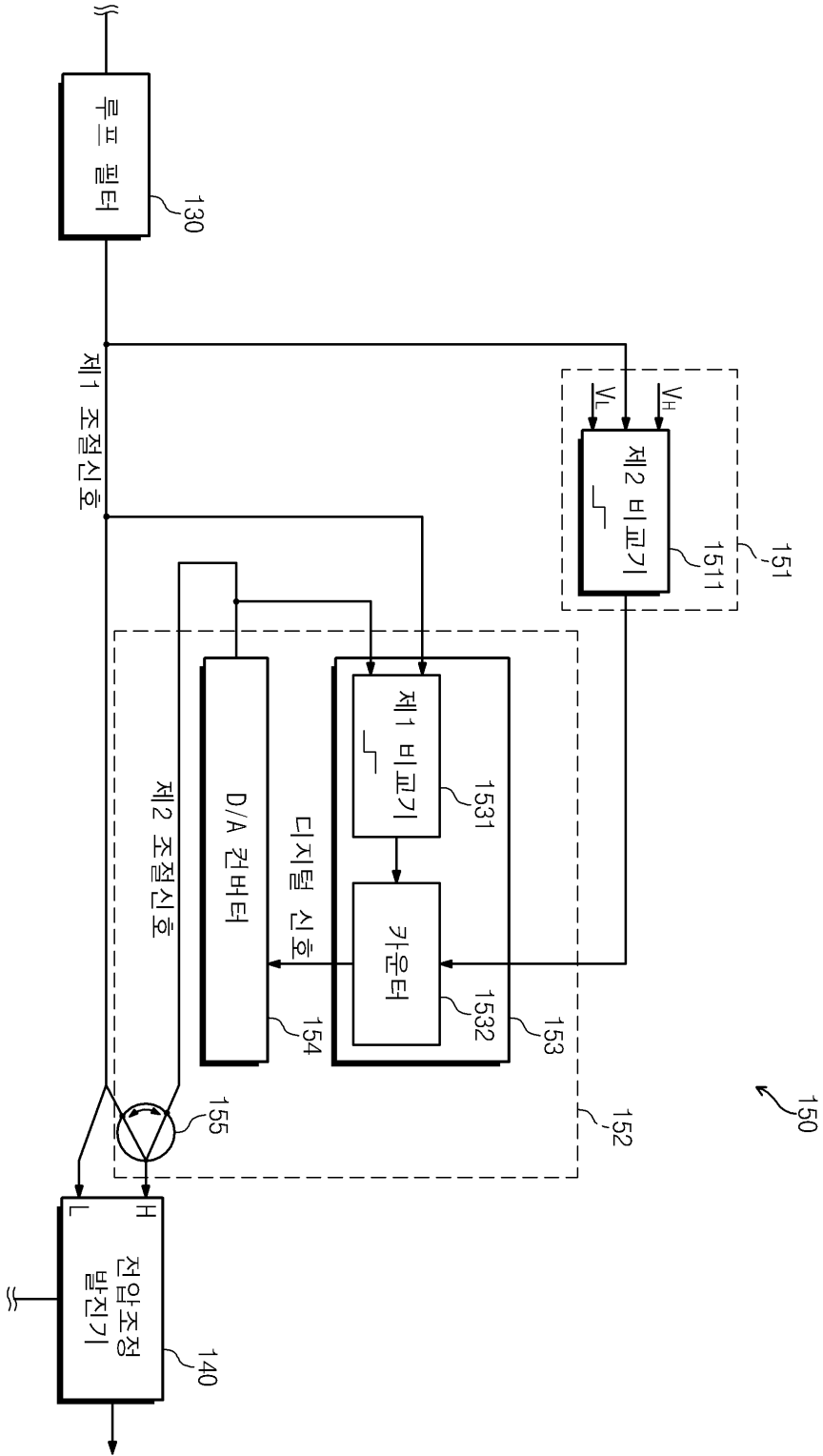
【도 2】



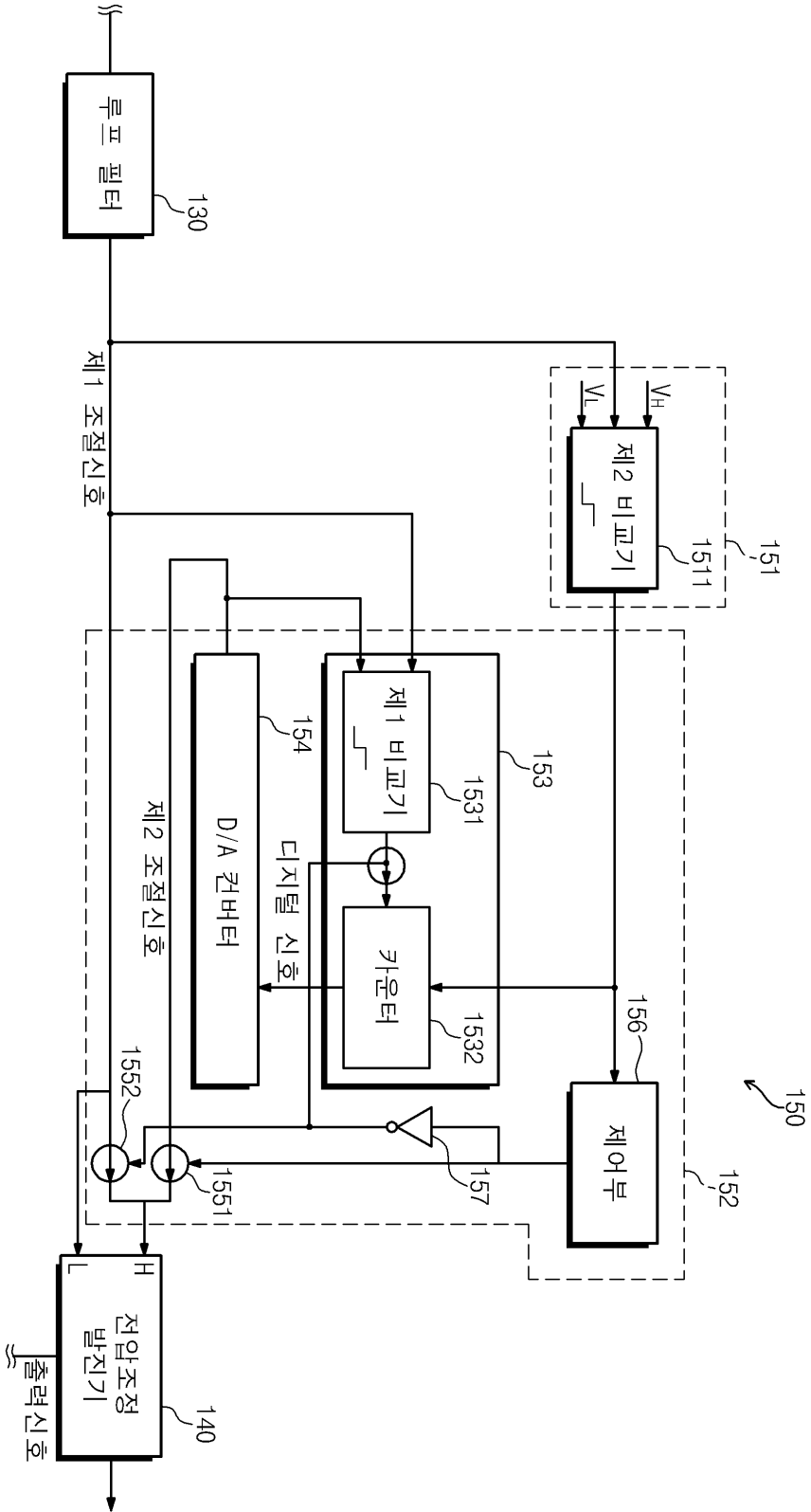
【도 3】



【도 4】



【도 5】



【도 6】

