

특허증

CERTIFICATE OF PATENT



특허

Patent Number

제 10-1542189 호

출원번호

Application Number

제 10-2014-0089741 호

출원일

Filing Date

2014년 07월 16일

등록일

Registration Date

2015년 07월 30일

발명의 명칭 Title of the Invention

전하 펌프 및 위상 동기 루프

특허권자 Patentee

연세대학교 산학협력단(274171-0*****)

서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)

발명자 Inventor

등록사항란에 기재

위의 발명은 「특허법」에 따라 특허등록원부에 등록되었음을 증명합니다.

This is to certify that, in accordance with the Patent Act, a patent for the invention has been registered at the Korean Intellectual Property Office.



2015년 07월 30일

특허청장

COMMISSIONER,

KOREAN INTELLECTUAL PROPERTY OFFICE

최동규



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년08월12일

(11) 등록번호 10-1542189

(24) 등록일자 2015년07월30일

(51) 국제특허분류(Int. Cl.)

H03L 7/093 (2006.01) H03L 7/089 (2006.01)

(21) 출원번호 10-2014-0089741

(22) 출원일자 2014년07월16일

심사청구일자 2014년07월16일

(56) 선행기술조사문헌

KR1020020057767 A

(73) 특허권자

연세대학교 산학협력단

서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)

(72) 발명자

최우영

문정욱

(74) 대리인

권혁수, 송윤호

전체 청구항 수 : 총 14 항

심사관 : 박정근

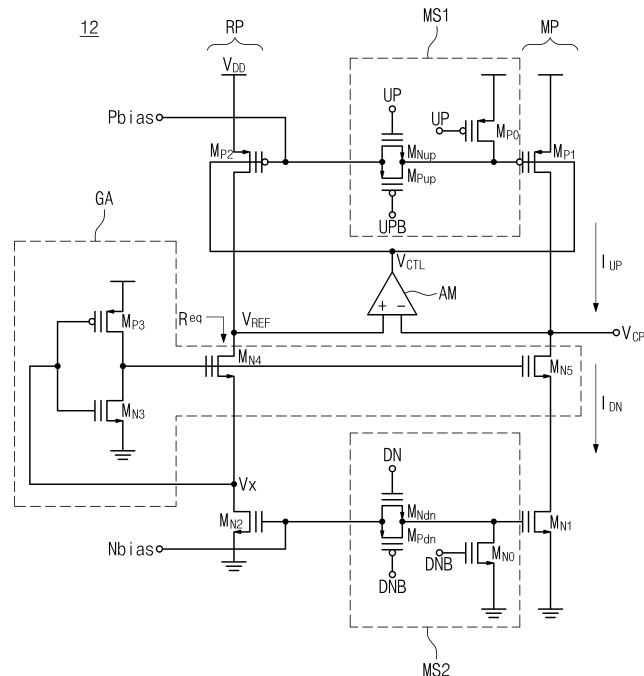
(54) 발명의 명칭 전하 펌프 및 위상 동기 루프

(57) 요약

본 발명은 전하 펌프 및 위상 동기 루프에 관한 것으로, 본 발명의 실시 예에 따른 위상 동기 루프는 입력 신호와 출력 신호에 대응하는 피드백 신호의 위상과 주파수를 검출하여 풀업(pull-up) 신호 또는 풀다운(pull-down) 신호를 출력하는 위상 주파수 검출기, 풀업 신호 또는 풀다운 신호에 대응하여 제어 전압을 출력하는 전하 펌프,

(뒷면에 계속)

대표도 - 도2



제어 전압의 고주파 성분을 제거하는 루프 필터, 및 루프 필터로부터의 제어 신호에 따라 가변적인 주파수를 갖는 출력 신호를 생성하는 전원 제어 발진기를 포함하며, 전하 펌프는, 제1 바이어스 신호에 따라 동작하는 제1 구동 트랜지스터; 제2 바이어스 신호에 따라 동작하는 제2 구동 트랜지스터; 풀업 및 풀다운 신호에 따라 제1 구동 트랜지스터 및 제2 구동 트랜지스터의 게이트에 제1 바이어스 신호 및 제2 바이어스 신호를 인가하는 스위칭 트랜지스터부; 및 제1 구동 트랜지스터와 제2 구동 트랜지스터의 드레인 사이의 전압과 기준 전압 간의 차이 값을 증폭시킨 제어 신호를 출력하여 제1 구동 트랜지스터의 바디로 입력하는 연산증폭기를 포함한다.

명세서

청구범위

청구항 1

제1 바이어스 신호에 따라 동작하는 제1 구동 트랜지스터;

제2 바이어스 신호에 따라 동작하는 제2 구동 트랜지스터;

풀업 및 풀다운 신호에 따라 상기 제1 구동 트랜지스터 및 상기 제2 구동 트랜지스터의 게이트에 상기 제1 바이어스 신호 및 상기 제2 바이어스 신호를 인가하는 스위칭 트랜지스터부;

상기 제1 바이어스 신호가 게이트에 인가되는 제1 기준 트랜지스터;

상기 제2 바이어스 신호가 게이트에 인가되고, 상기 제1 기준 트랜지스터 간에 드레인이 전기신호적으로 연결되는 제2 기준 트랜지스터; 및

상기 제1 구동 트랜지스터와 상기 제2 구동 트랜지스터의 드레인 사이의 전압과 기준 전압 간의 차이 값을 증폭시킨 제어 신호를 출력하여 상기 제1 구동 트랜지스터의 바디로 입력하는 연산증폭기를 포함하며, 상기 연산증폭기로부터 출력된 상기 제어 신호는 상기 제1 기준 트랜지스터의 바디로 입력되는 전하 펌프.

청구항 2

제1 항에 있어서,

상기 스위칭 트랜지스터부는,

상기 풀업 신호에 따라 상기 제1 구동 트랜지스터의 게이트에 상기 제1 바이어스 신호를 인가하는 제1 스위칭 트랜지스터부; 및

상기 풀다운 신호에 따라 상기 제2 구동 트랜지스터의 게이트에 상기 제2 바이어스 신호를 인가하는 제2 스위칭 트랜지스터부를 포함하는 전하 펌프.

청구항 3

삭제

청구항 4

제2 항에 있어서,

상기 제1 스위칭 트랜지스터부는,

상기 제1 기준 트랜지스터의 게이트와 상기 제1 구동 트랜지스터의 게이트 사이에 연결되고, 게이트를 통해 상기 풀업 신호가 인가되는 제1 전송게이트; 및

상기 제1 전송게이트와 상기 제1 구동 트랜지스터의 게이트 사이에 드레인이 연결되고, 게이트를 통해 상기 풀업 신호가 인가되는 제1 스위칭 트랜지스터를 포함하며,

상기 제2 스위칭 트랜지스터부는,

상기 제2 기준 트랜지스터의 게이트와 상기 제2 구동 트랜지스터의 게이트 사이에 연결되고, 게이트를 통해 상기 풀다운 신호가 인가되는 제2 전송게이트; 및

상기 제2 전송게이트와 상기 제2 구동 트랜지스터의 게이트 사이에 드레인이 연결되고, 게이트를 통해 상기 풀다운 신호가 인가되는 제2 스위칭 트랜지스터를 포함하는 전하 펌프.

청구항 5

제2 항에 있어서,

상기 기준 전압은 상기 제1 기준 트랜지스터의 드레인 전압인 전하 펌프.

청구항 6

삭제

청구항 7

제1 바이어스 신호에 따라 동작하는 제1 구동 트랜지스터;

제2 바이어스 신호에 따라 동작하는 제2 구동 트랜지스터;

풀업 및 풀다운 신호에 따라 상기 제1 구동 트랜지스터 및 상기 제2 구동 트랜지스터의 게이트에 상기 제1 바이어스 신호 및 상기 제2 바이어스 신호를 인가하는 스위칭 트랜지스터부;

상기 제1 구동 트랜지스터와 상기 제2 구동 트랜지스터의 드레인 사이의 전압과 기준 전압 간의 차이 값을 증폭시킨 제어 신호를 출력하여 상기 제1 구동 트랜지스터의 바디로 입력하는 연산증폭기;

상기 제1 바이어스 신호가 게이트에 인가되는 제1 기준 트랜지스터; 및

상기 제2 바이어스 신호가 게이트에 인가되고, 상기 제1 기준 트랜지스터 간에 드레인이 전기신호적으로 연결되는 제2 기준 트랜지스터;

상기 제1 구동 트랜지스터와 상기 제2 구동 트랜지스터 사이 및 상기 제1 기준 트랜지스터와 상기 제2 기준 트랜지스터 사이에 형성되는 이득증폭부를 포함하며,

상기 스위칭 트랜지스터부는,

상기 풀업 신호에 따라 상기 제1 구동 트랜지스터의 게이트에 상기 제1 바이어스 신호를 인가하는 제1 스위칭 트랜지스터부; 및

상기 풀다운 신호에 따라 상기 제2 구동 트랜지스터의 게이트에 상기 제2 바이어스 신호를 인가하는 제2 스위칭 트랜지스터부를 포함하는 전하 펌프.

청구항 8

제7 항에 있어서,

상기 이득증폭부는,

상기 제1 기준 트랜지스터 및 상기 제2 기준 트랜지스터 사이에 연결되는 제1 nMOS 트랜지스터;

상기 제1 구동 트랜지스터 및 상기 제2 구동 트랜지스터 사이에 연결되는 제2 nMOS 트랜지스터; 및

상기 제2 기준 트랜지스터의 드레인 신호를 반전하여 상기 제1 nMOS 트랜지스터 및 상기 제2 nMOS 트랜지스터의 게이트에 인가하는 인버터를 포함하는 전하 펌프.

청구항 9

제7 항에 있어서,

상기 이득증폭부는,

상기 제1 기준 트랜지스터 및 상기 제2 기준 트랜지스터 사이에 연결되는 제1 nMOS 트랜지스터;

상기 제1 구동 트랜지스터 및 상기 제2 구동 트랜지스터 사이에 연결되는 제2 nMOS 트랜지스터; 및

기준전류를 생성하는 기준전류회로;

상기 기준전류가 게이트를 통해 인가되는 제1 트랜지스터; 및

상기 제1 트랜지스터에 드레인이 연결되고, 게이트를 통해 상기 제2 기준 트랜지스터의 드레인 신호가 인가되는 제2 트랜지스터를 포함하는 전하 펌프.

청구항 10

입력 신호와 출력 신호에 대응하는 피드백 신호의 위상과 주파수를 검출하여 풀업(pull-up) 신호 또는 풀다운(pull-down) 신호를 출력하는 위상 주파수 검출기, 상기 풀업 신호 또는 상기 풀다운 신호에 대응하여 제어 전압을 출력하는 전하 펌프, 상기 제어 전압의 고주파 성분을 제거하는 루프 필터, 및 상기 루프 필터로부터의 제어 신호에 따라 가변적인 주파수를 갖는 상기 출력 신호를 생성하는 전원 제어 발진기를 포함하는 위상 동기 루프로서,

상기 전하 펌프는,

제1 바이어스 신호에 따라 동작하는 제1 구동 트랜지스터;

제2 바이어스 신호에 따라 동작하는 제2 구동 트랜지스터;

풀업 및 풀다운 신호에 따라 상기 제1 구동 트랜지스터 및 상기 제2 구동 트랜지스터의 게이트에 상기 제1 바이어스 신호 및 상기 제2 바이어스 신호를 인가하는 스위칭 트랜지스터부;

상기 제1 구동 트랜지스터와 상기 제2 구동 트랜지스터의 드레인 사이의 전압과 기준 전압 간의 차이 값을 증폭시킨 제어 신호를 출력하여 상기 제1 구동 트랜지스터의 바디로 입력하는 연산증폭기;

상기 제1 바이어스 신호가 게이트에 인가되는 제1 기준 트랜지스터; 및

상기 제2 바이어스 신호가 게이트에 인가되고, 상기 제1 기준 트랜지스터와 드레인이 전기신호적으로 연결되는 제2 기준 트랜지스터를 포함하고,

상기 연산증폭기로부터 출력된 상기 제어 신호는 상기 제1 기준 트랜지스터의 바디로 입력되는 위상 동기 루프.

청구항 11

제10 항에 있어서,

상기 스위칭 트랜지스터부는,

상기 풀업 신호에 따라 상기 제1 구동 트랜지스터의 게이트에 상기 제1 바이어스 신호를 인가하는 제1 스위칭 트랜지스터부; 및

상기 풀다운 신호에 따라 상기 제2 구동 트랜지스터의 게이트에 상기 제2 바이어스 신호를 인가하는 제2 스위칭 트랜지스터부를 포함하는 위상 동기 루프.

청구항 12

삭제

청구항 13

제11 항에 있어서,

상기 제1 스위칭 트랜지스터부는,

상기 제1 기준 트랜지스터의 게이트와 상기 제1 구동 트랜지스터의 게이트 사이에 연결되고, 게이트를 통해 상기 풀업 신호가 인가되는 제1 전송게이트; 및

상기 제1 전송게이트와 상기 제1 구동 트랜지스터의 게이트 사이에 드레인이 연결되고, 게이트를 통해 상기 풀업 신호가 인가되는 제1 스위칭 트랜지스터를 포함하며,

상기 제2 스위칭 트랜지스터부는,

상기 제2 기준 트랜지스터의 게이트와 상기 제2 구동 트랜지스터의 게이트 사이에 연결되고, 게이트를 통해 상기 풀다운 신호가 인가되는 제2 전송게이트; 및

상기 제2 전송게이트와 상기 제2 구동 트랜지스터의 게이트 사이에 드레인이 연결되고, 게이트를 통해 상기 풀다운 신호가 인가되는 제2 스위칭 트랜지스터를 포함하는 위상 동기 루프.

청구항 14

삭제

청구항 15

제10 항에 있어서,

상기 기준 전압은 상기 제1 기준 트랜지스터의 드레인 전압인 위상 동기 루프.

청구항 16

입력 신호와 출력 신호에 대응하는 피드백 신호의 위상과 주파수를 검출하여 풀업(pull-up) 신호 또는 풀다운(pull-down) 신호를 출력하는 위상 주파수 검출기, 상기 풀업 신호 또는 상기 풀다운 신호에 대응하여 제어 전압을 출력하는 전하 펌프, 상기 제어 전압의 고주파 성분을 제거하는 루프 필터, 및 상기 루프 필터로부터의 제어 신호에 따라 가변적인 주파수를 갖는 상기 출력 신호를 생성하는 전원 제어 발진기를 포함하는 위상 동기 루프로서,

상기 전하 펌프는,

제1 바이어스 신호에 따라 동작하는 제1 구동 트랜지스터;

제2 바이어스 신호에 따라 동작하는 제2 구동 트랜지스터;

풀업 및 풀다운 신호에 따라 상기 제1 구동 트랜지스터 및 상기 제2 구동 트랜지스터의 게이트에 상기 제1 바이어스 신호 및 상기 제2 바이어스 신호를 인가하는 스위칭 트랜지스터부; 및

상기 제1 구동 트랜지스터와 상기 제2 구동 트랜지스터의 드레인 사이의 전압과 기준 전압 간의 차이 값을 증폭시킨 제어 신호를 출력하여 상기 제1 구동 트랜지스터의 바디로 입력하는 연산증폭기;

상기 제1 바이어스 신호가 게이트에 인가되는 제1 기준 트랜지스터;

상기 제2 바이어스 신호가 게이트에 인가되고, 상기 제1 기준 트랜지스터와 드레인이 전기신호적으로 연결되는 제2 기준 트랜지스터;

상기 제1 구동 트랜지스터와 상기 제2 구동 트랜지스터 사이 및 상기 제1 기준 트랜지스터와 상기 제2 기준 트랜지스터 사이에 형성되는 이득증폭부를 포함하며,

상기 스위칭 트랜지스터부는,

상기 풀업 신호에 따라 상기 제1 구동 트랜지스터의 게이트에 상기 제1 바이어스 신호를 인가하는 제1 스위칭 트랜지스터부; 및

상기 풀다운 신호에 따라 상기 제2 구동 트랜지스터의 게이트에 상기 제2 바이어스 신호를 인가하는 제2 스위칭 트랜지스터부를 포함하는 위상 동기 루프.

청구항 17

제16 항에 있어서,

상기 이득증폭부는,

상기 제1 기준 트랜지스터 및 상기 제2 기준 트랜지스터 사이에 연결되는 제1 nMOS 트랜지스터;

상기 제1 구동 트랜지스터 및 상기 제2 구동 트랜지스터 사이에 연결되는 제2 nMOS 트랜지스터; 및

상기 제2 기준 트랜지스터의 드레인 신호를 반전하여 상기 제1 nMOS 트랜지스터 및 상기 제2 nMOS 트랜지스터의 게이트에 인가하는 인버터를 포함하는 위상 동기 루프.

청구항 18

제16 항에 있어서,

상기 이득증폭부는,

상기 제1 기준 트랜지스터 및 상기 제2 기준 트랜지스터 사이에 연결되는 제1 nMOS 트랜지스터;

상기 제1 구동 트랜지스터 및 상기 제2 구동 트랜지스터 사이에 연결되는 제2 nMOS 트랜지스터; 및

기준전류를 생성하는 기준전류회로;

상기 기준전류가 게이트를 통해 인가되는 제1 트랜지스터; 및

상기 제1 트랜지스터에 드레인이 연결되고, 게이트를 통해 상기 제2 기준 트랜지스터의 드레인 신호가 인가되는 제2 트랜지스터를 포함하는 위상 동기 루프.

발명의 설명

기술분야

[0001] 본 발명은 전하 펌프(charge pump) 및 위상 동기 루프(phase-locked loop)에 관한 것이다.

배경기술

[0002] 위상 동기 루프(PLL, Phase-Locked Loop)는 유무선 통신시스템에서 필수적인 회로로서, 부궤환 회로에 의해 기준신호의 주파수와 동일하거나 체배된 주파수를 안정적으로 얻기 위해 사용된다. 전하 펌프를 구비한 위상 동기 루프의 경우, 루프가 고정되어 있을 때 고정된 일정한 주파수를 발진하게 된다. 하지만, 전하 펌프의 전류 부정합, 기생전류의 부정합, 그리고 전하 공유 등의 비이상적인 특성들 때문에 전압 제어 발진기(VCO, Voltage Control Oscillator)의 제어 전압인 루프 필터(loop filter) 전압에 기준 주파수 주기마다 리플(ripple)이 발생한다. 이 리플의 크기는 전하 펌프의 전류 부정합에 비례하여 나타나며, 이는 위상 동기 루프에서 정적 위상 오차(static phase offset)을 발생시키고, 기준 스퍼(spur)의 크기를 증가시키게 된다.

[0003] 일반적으로, 전하 펌프의 비이상적 특성들 중 전류 부정합을 줄이기 위하여, 연산증폭기(OPAMP)를 사용한 부궤환 루프를 이용한 보상법과, 출력 저항을 높일 수 있도록 이득 증폭을 사용하는 방법이 있다. 하지만, 연산증폭기를 사용하는 방법의 경우, 전류 부정합은 작게 줄여주지만, 전하 펌프의 출력 전압 레벨에 따른 전류 변화는 여전히 크게 존재한다. 이에 반해, 출력 저항을 높이는 이득 증폭을 사용하는 방법의 경우, 출력 전압 레벨에 따른 전류 변화는 줄여주지만, 프로세스, 전압, 온도 변화(PVT(process,voltage,temperature) variation)에 따라 전류 부정합이 크게 변하게 된다.

[0004] 한편, 최근에 들어 이동 기기의 발달로 인해 저전력 회로에 대한 요구가 커지고 있으며, 사용 전압은 점점 낮아지고 있다. 위상 동기 루프 또한 저전력 동작이 필수불가결하게 되었다. 가장 효과적인 저전력 구현 방법 중 하나는 회로에 사용되는 전압을 낮추는 것이다. 이에 따라, 공급 전압을 0.5(V) 이하로 사용하는 초저전압(ultra-low voltage) 위상 동기 루프에 대한 연구가 진행되고 있다.

[0005] 그런데, 기존의 4단 이상의 트랜지스터를 쌓는 방법은 0.5(V) 이하의 초저전압 동작전압 조건 하에서 전압 헤드룸의 문제를 일으키고, 출력 동작 범위에도 제한을 주기 때문에 더 이상 사용되기 어렵다. 기존의 부궤환 루프를 이용하는 전하 펌프는 스위치 역할을 하는 트랜지스터와, 기준 전류를 흘려주기 위한 바이오스 트랜지스터가 캐스코드(cascode) 형태로 쌓인 구조를 가지며, 각 트랜지스터의 문턱 전압(threshold voltage)의 제한으로 인하여, 0.5(V) 이하의 초저전압에서 사용하기 어려운 구조이다.

선행기술문헌

특허문헌

(특허문헌 0001) 한국 공개특허공보 제10-2002-0057767호(2002.07.12.공개)

발명의 내용

해결하려는 과제

[0006] 본 발명은 초저전압의 동작 전압에서 전하 펌프의 전류 정합을 구현할 수 있는 전하 펌프 및 이를 구비한 위상 동기 루프를 제공하는 것을 목적으로 한다.

[0007] 본 발명이 해결하고자 하는 다른 과제는 전류 변동성을 줄이고, 위상 동기 루프에서 기준 스퍼를 제거하며, 복잡한 회로 구성이나 추가적인 전류 소모 없이 전하 펌프 출력의 변화에 대해 일정한 전류량을 갖도록 할 수 있

는 전하 펌프 및 위상 동기 루프를 제공하는 것에 있다.

[0008] 본 발명이 해결하고자 하는 과제는 이상에서 언급된 과제로 제한되지 않는다. 언급되지 않은 다른 기술적 과제들은 이하의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0009] 본 발명의 일 측면에 따른 전하 펌프는 제1 바이어스 신호에 따라 동작하는 제1 구동 트랜지스터; 제2 바이어스 신호에 따라 동작하는 제2 구동 트랜지스터; 풀업 및 풀다운 신호에 따라 상기 제1 구동 트랜지스터 및 상기 제2 구동 트랜지스터의 게이트에 상기 제1 바이어스 신호 및 상기 제2 바이어스 신호를 인가하는 스위칭 트랜지스터부; 및 상기 제1 구동 트랜지스터와 상기 제2 구동 트랜지스터의 드레인 사이의 전압과 기준 전압 간의 차이 값을 증폭시킨 제어 신호를 출력하여 상기 제1 구동 트랜지스터의 바디로 입력하는 연산증폭기를 포함한다.

[0010] 본 발명의 일 실시 예에서, 상기 스위칭 트랜지스터부는, 상기 풀업 신호에 따라 상기 제1 구동 트랜지스터의 게이트에 상기 제1 바이어스 신호를 인가하는 제1 스위칭 트랜지스터부; 및 상기 풀다운 신호에 따라 상기 제2 구동 트랜지스터의 게이트에 상기 제2 바이어스 신호를 인가하는 제2 스위칭 트랜지스터부를 포함할 수 있다.

[0011] 본 발명의 일 실시 예에서, 상기 전하 펌프는, 상기 제1 바이어스 신호가 게이트에 인가되는 제1 기준 트랜지스터; 및 상기 제2 바이어스 신호가 게이트에 인가되고, 상기 제1 기준 트랜지스터와 드레인이 전기신호적으로 연결되는 제2 기준 트랜지스터를 더 포함할 수 있다.

[0012] 본 발명의 일 실시 예에서, 상기 제1 스위칭 트랜지스터부는, 상기 제1 기준 트랜지스터의 게이트와 상기 제1 구동 트랜지스터의 게이트 사이에 연결되고, 게이트를 통해 상기 풀업 신호가 인가되는 제1 전송게이트; 및 상기 제1 전송게이트와 상기 제1 구동 트랜지스터의 게이트 사이에 드레인이 연결되고, 게이트를 통해 상기 풀업 신호가 인가되는 제1 스위칭 트랜지스터를 포함하며, 상기 제2 스위칭 트랜지스터부는, 상기 제2 기준 트랜지스터의 게이트와 상기 제2 구동 트랜지스터의 게이트 사이에 연결되고, 게이트를 통해 상기 풀다운 신호가 인가되는 제2 전송게이트; 및 상기 제2 전송게이트와 상기 제2 구동 트랜지스터의 게이트 사이에 드레인이 연결되고, 게이트를 통해 상기 풀다운 신호가 인가되는 제2 스위칭 트랜지스터를 포함할 수 있다.

[0013] 본 발명의 일 실시 예에서, 상기 연산증폭기로부터 출력된 상기 제어 신호는 상기 제1 기준 트랜지스터의 바디로 입력될 수 있다.

[0014] 본 발명의 일 실시 예에서, 상기 기준 전압은 상기 제1 기준 트랜지스터의 드레인 전압일 수 있다.

[0015] 본 발명의 일 실시 예에서, 상기 전하 펌프는 상기 제1 구동 트랜지스터와 상기 제2 구동 트랜지스터 사이 및 상기 제1 기준 트랜지스터와 상기 제2 기준 트랜지스터 사이에 형성되는 이득증폭부를 더 포함할 수 있다.

[0016] 본 발명의 일 실시 예에서, 상기 이득증폭부는, 상기 제1 기준 트랜지스터 및 상기 제2 기준 트랜지스터 사이에 연결되는 제1 nMOS 트랜지스터; 상기 제1 구동 트랜지스터 및 상기 제2 구동 트랜지스터 사이에 연결되는 제2 nMOS 트랜지스터; 및 상기 제2 기준 트랜지스터의 드레인 신호를 반전하여 상기 제1 nMOS 트랜지스터 및 상기 제2 nMOS 트랜지스터의 게이트에 인가하는 인버터를 포함할 수 있다.

[0017] 본 발명의 일 실시 예에서, 상기 이득증폭부는, 상기 제1 기준 트랜지스터 및 상기 제2 기준 트랜지스터 사이에 연결되는 제1 nMOS 트랜지스터; 상기 제1 구동 트랜지스터 및 상기 제2 구동 트랜지스터 사이에 연결되는 제2 nMOS 트랜지스터; 및 기준전류를 생성하는 기준전류회로; 상기 기준전류가 게이트를 통해 인가되는 제1 트랜지스터; 및 상기 제1 트랜지스터에 드레인이 연결되고, 게이트를 통해 상기 제2 기준 트랜지스터의 드레인 신호가 인가되는 제2 트랜지스터를 포함할 수 있다.

[0018] 본 발명의 다른 일 측면에 따르면, 입력 신호와 출력 신호에 대응하는 피드백 신호의 위상과 주파수를 검출하여 풀업(pull-up) 신호 또는 풀다운(pull-down) 신호를 출력하는 위상 주파수 검출기, 상기 풀업 신호 또는 상기 풀다운 신호에 대응하여 제어 전압을 출력하는 전하 펌프, 상기 제어 전압의 고주파 성분을 제거하는 루프 필터, 및 상기 루프 필터로부터의 제어 신호에 따라 가변적인 주파수를 갖는 상기 출력 신호를 생성하는 전원 제어 발진기를 포함하는 위상 동기 루프로서, 상기 전하 펌프는, 제1 바이어스 신호에 따라 동작하는 제1 구동 트랜지스터; 제2 바이어스 신호에 따라 동작하는 제2 구동 트랜지스터; 풀업 및 풀다운 신호에 따라 상기 제1 구동 트랜지스터 및 상기 제2 구동 트랜지스터의 게이트에 상기 제1 바이어스 신호 및 상기 제2 바이어스 신호를 인가하는 스위칭 트랜지스터부; 및 상기 제1 구동 트랜지스터와 상기 제2 구동 트랜지스터의 드레인 사이의

전압과 기준 전압 간의 차이 값을 증폭시킨 제어 신호를 출력하여 상기 제1 구동 트랜지스터의 바디로 입력하는 연산증폭기를 포함하는 위상 동기 루프가 제공된다.

발명의 효과

- [0019] 본 발명의 실시 예에 의하면, 초저전압의 동작 전압에서 전하 펌프의 전류 정합을 구현할 수 있으며, 전하 펌프의 전류 변동성을 줄일 수 있다.
- [0020] 또한, 본 발명의 실시 예에 의하면, 위상 동기 루프에서 기준 스퍼를 제거할 수 있으며, 복잡한 회로 구성이나 추가적인 전류 소모 없이 전하 펌프 출력의 변화에 대해 일정한 전류량을 갖도록 할 수 있다.
- [0021] 본 발명의 효과는 상술한 효과들로 제한되지 않는다. 언급되지 않은 효과들은 본 명세서 및 첨부된 도면으로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확히 이해될 수 있을 것이다.

도면의 간단한 설명

- [0022] 도 1은 본 발명의 일 실시 예에 따른 위상 고정 루프의 구성도이다.
- 도 2는 본 발명의 일 실시 예에 따른 전하 펌프의 구성도이다.
- 도 3은 본 발명의 다른 일 실시 예에 따른 전하 펌프의 구성도이다.

발명을 실시하기 위한 구체적인 내용

- [0023] 본 발명의 다른 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술하는 실시 예를 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시 예에 한정되지 않으며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 만일 정의되지 않더라도, 여기서 사용되는 모든 용어들(기술 혹은 과학 용어들을 포함)은 이 발명이 속한 종래 기술에서 보편적 기술에 의해 일반적으로 수용되는 것과 동일한 의미를 갖는다. 공지된 구성에 대한 일반적인 설명은 본 발명의 요지를 흐리지 않기 위해 생략될 수 있다. 본 발명의 도면에서 동일하거나 상응하는 구성에 대하여는 가급적 동일한 도면부호가 사용된다.
- [0024] 본 발명의 실시 예에 따른 전하 펌프(charge pump)는 연산증폭기(operational amplifier)의 출력 신호를 구동 트랜지스터의 바디(body)에 인가하여 전류 매칭을 구현한다. 본 발명의 실시 예에 따른 전하 펌프는 위상 동기 루프(phase locked loop)에 사용되기에 적합한 전류 정합 특성을 가지며, 전류 변화에 둔감한 특성을 갖는다. 본 발명의 실시 예에 의하면, 초저전압(예를 들어, 0.5V 이하)의 동작 전압에서 동작하는 위상 동기 루프에서 기준 스퍼(reference spur)를 감소시킬 수 있으며, 출력 전압 레벨에 따른 전류 부정합을 줄일 수 있다.
- [0025] 도 1은 본 발명의 일 실시 예에 따른 위상 고정 루프의 구성도이다. 도 1을 참조하면, 본 발명의 일 실시 예에 따른 위상 고정 루프(10)는 위상 주파수 검출기(11), 전하 펌프(12), 루프 필터(13), 전원 제어 발진기(14) 및 주파수 분배기(15)를 포함한다. 위상 고정 루프(10)는 기준 신호(f_{ref})에 동기된 출력 신호(f_{osc})를 생성한다.
- [0026] 위상 주파수 검출기(11)는 입력 신호인 기준 신호(f_{ref})와, 전원 제어 발진기(14)의 출력 신호에 대응하는 피드백 신호(f_{fb})의 위상과 주파수를 검출하고, 기준 신호(f_{ref})와 피드백 신호(f_{fb}) 간의 비교 결과에 따라 폴업(pull-up) 신호(UP) 또는 폴다운(pull-down) 신호(DN)를 출력한다. 기준 신호(f_{ref})는 기준 주파수를 갖는 신호일 수 있다. 피드백 신호(f_{fb})는 전원 제어 발진기(14)의 출력 신호로부터 주파수 분배기(15)에 의해 주파수 분배된(분주된) 신호일 수 있다.
- [0027] 예를 들어, 위상 주파수 검출기(11)는 기준 신호(f_{ref})의 위상이 피드백 신호(f_{fb})보다 느리면 폴업 신호(UP)를 출력하고, 기준 신호(f_{ref})의 위상이 피드백 신호(f_{fb})보다 빠르면 폴다운 신호(DN)를 출력할 수 있다. 위상 주파수 검출기(11)에서 출력된 폴업 신호(UP) 또는 폴다운 신호(DN)는 전하 펌프(12)로 입력된다.
- [0028] 전하 펌프(12)는 위상 주파수 검출기(11)로부터 출력되는 폴업 신호(UP) 또는 폴다운 신호(DN)를 입력받고, 폴업 신호(UP) 또는 폴다운 신호(DN)에 대응하여 제어 신호(V_{ctrl})를 출력한다. 예를 들어, 전하 펌프(12)는 위상 주파수 검출기(11)로부터 폴업 신호(UP)가 입력되면 상대적으로 높은 전압의 제어 신호(V_{ctrl})를 출력하고, 위상 주파수 검출기(11)로부터 폴다운 신호(DN)가 입력되면 상대적으로 낮은 전압의 제어 신호(V_{ctrl})를 출력한다. 전

하 펌프(12)에 대하여는 이후 도 2를 참조하여 보다 구체적으로 설명한다.

- [0029] 루프 필터(13)는 전하 펌프(12)로부터 출력된 제어 신호(V_{ctrl})에서 고주파 성분을 제거한다. 일 실시 예로, 루프 필터(13)는 적어도 하나의 커패시터(capacitor)(C_1, C_2)와 저항소자(R_1)를 포함할 수 있다. 루프 필터(13)는 연산증폭기를 구비한 능동 루프 필터와 수동소자만으로 이루어진 수동 루프 필터 모두 사용될 수 있다. 루프 필터(13)는 도 1에 도시된 구조로 제한되지 않으며, 도시되지 않은 다양한 구조로 제공될 수 있다. 루프 필터(13)에 의해 고주파 성분이 제거된 제어 신호(V_{ctrl})는 전원 제어 발진기(14)로 입력된다.
- [0030] 전원 제어 발진기(14)는 루프 필터(13)로부터의 제어 신호에 따라 가변적인 주파수를 갖는 출력 신호(f_{osc})를 생성한다. 전원 제어 발진기(14)는 예를 들어, 전압 제어 발진기(voltage controlled oscillator, VCO)일 수 있으나, 전류 제어 발진기 등의 다른 구조로 제공될 수도 있다. 주파수 분배기(15)는 전원 제어 발진기(14)의 출력 신호(f_{osc})의 주파수를 분배하여 피드백 신호(f_{fb})를 생성한다. 주파수 분배기(15)에서 출력된 피드백 신호(f_{fb})는 위상 주파수 검출기(11)로 피드백(feed-back) 입력된다.
- [0031] 도 2는 본 발명의 일 실시 예에 따른 전하 펌프의 구성도이다. 도 2를 참조하면, 본 발명의 일 실시 예에 따른 전하 펌프(12)는 제1 구동 트랜지스터(M_{p1}), 제2 구동 트랜지스터(M_{n1}), 제1 기준 트랜지스터(M_{p2}), 제2 기준 트랜지스터(M_{n2}), 스위칭 트랜지스터부($MS1, MS2$), 연산증폭기(AM) 및 이득증폭부(GA)를 포함한다.
- [0032] 제1 구동 트랜지스터(M_{p1})는 제1 바이어스 신호(P_{bias})에 따라 동작한다. 제1 바이어스 신호(P_{bias})는 제1 기준 트랜지스터(M_{p2})의 게이트(gate)에 형성되는 신호일 수 있다. 제1 구동 트랜지스터(M_{p1})는 p형 금속 산화막 반도체(pMOS, p-channel Metal Oxide Semiconductor) 트랜지스터로 제공될 수 있다. 제1 구동 트랜지스터(M_{p1})는 제1 스위칭 트랜지스터부($MS1$)에 의해 게이트에 인가되는 제1 바이어스 신호(P_{bias})에 따라 동작할 수 있다.
- [0033] 제1 구동 트랜지스터(M_{p1})의 소스(source)에는 공급 전압(V_{DD})이 인가될 수 있다. 제1 구동 트랜지스터(M_{p1})의 드레인(drain)은 연산증폭기(AM)의 반전 입력단에 연결되는 동시에 이득증폭부(GA)를 통해 제2 구동 트랜지스터(M_{n1})의 드레인에 전기신호적으로 연결된다. 제1 구동 트랜지스터(M_{p1})는 바디(body)를 통해 연산증폭기(AM)의 출력단에 해당하는 제어 신호(V_{ctrl})를 입력받는다. 전하 펌프(12)가 위상 동기 루프로 사용되는 경우, 제어 신호(V_{ctrl})는 루프 필터(13)와 전원 제어 발진기(14)로 입력된다.
- [0034] 제1 스위칭 트랜지스터부($MS1$)는 위상 주파수 검출기(11)로부터 출력되는 풀업 신호(UP)에 따라 제1 구동 트랜지스터(M_{p1})의 게이트에 제1 바이어스 신호(P_{bias})가 인가되도록 한다. 일 실시 예로, 제1 스위칭 트랜지스터부($MS1$)는 제1 스위칭 트랜지스터(M_{p0})와 제1 전송게이트(M_{nup}, M_{pup})를 포함할 수 있다. 제1 스위칭 트랜지스터(M_{p0})는 pMOS 트랜지스터로 제공될 수 있다. 제1 스위칭 트랜지스터(M_{p0})의 게이트에는 풀업 신호(UP)가 인가되고, 소스에는 공급 전압(V_{DD})이 인가될 수 있다. 제1 스위칭 트랜지스터(M_{p0})의 드레인은 제1 구동 트랜지스터(M_{p1})의 게이트에 연결되는 동시에 제1 전송게이트(M_{nup}, M_{pup})에 연결된다.
- [0035] 제1 전송게이트(M_{nup}, M_{pup})는 제1 nMOS 전송트랜지스터(M_{nup})와 제1 pMOS 전송트랜지스터(M_{pup})가 병렬로 연결된 구조로 제공될 수 있다. 제1 nMOS 전송트랜지스터(M_{nup})의 소스 및 제1 pMOS 전송트랜지스터(M_{pup})의 드레인은 제1 구동 트랜지스터(M_{p1})의 게이트 및 제1 스위칭 트랜지스터(M_{p0})의 드레인에 연결된다. 제1 nMOS 전송트랜지스터(M_{nup})의 드레인 및 제1 pMOS 전송트랜지스터(M_{pup})의 소스는 제1 기준 트랜지스터(M_{p2})의 게이트에 연결된다. 제1 nMOS 전송트랜지스터(M_{nup})의 게이트에는 풀업 신호(UP)가 인가되고, 제1 pMOS 전송트랜지스터(M_{pup})의 게이트에는 풀업 신호(UP)의 반전 신호(UPB)가 인가된다.
- [0036] 제1 기준 트랜지스터(M_{p2})는 pMOS 트랜지스터로 제공될 수 있다. 제1 기준 트랜지스터(M_{p2})의 게이트에는 제1 바이어스 신호(P_{bias})가 형성되고, 소스에는 공급 전압(V_{DD})이 인가된다. 제1 기준 트랜지스터(M_{p2})의 게이트는 제1 스위칭 트랜지스터부($MS1$)를 통해 제1 구동 트랜지스터(M_{p1})의 게이트에 연결된다. 제1 기준 트랜지스터(M_{p2})의 드레인은 연산증폭기(AM)의 비반전 입력단에 연결되는 동시에 이득증폭부(GA)를 통해 제2 기준 트랜지스터(M_{n2})의 드레인에 전기신호적으로 연결된다. 제1 기준 트랜지스터(M_{p2})는 바디(body)를 통해 연산증폭기(AM)의

출력단에 해당하는 제어 신호(V_{CTL})를 입력받는다.

[0037]

제2 구동 트랜지스터(M_{N1})는 제2 바이어스 신호(Nbias)에 따라 동작한다. 제2 바이어스 신호(Nbias)는 제2 기준 트랜지스터(M_{N2})의 게이트에 형성되는 신호일 수 있다. 제2 구동 트랜지스터(M_{N1})는 n형 금속 산화막 반도체(nMOS, n-channel Metal Oxide Semiconductor) 트랜지스터로 제공될 수 있다. 제2 구동 트랜지스터(M_{N1})는 제2 스위칭 트랜지스터부(MS2)에 의해 게이트에 인가되는 제2 바이어스 신호(Nbias)에 따라 동작할 수 있다. 제2 구동 트랜지스터(M_{N1})의 소스는 접지될 수 있다. 제2 구동 트랜지스터(M_{N1})의 드레인은 이득증폭부(GA)를 통해 제1 구동 트랜지스터(M_{P1})의 드레인에 전기신호적으로 연결된다.

[0038]

제2 스위칭 트랜지스터부(MS2)는 위상 주파수 검출기(11)로부터 출력되는 폴다운 신호(DN)에 따라 제2 구동 트랜지스터(M_{N1})의 게이트에 제2 바이어스 신호(Nbias)를 인가한다. 일 실시 예로, 제2 스위칭 트랜지스터부(MS2)는 제2 스위칭 트랜지스터(M_{N0})와 제2 전송게이트(M_{Ndn}, M_{Pdn})를 포함할 수 있다. 제2 스위칭 트랜지스터(M_{N0})는 nMOS 트랜지스터로 제공될 수 있다. 제2 스위칭 트랜지스터(M_{N0})의 게이트에는 폴다운 신호(DN)의 반전 신호(DNB)가 인가되고, 소스는 접지될 수 있다. 제2 스위칭 트랜지스터(M_{N0})의 드레인은 제2 구동 트랜지스터(M_{N1})의 게이트에 연결되는 동시에 제2 전송게이트(M_{Ndn}, M_{Pdn})에 연결된다.

[0039]

제2 전송게이트(M_{Ndn}, M_{Pdn})는 제2 nMOS 전송트랜지스터(M_{Ndn})와 제2 pMOS 전송트랜지스터(M_{Pdn})가 병렬로 연결된 구조로 제공될 수 있다. 제2 nMOS 전송트랜지스터(M_{Ndn})의 소스 및 제2 pMOS 전송트랜지스터(M_{Pdn})의 드레인은 제2 구동 트랜지스터(M_{N1})의 게이트 및 제2 스위칭 트랜지스터(M_{N0})의 드레인에 연결된다. 제2 nMOS 전송트랜지스터(M_{Ndn})의 드레인 및 제2 pMOS 전송트랜지스터(M_{Pdn})의 소스는 제2 기준 트랜지스터(M_{N2})의 게이트에 연결된다. 제2 nMOS 전송트랜지스터(M_{Ndn})의 게이트에는 폴다운 신호(DN)가 인가되고, 제2 pMOS 전송트랜지스터(M_{Pdn})의 게이트에는 폴다운 신호(DN)의 반전 신호(DNB)가 인가된다.

[0040]

제2 기준 트랜지스터(M_{N2})는 nMOS 트랜지스터로 제공될 수 있다. 제2 기준 트랜지스터(M_{N2})의 게이트에는 제2 바이어스 신호(Nbias)가 형성되고, 소스는 접지될 수 있다. 제2 기준 트랜지스터(M_{N2})의 게이트는 제2 스위칭 트랜지스터부(MS2)를 통해 제2 구동 트랜지스터(M_{N1})의 게이트에 연결된다. 제2 기준 트랜지스터(M_{N2})의 드레인은 이득증폭부(GA)를 통해 제1 기준 트랜지스터(M_{P2})의 드레인에 전기신호적으로 연결된다.

[0041]

연산증폭기(AM)는 제1 구동 트랜지스터(M_{P1})의 드레인과 제2 구동 트랜지스터(M_{N1})의 드레인 사이의 전압, 예를 들어 제1 구동 트랜지스터(M_{P1})의 드레인에 출력되는 신호(V_{CP})를 반전 입력단을 통해 입력받고, 제1 기준 트랜지스터(M_{N1})의 드레인에 형성되는 기준 전압(V_{REF})을 비반전 입력단을 통해 입력받아 그 차이 값을 증폭하여 제어 신호(V_{CTL})를 출력한다. 연산증폭기(AM)는 출력 값인 제어 신호(V_{CTL})를 제1 구동 트랜지스터(M_{P1}) 및 제1 기준 트랜지스터(M_{P2})의 바디로 입력한다.

[0042]

일 실시 예로, 이득증폭부(GA)는 인버터(M_{P3}, M_{N3})와 제1 nMOS 트랜지스터(M_{N4}) 및 제2 nMOS 트랜지스터(M_{N5})를 포함할 수 있다. 인버터(M_{P3}, M_{N3})의 pMOS 트랜지스터(M_{P3})는 소스를 통해 공급 전압(V_{DD})을 입력받으며, nMOS 트랜지스터(M_{N3})의 소스는 접지된다. 인버터(M_{P3}, M_{N3})의 pMOS 트랜지스터(M_{P3}) 및 nMOS 트랜지스터(M_{N3}) 간에 접속된 드레인은 제1 nMOS 트랜지스터(M_{N4})의 게이트 및 제2 nMOS 트랜지스터(M_{N5})의 게이트에 연결된다. 인버터(M_{P3}, M_{N3})의 pMOS 트랜지스터(M_{P3}) 및 nMOS 트랜지스터(M_{N3}) 간에 접속된 게이트는 제2 기준 트랜지스터(M_{N2})의 드레인에 연결된다.

[0043]

본 발명의 실시 예에 따른 전하 펌프는 공급 전압과 접지 사이에 3개의 트랜지스터(M_{P1}, M_{N5}, M_{N1})(M_{P2}, M_{N4}, M_{N2})가 캐스코드 연결된 구조로서, 4개 이상의 트랜지스터가 캐스코드 연결된 구조에 비해, 공급 전압을 더 낮게 설정하는 것이 가능하다. 본 발명의 실시 예에 따른 전하 펌프는 연산증폭기(AM)의 출력 값인 제어 신호(V_{CTL})에 의해 제1 구동 트랜지스터(M_{P1})와 제1 기준 트랜지스터(M_{P2})의 바디 바이어스 값을 조절한다. 이에 따라, pMOS 트랜지스터에 해당하는 제1 구동 트랜지스터(M_{P1}) 및 제1 기준 트랜지스터(M_{P2})의 문턱 전압(threshold voltage, V_{th})이

조절되고, 제1 구동 트랜지스터(M_{P1}) 및 제1 기준 트랜지스터(M_{P2})에 흐르는 전류 값(I_{UP})이 조절된다.

[0044]

이는 제1 구동 트랜지스터(M_{P1})의 드레인 신호(V_{CP})가 위상 동기 루프 내에서 어떠한 전압 값을 갖더라도, 기준 전압(V_{REF})을 항상 제1 구동 트랜지스터(M_{P1})의 드레인 신호(V_{CP})와 동일한 값을 갖도록 제어 신호(V_{CTL})가 조절되게 한다. 예를 들어, 풀업 신호(UP)가 로우 레벨(low level)(논리 '0')이고, 풀다운 신호(DN)가 하이 레벨(high level)(논리 '1')인 경우, 제1 구동 트랜지스터(M_{P1})에 흐르는 전류(I_{UP})는 항상 제2 구동 트랜지스터(M_{N1})에 흐르는 전류(I_{DN})와 같게 되고, 이에 따라 전류 부정합이 줄어들게 된다.

[0045]

이득증폭부(GA)는 출력 전압인 제어 신호(V_{CTL})의 변화에 따라 출력 전류(I_{UP} , I_{DN}) 값이 변하는 것을 방지하는 기능을 한다. 이득증폭부(GA)는 제2 기준 트랜지스터(M_{N2})의 드레인 전압(V_X)의 레벨에 따라 네거티브(negative)로 증폭된 전압레벨을 생성하여 제1 nMOS 트랜지스터(M_{N4})의 게이트에 인가한다. 이에 따라 제1 nMOS 트랜지스터(M_{N4})의 전류 값이 조절되고, 기준 전압(V_{REF})에 해당하는 제1 기준 트랜지스터(M_{P2})의 드레인에서 제1 nMOS 트랜지스터(M_{N4})를 바라보는 전류량이 일정하게 유지된다.

[0046]

다시 말해, 기준 전압(V_{REF})의 레벨이 변하더라도 균등한 저항값(Req)을 유지할 수 있게 된다. 또한, 인버터(M_{P3} , M_{N3})의 드레인 출력은 제2 nMOS 트랜지스터(M_{N5})의 게이트에도 연결되며, 이에 따라 제1 구동 트랜지스터(M_{P1})의 드레인에서 제2 nMOS 트랜지스터(M_{N5})를 바라보는 저항값 역시 제1 구동 트랜지스터(M_{P1})의 드레인 전압(V_{CP})에 상관없이 일정하게 유지된다. 즉, 부궤환 루프에 의해, 제1 구동 트랜지스터(M_{P1})에 흐르는 전류(I_{UP})가 제2 구동 트랜지스터(M_{N1})에 흐르는 전류(I_{DN})와 항상 같게 나타나며, 제1 구동 트랜지스터(M_{P1})를 바라보는 저항값과도 같게 된다. 이로써 전류 부정합을 줄임과 동시에 출력 전압 레벨에 따른 전류 변화를 줄일 수 있다.

[0047]

본 발명의 실시 예에 의하면, 초저전압의 동작 전압 조건에서 전하 펌프의 전류 정합을 구현할 수 있으며, 전류 변동성을 줄일 수 있다. 또한, 위상 동기 루프에서 기준 스퍼를 제거할 수 있으며, 복잡한 회로구성이나 추가적인 전류 소모 없이 전하 펌프 출력의 변화에 대해 일정한 전류량을 갖도록 할 수 있다. 또한, 이득증폭부(GA)는 기준 경로(RP)에 연결되어 있고, 다이내믹한 전류를 구동시키는 메인 경로(MP)에는 추가적인 부하 로드가 붙지 않으므로, 전하 펌프의 시간적인 스위칭 동작에 영향을 주지 않는다. 본 발명의 실시 예에 따른 전하 펌프는 저전력을 필요로 하는 시스템에서 안정적인 클럭 신호를 발생시키는 위상 동기 루프에 적용될 수 있다.

[0048]

도 3은 본 발명의 다른 일 실시 예에 따른 위상 고정 루프를 구성하는 전하 펌프의 구성도이다. 도 3의 실시 예를 설명함에 있어서, 도 2의 실시 예와 동일하거나 상응하는 구성에 대하여는 중복되는 설명을 생략할 수 있다. 도 3을 참조하면, 이득증폭부(GA)는 제1 트랜지스터(M_{P3}), 제2 트랜지스터(M_{N3}), 제1 nMOS 트랜지스터(M_{N4}) 및 제2 nMOS 트랜지스터(M_{N5})를 포함한다. 제1 트랜지스터(M_{P3})는 소스를 통해 공급 전압(V_{DD})을 입력받으며, 제2 트랜지스터(M_{N3})의 소스는 접지된다. 제1 트랜지스터(M_{P3})의 게이트는 기준전류회로(RCC)에 연결된다. 제2 트랜지스터(M_{N3})의 게이트는 제2 기준 트랜지스터(M_{N2})의 드레인, 즉 제1 nMOS 트랜지스터(M_{N4})의 소스에 연결된다. 제1 트랜지스터(M_{P3}) 및 제2 트랜지스터(M_{N3}) 간에 접속된 드레인은 제1 nMOS 트랜지스터(M_{N4}) 및 제2 nMOS 트랜지스터(M_{N5})의 게이트에 연결된다.

[0049]

기준전류회로(RCC)는 전류 미러(current mirror)로 제공될 수 있다. 기준전류회로(RCC)는 전류소스(CS), 제1 미러 트랜지스터(M_{T1}), 제2 미러 트랜지스터(M_{T2}), 제3 미러 트랜지스터(M_{T3})를 포함한다. 전류소스(current source)(CS)는 예시적으로, 저항소자로 구현될 수 있다. 제1 미러 트랜지스터(M_{T1})와 제2 미러 트랜지스터(M_{T2}) 간의 게이트는 전류소스(CS)에 연결되는 동시에, 제1 pMOS 트랜지스터(M_{P3})의 게이트에 연결된다. 제1 미러 트랜지스터(M_{T1}) 및 제2 미러 트랜지스터(M_{T2})는 소스를 통해 공급 전압을 인가받는다. 제2 미러 트랜지스터(M_{T2})와 제3 미러 트랜지스터(M_{T3}) 간의 드레인은 제2 기준 트랜지스터(M_{N2})의 게이트에 연결되는 동시에 제3 미러 트랜지스터(M_{T3})의 게이트에 연결된다.

[0050]

제1 pMOS 트랜지스터(M_{P3})의 게이트는 제1 기준 트랜지스터(M_{P2})의 게이트에 연결될 수 있다. 즉, 기준전류회로(RCC)에서 생성되는 제1 pMOS 트랜지스터(M_{P3})의 게이트 신호가 제1 바이어스 신호(pbias)로 사용될 수 있다.

또한, 기준전류회로(RCC)에서 생성되는 제3 미러 트랜지스터(M_{T3})의 게이트 신호(혹은 드레인 신호)가 제2 바이어스 신호(nbias)로 사용될 수 있다.

[0051] 도 2의 실시 예와 마찬가지로, 도 3의 실시 예에 의하면, 초저전압의 동작 전압 조건에서 전하 펌프의 전류 정합을 구현할 수 있으며, 전류 변동성을 줄이고, 기준 스퍼를 제거할 수 있다. 또한, 복잡한 회로구성이나 추가적인 전류 소모 없이 전하 펌프 출력의 변화에 대해 일정한 전류량을 갖도록 할 수 있다. 또한, 다이내믹한 전류를 구동시키는 메인 경로(MP)에 추가적인 부하 로드가 붙지 않으므로, 전하 펌프의 시간적인 스위칭 동작에 영향을 주지 않는다.

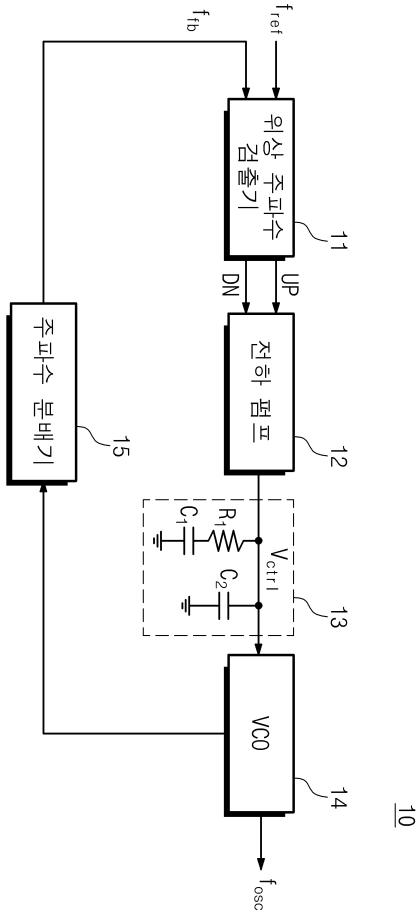
[0052] 이상의 실시 예들은 본 발명의 이해를 돕기 위하여 제시된 것으로, 본 발명의 범위를 제한하지 않으며, 이로부터 다양한 변형 가능한 실시 예들도 본 발명의 범위에 속하는 것임을 이해하여야 한다. 본 발명의 기술적 보호 범위는 특허청구범위의 기술적 사상에 의해 정해져야 할 것이며, 본 발명의 기술적 보호범위는 특허청구범위의 문언적 기재 그 자체로 한정되는 것이 아니라 실질적으로는 기술적 가치가 균등한 범주의 발명에 대하여까지 미치는 것임을 이해하여야 한다.

부호의 설명

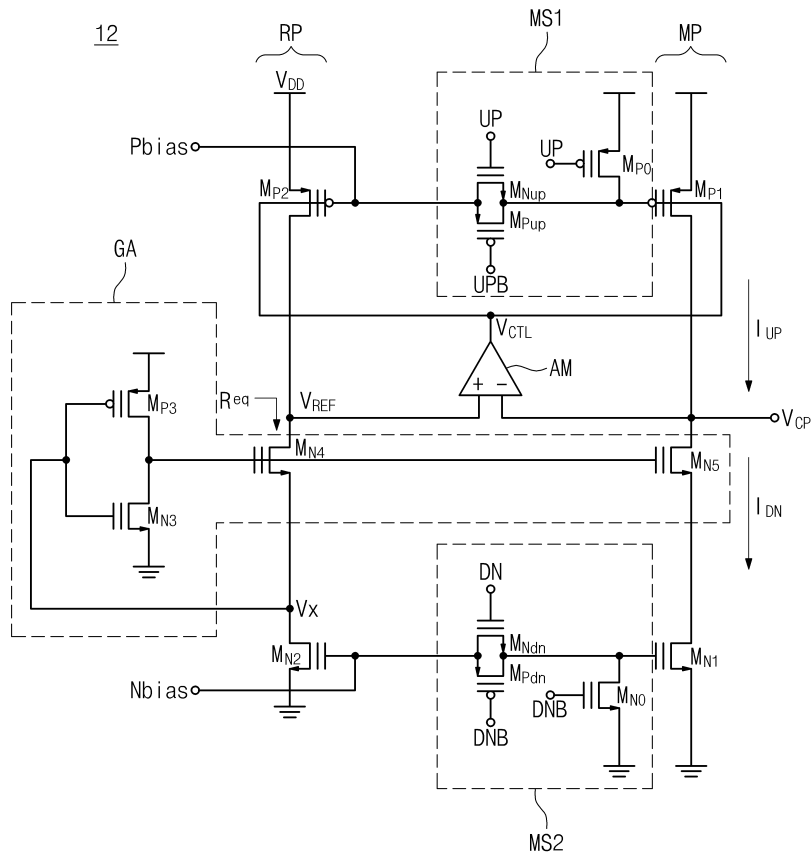
- [0053]
- 10: 위상 고정 루프
 - 11: 위상 주파수 검출기
 - 12: 전하 펌프
 - 13: 루프 필터
 - 14: 전원 제어 발진기
 - 15: 주파수 분배기
 - M_{P1} : 제1 구동 트랜지스터
 - M_{N1} : 제2 구동 트랜지스터
 - M_{P2} : 제1 기준 트랜지스터
 - M_{N2} : 제2 기준 트랜지스터
 - MS1, MS2: 스위칭 트랜지스터부
 - AM: 연산증폭기
 - GA: 이득증폭부

도면

도면1



도면2



도면3

