

새로운 구조의 VCO 와 PFD 를 이용한 PLL 설계

전상오, 정태식, 최우영

연세대학교 전자공학과

서울시 신촌동 134 번지

e-mail : khaki@semicon4.yonsei.ac.kr

요약

데이터 전송 시스템 및 이동 통신 시스템에 포함되는 PLL(Phase-Locked Loop)의 동작 주파수가 점차로 증가하고 있다. 따라서, PLL 을 구성하는 기본 블록들에 관한 연구를 통해 본 논문에서는 새로운 구조의 VCO(Voltage-Controlled Oscillator)와 PFD(Phase-Frequency Detector)를 제안하였다. 이를 0.8 μ m CMOS 공정 파라미터를 사용하여 시뮬레이션 및 측정을 통하여 새롭게 제안된 VCO 와 PFD 의 성능을 검증하였다.

ABSTRACT

The operating frequency of PLL included in data transfer system and mobile communication system is increasing. Therefore, we propose VCO and PFD with new structure through research about the basic blocks of PLL. The performance of VCO and PFD are confirmed using 0.8 μ m CMOS process parameter.

I. 서론

대부분의 데이터 전송 시스템에서는 하드웨어의 복잡성과 전력, 가격 등의 이유로 인해 클럭을 제외한 데이터 정보만이 수신단에 전달된다. 따라서, 클럭을 복구하기 위하여 PLL 이 필요하다. 또한, 이동 통신 시스템에서도 입력되는 신호를 기저대역의 주파수로 변환하기 위한 주파수 합성에 필수적으로 PLL 이 포함된다. 이와 같은 통신 시스템이 높은 주파수의 처리능력을 가지는 PLL 을 요구하기 때문에 고 주파수에서 안정적으로 동작할 수 있도록 PLL 의 기본 블록들을 구성하는 연구가 국내외에서 활발히 진행되고 있다.^{[1][2]}

PLL 은 기본적으로 그림 1 과 같이 네 가지 블록으로 구성되어 있다. 먼저, 외부의 입력 신호인 V_{in} 과 VCO 의 출력 신호인 V_{vco} 를 입력으로 받아들이는 PFD 가 있다. 이는 두 입력 신호의 상태에 따라서 세 가지의 출력값을 가지게 된다. V_{in} 의 위상 및 주파수가 V_{vco} 보다 앞 설 경우에는 Up 에 논리 '1'의 값이 출력되고 반대로 V_{vco} 신호가 앞 설 경우에는 Dn 에 논리 '1'의 값이 출력된다. 위상 및 주

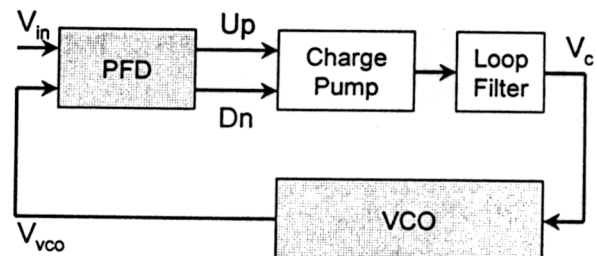


그림 1. 위상 동기 회로의 블록도

파수 차가 없는 경우에는 Up 과 Dn 은 논리 '0'의 값을 갖게 되고 이와 같은 세가지 상태값이 charge-pump 에 전달된다. Charge-pump 는 loop filter 의 커패시터를 충전시키거나 방전시키는데 필요한 두 개의 전류원과 논리 '1'의 값을 가질 경우에 도통되는 두 개의 스위치로 구성된다. 이는 입력된 값의 상태에 따라서 VCO 의 출력 주파수를 제어하는 전압인 V_c 를 발생시키고 이 전압의 크기를 조절한다. VCO 는 V_c 의 크기에 비례하여 출력 신호인 V_{vco} 의 주파수를 조절한다.^{[3][4]}

PLL 의 동작 주파수가 증가함에 따라서 전체 PLL 의 동작 주파수와 안정성을 결정짓는 VCO 구조에 관한 연구들이 증가하고 있으며 잡음을 최소로 줄이기 위한 PFD 에 관한 연구 역시 중요한 연구 과제로 나타나고 있다. 따라서, 본 논문에서는 새로운 구조의 VCO 와 PFD 를 제시하고 0.8 μ m CMOS 공정 파라미터를 사용하여 전체 PLL 회로를 구현한 후 측정을 통해 성능을 검증하기로 한다. II 장에서는 PFD 의 기존 구조에 대한 연구를 토대로 새로운 구조의 PFD 를 제시하고 III 장에서는 새롭게 제안된 링 발진기 형태의 차동 VCO 의 동작 원리에 대하여 설명한다. IV 장에서는 charge-pump loop filter 와 전체 PLL 회로의 설계과정을 설명하며 V 장에서는 측정 결과 분석에 대하여 설명한 후, VI 장에서 끝을 맺기로 한다.

II. 제안된 PFD 의 동작 원리

이상적으로 PFD 는 두 입력 신호의 위상 및 주파수 차

이 연구는 반도체설계교육센터로부터의 부분적인 지원을 받아 이루어 졌음.

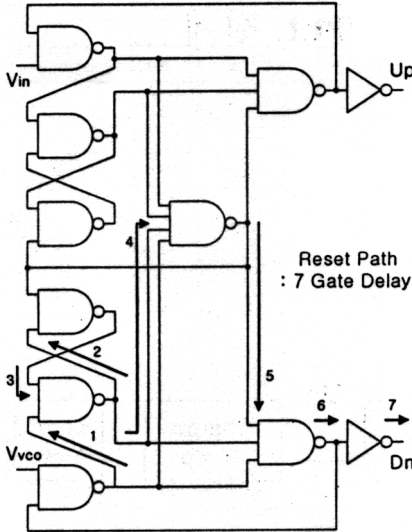


그림 2. 일반적인 PFD 회로도

이가 발생하는 경우에만 Up 또는 Dn 신호를 출력하고, 위상 및 주파수 차이가 없는 경우에는 논리 '0'의 신호를 출력하여야 한다. 그러나, V_{in} 과 V_{vco} 가 어느 정도의 위상 차이를 가지고 논리 '0'에서 '1'로 변할 때 그 차이만큼의 간격을 두고 Up과 Dn 신호가 논리 '1'로 상승한다. 이 때, Up과 Dn이 동시에 논리 '1'의 값을 가지는 경우가 발생하고 이를 리셋하는데 필요한 시간만큼 유지된다. 이 시간 동안 charge-pump의 두 개의 스위치가 동시에 도통되어 두 개의 전류원이 하나의 경로에 위치하여 전류가 흐르게 된다. 이 때, 두 전류원의 전류값이 정확히 일치할 수 없기 때문에 VCO의 제어 전압에 왜곡을 야기시키고 이는 지터 잡음으로 나타난다. 또한, 입력이 출력으로 나타나기까지의 시간이 전달시간이 길게되면 이는 PLL의 루프 전원이 커지므로 고 주파수에서 capture 과정과 lock-in 과정에 영향을 미치게 된다.¹⁶⁾ 따라서, 본 논문에서는 이 현상을 최소화하여 성능을 향상시키고자 한다.

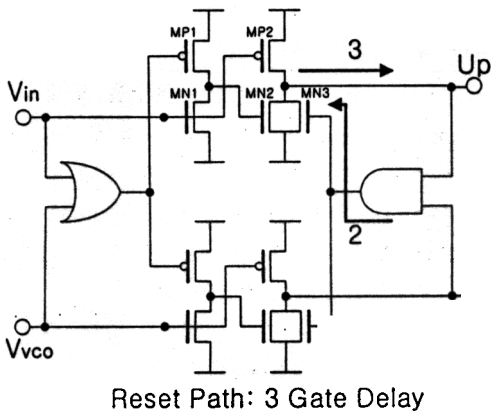
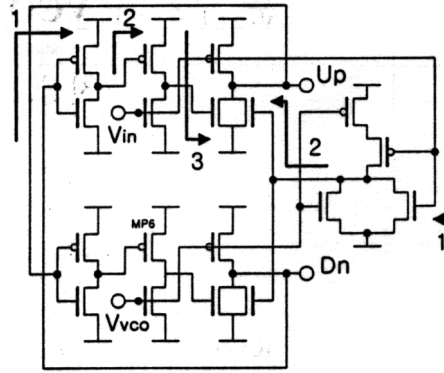


그림 3. 리셋 시간을 감소시킨 PFD 회로도



Critical Reset Path : 3 Gate Delay

그림 4. 리셋 경로를 두 부분으로 나눈 PFD

그림 2에 나타나는 PFD는 일반적으로 사용되는 회로로써 V_{in} 의 하강 시점에서 Up 신호가 논리 '1'이 되고 V_{vco} 의 하강 시점에서 Dn 신호가 논리 '1'이 된다. 따라서, V_{in} 과 V_{vco} 의 위상차가 발생하면 각각의 하강 시점에서 Up과 Dn이 논리 '1'로 천이되어 리셋에 필요한 시간동안 동시에 논리 '1'의 값을 가지게 된다. 이 때, 이와 같은 회로는 7 게이트만큼의 리셋 시간과 전달 시간이 필요하게 된다. 이와 같은 지연 시간을 줄이기 위해서 그림 3에 나타난 바와 같이 게이트의 수를 최소화한 구조의 PFD를 제안하였다.

이 회로는 Dynamic Logic¹⁷⁾을 사용하여 PMOS와 NMOS의 W/L 비를 조절하여 V_{in} 신호가 논리 '1'일 경우에는 이전 상태를 유지하고 논리 '0'으로 천이되는 순간에 입력을 받아들이기 시작하는 구조이다. 이 구조의 리셋 시간은 3 게이트 지연 시간 정도로 감소하여 동작 주파수가 크게 증가한다. 그러나, 이 회로 역시 리셋 시간으로 인한 지터 잡음을 피할 수 없기 때문에 그림 4에 나타난 회로와 같이 리셋 경로를 두 부분으로 나누어서 리셋 시간을 최소화한 구조를 제안하였다. V_{in} 신호가 V_{vco} 보다 앞설 경우에 Up 신호가 나타나게 되면, 이의 반전된 신호를 PMOS의 입력으로 받아들여 V_{vco} 가 논리 '1'로 천이하더라도 논리 '0'의 값을 그대로 유지시키는 경로와 V_{in} 과 V_{vco} 가 동시에 논리 '0'일 경우에 전체 출력 신호를 '0'으로 천이함으로써 효율적으로 잡음을 제거할 수 있다.

그림 2, 3, 4의 구조에 대하여 0.8 μ m CMOS 공정 파라미터를 사용하여 회로를 설계한 후 V_{in} 과 V_{vco} 가 0.3 nsec의 위상차를 가질 경우를 시뮬레이션한 결과가 그림 5에 나타나 있다. 그림 2 구조의 리셋 시간은 약 0.54 nsec이며, 전달 시간은 0.58 nsec로 나타났으며, 그림 3 구조의 PFD는 리셋 시간이 0.33 nsec이고, 전달 시간은 0.11 nsec로 나타나서 상당히 향상되었음을 알 수 있다. 그림 4 구조는 의도한 바와 같이 리셋 시간이 0.09 nsec로 거의 나타나지

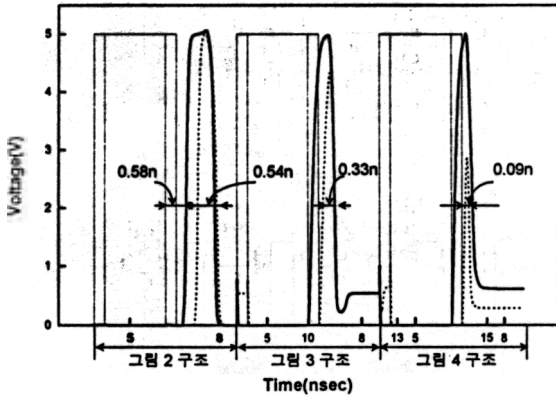


그림 5. 각 구조의 리셋과 전달 시간

않았다.

III. 새롭게 제안된 VCO의 동작 원리

현재 VCO를 하나의 칩에 집적하여 높은 발진 주파수를 출력하기 위해서는 일반적으로 링 형태의 발진기가 많이 사용되고 있다. 링 발진기는 인버터를 지연소자로 사용하여 첫 단의 입력에 대해 반전된 신호가 마지막 단에서 출력되도록 하고 이를 첫 단의 입력으로 케환시킴으로써 발진이 일어나게 된다. 인버터의 지연시간을 T_D 라 하면, N 단의 인버터로 구성된 링 발진기의 발진 주파수는 $f_{osc} = (2NT_D)^{-1}$ 의 식으로 표현된다. 따라서, 링 발진기의 발진 주파수를 증가시키기 위해서는 인버터의 단 수를 줄이거나 각 인버터들의 지연시간을 줄여야 한다. 그러나, 일반적으로 인버터의 단 수는 3단 이상이 되어야 발진 조건을 만족할 수 있으며, 차동 인버터를 사용하더라도 인버터를 구성하는 FET들의 물리적 특성에 의해 결정되므로 기존의 링 발진기에서 얻을 수 있는 최대 발진 주파수는 제한된다. 또한 발진 루프상에서 직접 출력을 얻기 때문에 부하에 의한 주파수의 감소 문제가 발생한다.^{[6][19]} 따라서, 이러한 문제들을 해결하기 위하여 그림 6에 나타낸 바와 같은 새로운 구조의 차동 인버터를 제안한다.

이와 같은 차동 인버터가 링 발진기의 지연소자로 사용될 경우, 차동 인버터의 두 입력은 서로 180°의 위상차를 갖게 된다. 또한, 4단 이하의 링 발진기에서 출력되는 신호의 파형은 발진 주기에 비해 인버터의 천이 시간이 크게 되어 근사적으로 정현적인 특성을 갖게 된다.

따라서, 인버터의 두 입력을 각각 $V_{bias} + A \sin(\omega t)$ 와 $V_{bias} - A \sin(\omega t)$ 라 하고, 인버터의 두 구동 FET(M1, M2)가 $I_{DS} = K(V_{GS} - V_{th})^2$ 의 관계를 만족하며 항상 포화 영역에서 동작한다고 가정하면 공통 소오스 단에서의 출력 신호는 다

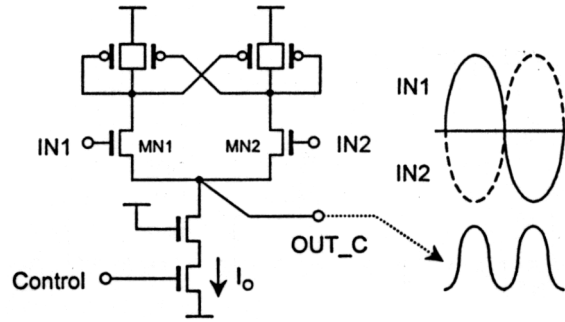


그림 6. 새롭게 제안된 링 발진기 지연 소자

음의 식으로 표현된다.

$$V_{out_c}(t) = V_{bias} - V_{th} - \sqrt{\frac{I_o}{2K} - A^2 \sin^2(\omega t)}$$

여기서, V_{th} 는 FET의 문턱전압, K 는 FET의 채널 길이와 폭에 의해 결정되는 상수, I_o 는 제어전압에 의해 결정되는 전류량이다. 위 식에서 $V_{out_c}(t)$ 는 $\sin^2(\omega t)$ 에 의해 결정되므로 그림 6과 같이 발진 신호의 반주기마다 동일한 파형이 반복되어 발진 신호보다 두 배 높은 주파수를 갖게 된다. 그림 7은 이를 적용한 2단 차동 링 VCO로서 2단의 차동 링 발진기의 형태를 가지고 있으며 각 차동 인버터의 공통 소오스 단의 출력들을 차동 증폭하여 최종 출력을 얻게 된다. 그림에 나타낸 바와 같이 첫 번째 단의 입력 쌍과 두 번째 단의 입력 쌍 사이에는 90°의 위상차가 나므로 두 차동 인버터의 공통 소오스 단의 출력 OUT₃₁과 OUT₃₂ 사이에는 180°의 위상차가 발생한다. 따라서, 이들을 차동 증폭함으로써 원하는 진폭을 얻을 수 있으며, 온도, 전원 전압, 또는 문턱 전압의 변화 등에 의해 두 신호가 공통적으로 변화는 성분을 제거하여 안정성을 향상시킬 수 있다.

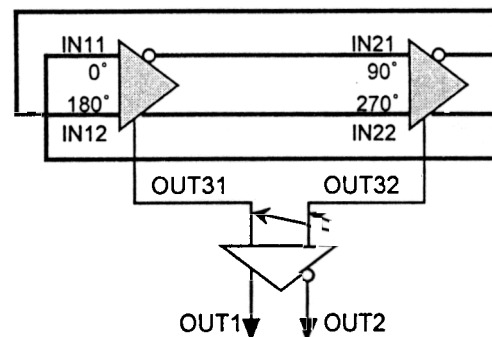


그림 7. 차동 지연 소자를 이용한 2단 링 발진기

VI. 결론

본 논문에서는 현재 통신 시스템에서 사용되는 핵심적인 블록인 PLL을 구성하는 기본 블록들에 대해 연구하여 새로운 구조의 VCO와 PFD를 제안하고 이를 포함한 charge-pump PLL을 설계하였다. 설계된 PLL은 0.8 μ m CMOS 공정을 이용하여 실제 칩으로 제작 및 측정하여 성능을 검증하였다. VCO의 동작 주파수는 360 MHz ~ 440 MHz로 나타났고 지터는 29.74 psec로 나타났다. 주파수 이득은 200 MHz/V로 나타났다. 측정결과에서 알 수 있듯이 본 연구에서는 새로운 구조의 동작에 대한 가능성을 검증하였다.

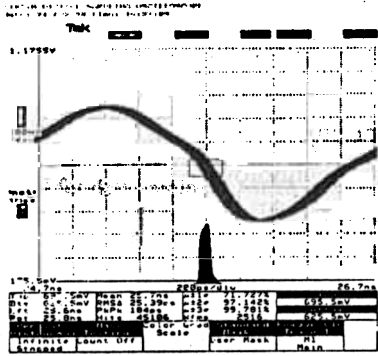


그림 11. 지터 측정 결과

그림 10에는 최대 동작 주파수인 438 MHz에서 동작하는 VCO 출력 신호를 나타내었다. 최대 동작 주파수 이상에서는 post-layout simulation을 통해 분석한 결과 VCO의 비퍼가 원하는 주파수에서 정상 동작하지 않음을 알 수 있었다. 그림 11에 지터 잡음을 측정해 본 결과로 29.74 psec가 나타남을 알 수 있고 제어 전압의 변화에 대한 출력 주파수의 변화를 측정한 결과 VCO의 주파수 이득은 200 MHz/V로 나타났다. 여기서 peak-to-peak 전압이 예상치인 5V보다 작은 1V 미만으로 나타난 것은 회로설계에 측정 장비의 50 Ω 부하를 구동하는 회로의 미비로 인하여 발생한 것이다. 그림 12의 측정은 외부에서 입력으로 360 MHz의 입력을 가한 후에 VCO의 출력 신호를 살펴봄으로써 위상이 고정되었는지를 측정한 것이다. 그러나, 여러 입력 신호에 따른 출력 주파수의 변화가 발생하지 않았다. 이는 회로 설계 당시 5V의 높은 입력 신호를 요구하는 회로에 입력으로 들어가는 data generator의 출력 level의 조정과 impedance matching 등으로 인한 것이라고 판단된다.

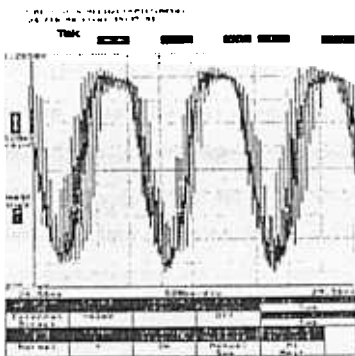


그림 12. 입력 신호에 따른 PLL 출력 신호

참고문헌

- [1] V. von Kaenel et al., "A 320MHz, 1.5mW@1.35V CMOS PLL for Microprocessor Clock Generation," *IEEE J. Solid-State Circuits*, Vol. 31, no. 11, pp. 1715-1722, 1996.
- [2] J. G. Manectis, "Low-Jitter Process-Independent DLL and PLL based on Self-Biased Techniques," *IEEE J. Solid-State Circuits*, Vol. 31, no. 11, pp. 1723-1732, 1996.
- [3] Sungjoon Kim et al., "A 960-Mb/s/pin Interface for Skew-Tolerant Bus Using Low Jitter PLL," *IEEE J. Solid-State Circuits*, Vol. 32, no. 5, pp. 691-700, 1997.
- [4] F. M. Gardner, "Charge-Pump Phase-Lock Loops," *IEEE Trans. On Comm.*, Vol. 28, no. 11, pp. 1849-1858, 1980.
- [5] M. V. Paemel, "Analysis of a Charge-Pump PLL: A New Model," *IEEE Trans. On Comm.*, Vol. 42, no. 7, pp. 2490-2498, 1994.
- [6] B. Razavi, *Monolithic Phase-Locked Loops And Clock Recovery Circuits - Theory and Design*, IEEE Press, 1996.
- [7] Byungsoo Chang et al. "A 1.2GHz CMOS Dual-Modulus Prescaler Using New Dynamic D-Type Filp-Flops," *IEEE J. Solid-State Circuits*, Vol. 31, no. 5, pp. 749-752, 1996.
- [8] K. E. Syed and A. A. Abidi, "Gigahertz Voltage-Controlled Ring Oscillator," *Electronics Lett.*, Vol. 22, no. 12, pp. 677-679, 1986.
- [9] *IEEE J. Solid-States Circuits*, Vol. 31, no. 3, pp. 331-343, 1996.