

새로운 구조의 GHz급 CMOS 차동 링 전압 제어 발진기에 관한 연구

정태식, 최우영

연세대학교 전자공학과 반도체 연구실

요 약

본 연구에서는 기존의 전압 제어 발진기에 비해 보다 높은 발진 주파수를 낼 수 있는 새로운 구조의 차동 링 전압 제어 발진기를 제안하였다. 제안된 회로는 0.6 μ m CMOS 공정 파라미터를 사용하여 설계된 후 HSPICE를 통해 검증되었으며 post-layout 시뮬레이션 결과 1.54~2.14GHz의 출력 주파수를 갖는 것으로 확인되었다.

I. 서 론

통신 시스템을 포함한 모든 데이터 처리 시스템들이 점차 고속화·대용량화되면서 시스템의 동작 주파수가 급격하게 증가하고 있다. 이에 따라 시스템 내부에서 수백 MHz 이상의 고주파 신호를 안정적으로 공급하기 위해 위상 동기 회로(phase-locked loop; PLL)를 이용한 클럭(clock) 및 데이터 복원이 일반적으로 행해지고 있다.^[1]

PLL은 그림 1과 같이 위상/주파수 검출기, 전하 펌프, 프 필터, 전압 제어 발진기(voltage-controlled oscillator; VCO), 그리고 주파수 분주기로 구성되어 기준 입력 신호에 대해 N배의 주파수를 갖는 위상 동기된 신호를 출력한다. 위상 동기 회로의 각 구성 회로들 중에서 전체 회로의 성능에 결정적인 영향을 미치는 것이 VCO이며, 현재 이에 대한 연구가 활발히 이루어지고 있다.^{[2]-[4]}

VCO는 그림 2와 같이 온-칩(on-chip)화가 가능하고 높은 발진 주파수를 낼 수 있는 링 발진기가 많이 사용되고 있다. 링 발진기는 인버터를 지연소자로 사용하여 첫 단의 입력에 대해 반전된 신호가 마지막 단에서 출력되도록 하고 이를 첫 단의 입력으로 궤환시킴으로써 발진이 일어난다. 인버터의 지연시간을 T_D 라 하면, N 단의 인버터로 구성된 링 발진기의 발진 주파수는 $f_{osc}=(2NT_D)^{-1}$ 의 식으로 표현된다. 따라서, 링 발진기의 발진 주파수를 증가시키기 위해서는 인버터의 단 수를 줄이거나, 각 인버터들의 지연시간을 줄여야 한다. 그러나, 일반적으로 인버터의 단 수는 3단 이상이 되어야 발진 조건을 만족할 수 있으며, 차동 인버터를 사용하더라도 2단 이상이 되어야 한다. 또한, 인버터의 지연시간은 인버터를 구성하는 FET들의 물리적 특성에 의해 결정되므로 기존의 링 발진기에서 얻을 수 있는 최대 발진 주파수는 제한된다. 뿐만 아니라, 기존의 링 발진기의 출력은 발진 루프에서 직접 얻어지므로 부하에 의해 주파수가 감소하는 문제가 있다. 따라서, 이러한 문제를 해결하여 보다 높은 발진 주파수를 얻기 위해서는 새로운 구조의 전압 제어 발진기가 필요하다.

II. 새로운 구조의 차동 링 전압 제어 발진기

그림 3은 본 연구에서 제안한 차동 인버터이다. 차동 인버터가 링 발진기의 지연소자로 사용될 경우, 차동 인버터의 두 입력은 서로 180°의 위상차를 갖게 된다. 또한, 4단 이하의 링 발진기에서 출력되는 신호의 파형은 발진 주기에 비해 인버터의 천이 시간이 크게 되어 근사적으로 정현적인 특성을 갖게 된다. 따라서, 인버터의 두 입력을 각각 $V_{Bias}+A\sin(\omega t)$ 와 $V_{Bias}-A\sin(\omega t)$ 라 하고, 인버터의 두 구동 FET(M1, M2)가 $I_{DS}=K(V_{GS}-V_{th})^2$ 의 관계를 만족하며 항상 포화 영역에서 동작한다고 가정하면 공통 소오스 단에서의 출력 신호는 다음의 식으로 표현된다.

$$V_{OUT_C}(t) = V_{Bias} - V_{th} - \sqrt{\frac{I_0}{2K} - A^2 \sin^2(\omega t)} \quad (1)$$

여기서, V_{th} 는 FET의 문턱전압, K는 FET의 채널 길이와 폭에 의해 결정되는 상수, I_0 는 제어전압에 의해 결정되는 전류량이다. 위 식에서 $V_{OUT_C}(t)$ 는 $\sin^2(\omega t)$ 에 의해 결정되므로 그림 3과 같이 발진 신호의 반주기마다 동일한 파형이 반복되어 발진 신호보다 2배 높은 주파수를 갖게 된다.

그림 4는 이를 적용한 2단 차동 링 VCO로서 2단의 차동 링 발진기의 형태를 가지고 있으며 각 차동 인버터의 공통 소오스 단의 출력들을 차동 증폭하여 최종 출력을 얻게 된다. 그림에 나타난 바와 같이 첫 번째 단의 입력 쌍과 두 번째 단의 입력 쌍 사이에는 90°의 위상차가 나므로 두 차동 인버터의 공통 소오스 단의 출력 OUT_C1 과 OUT_C2 사이에는 180°의 위상차가 발생한다. 따라서, 이들을 차동 증폭함으로써 원하는 진폭을 얻을 수 있으며, 온도, 전원 전압, 또는 문턱전압의 변화 등에 의해 두 신호가 공통적으로 변화하는 성분을 제거하여 안정성을 향상시킬 수 있다.

III. 시뮬레이션 결과

II절에서 제안한 2단 차동 링 VCO는 0.6 μ m CMOS 공정을 사용하여 현재 제작중이므로 본 논문에서는 HSPICE를 이용한 post-layout 시뮬레이션을 통해 성능을 검증하였다.

그림 5는 2단으로 형성된 발진 루프에서의 신호 파형과 각 차동 인버터의 공통 소오스 단에서의 출력 파형을 함께 나타낸 것이다. 그림에서 알 수 있듯이 첫 번째 단의 입력 쌍(IN_A1, IN_B1)과 두 번째 단의 입력 쌍(IN_A2, IN_B2) 사이에 90°의 위상차가 존재하고, 각 단의 공통 소오스 단의 출력(OUT_C1, OUT_C2)들은 발진 루프에서의 발진 주파수보다 2배 높은 주파수를 가지며 서로 180°의 위상차가 존재한다. 그림 6은 이들을 일반적인 형태의 차동 증폭기를

이용하여 증폭한 최종 출력(OUT1, OUT2)을 나타낸 것으로 이를 통해 공통 소오스 단에서 나타나는 노이즈에 대한 의존성을 제거하면서 동시에 적절한 진폭을 얻을 수 있음을 알 수 있다. 그림에서 보인 출력의 주파수는 1.84GHz이며, 진폭은 약 2V_{rms}임을 알 수 있다.

IV. 결론

본 연구에서는 새로운 구조의 차동 링 VCO를 제안하고, 0.6 μ m CMOS 공정 파라미터를 사용하여 설계한 후 post-layout 시뮬레이션을 통해 성능을 검증하였다. 제안된 회로는 1.84GHz의 중심 주파수에서 제어전압에 대해 ± 300 MHz 만큼 변화하였다. 또한, 온도의 변화에 대해서는 -3.9MHz/ $^{\circ}$ C, $\pm 10\%$ 의 전원 전압의 변화에 대해서는 ± 40 MHz의 오차를 갖는 것으로 나타났다. 또한, 차동 구조를 사용함으로써 FET들의 문턱 전압 변화에 대해 매우 강한 특성을 가지고 있다. 본 연구에서 제안한 회로는 GHz 대역에서의 주파수 합성 및 클럭 복원 회로에 사용될 수 있을 것으로 여겨진다.

V. 참고문헌

- [1] B. Razavi, *Monolithic Phase-Locked Loops And Clock Recovery Circuits - Theory and Design*, IEEE Press, 1996.
- [2] S.J. Lee, B. Kim, and K. Lee, "A Novel High-Speed Ring Oscillator for Multiphase Clock Generation Using Negative Skewed Delay Scheme," *IEEE J. Solid-State Circuits*, vol.32, no.2, pp.289-291, 1997.
- [3] M.Thamsirianunt and T.A. Kwasniewski, "CMOS VCO's for PLL Frequency Synthesis in GHz Digital Mobile Radio Communications," *IEEE J. Solid-State Circuits*, vol.32, no.10, pp.1511-1524, 1997.
- [4] J.A. McNeill, "Jitter in Ring Oscillators," *IEEE J. Solid-State Circuits*, vol.32, no.6, pp.870-879, 1997.

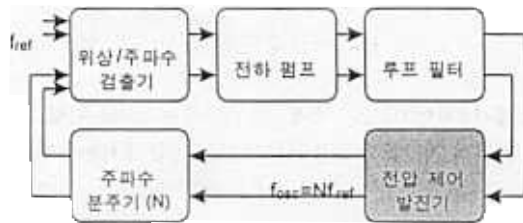


그림 1 위상 동기 회로

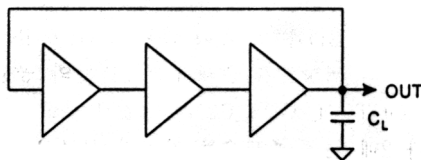


그림 2. 링 발진기

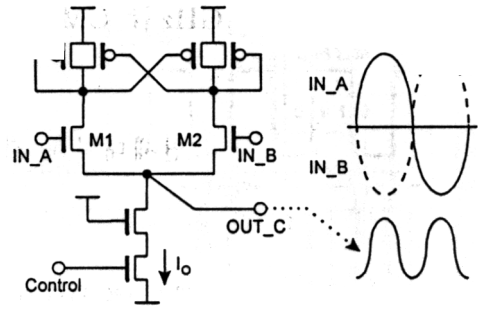


그림 3. 제안된 차동 인버터 회로

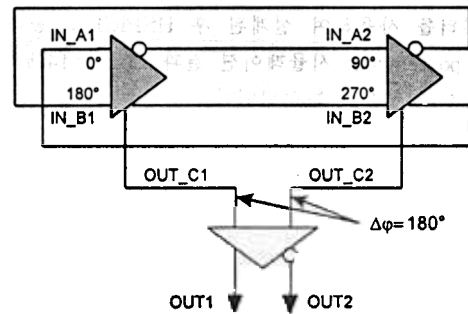


그림 4. 제안된 차동 링 전압 제어 발진기

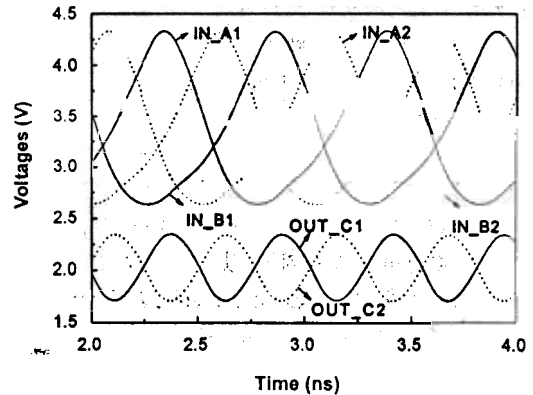


그림 5. 발진 루프 내의 한 차동 인버터의 입·출력

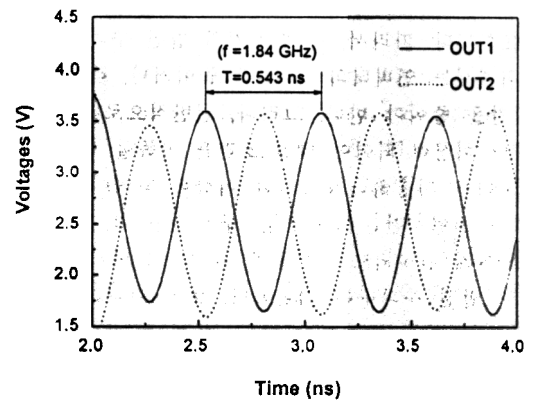


그림 6. 제안된 차동 링 전압 제어 발진기의 출력