

새로운 구조의 Phase Detector를 갖는 Gbps급 Clock / Data Recovery System

*이재욱¹, 정태식², 최우영¹

¹연세대학교 전기·컴퓨터공학과,

²한국전자통신연구원 고속 스위치팀

TEL : (02) 361 - 2874, E-mail : patima@semicon4.yonsei.ac.kr

A Giga-bps Clock and Data Recovery System with a New Phase Detector

*Jae-Uk Lee¹, Tae-Sik Cheung², Woo-Young Choi¹

¹Dept. of Electrical and Computer Eng., Yonsei University,

²Electronics and Telecommunications Research Institute, High speed switch Team

TEL : (02) 361 - 2874, E-mail : patima@semicon4.yonsei.ac.kr

Abstract

Serial transmission links at Gbps are becoming a commercial reality today. To transmit high speed data, clock recovery techniques are critically important and must be developed first. We propose a Gbps Clock and Data Recovery (CDR) System with a new Phase Detector (PD). The PD can sense data transition and stay deactivated during no-transition periods. The system with a new PD has faster locking time and suppresses high frequency jitter. This system is designed with 2.5V, 0.25 μ m CMOS technology and verified with HSPICE simulation.

1. Introduction

낮은 전력소비와 저비용이라는 장점 때문에 CMOS를 사용한 시스템에 대한 연구는 넓게 진행되고 있다. 통신시스템이 점차 고속화, 대용량화됨에 따라, 시스템들의 집적화 및 고속화가 요구되고 있다. 이에 따라 Gbps급의 높은 전송률을 갖는 데이터로부터 clock 신호를 추출하는 CDR system에 관한

연구가 활발히 이루어지고 있다. Fiber-channel을 사용한 data transceiver의 경우 Gbps급 전송률에서 BER $<10^{-12}$ 의 성능을 요구하기도 한다. Gigabit Ethernet Protocol (802.3z)의 경우 1.25Gbps 데이터를 복원하기 위해 Physical Layer의 규격을 8B/10B coding을 사용한 NRZ data로 삼고 있으며, 여기에 사용될 PMA (Physical Medium Attachment) Layer에 포함된 TBI (Ten Bit Interface) block은 125MHz의 시스템 clock으로 부터 1.25GHz의 clock을 발생시켜서 data에 lock시켜야 한다[1]. 본 연구에서 제안된 시스템은 이러한 기능을 수행할 수 있도록 10분주된 시스템 clock을 제공받아 GHz급의 data 복원에 사용될 clock을 발생시키고 NRZ data의 transition에만 반응하는 새로운 구조의 PD를 사용하여 연속된 0과 1이 수신될 경우에도 보다 안정적인 clock을 발생시키도록 설계되었다.

2장에서는 전체 시스템에 사용된 각 block과 제안된 회로의 기능을 설명하고 3장에서 설계된 전체 시스템에 대한 HSPICE simulation 결과를 보이며 결론을 맺는다.

2. CDR structure

제안된 시스템은 그림 1에서 볼 수 있듯이 10분주된 시스템 clock에 VCO (Voltage Controlled oscillator)가 initial frequency acquisition 되는 일반적인 PFD(Phase Frequency Detector)를 사용한 loop[2], 이 상태에서 data가 수신될 경우 data의 transition을 detect하여 UP과 DOWN 신호를 발생시키는 loop[3], 그리고 이 두 loop의 동작을 선택할 수 있도록 제어하는 lock detector의 세 부분으로 나눌 수 있다[4,5].

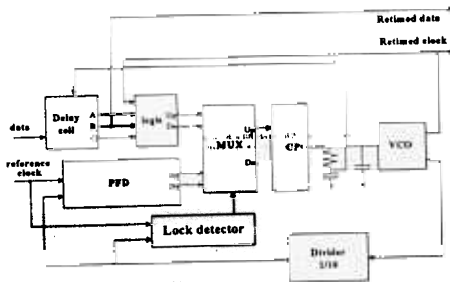


그림 1. Proposed Clock and Data recovery system

이 시스템은 제안된 시스템의 블록 다이어그램을 보여줍니다. VCO, PFD, MUX, CP, Divider, Lock detector, Reference clock, Data, Retimed data, Retimed clock 등의 구성요소가 포함되어 있습니다.

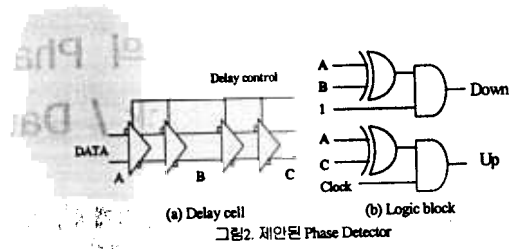
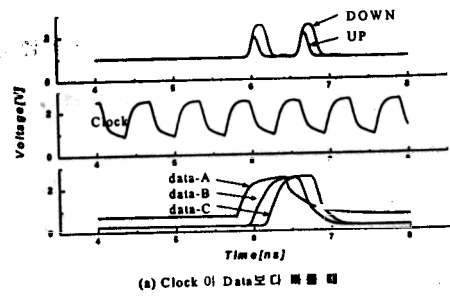
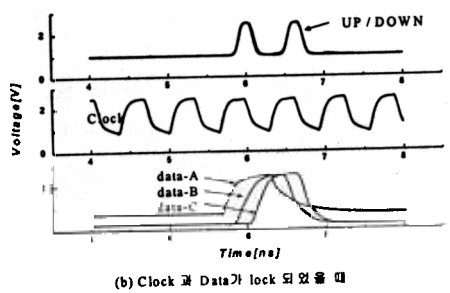


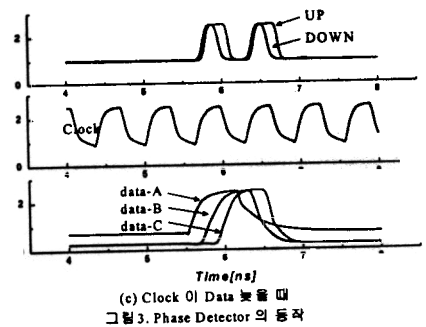
그림 2. 제안된 Phase Detector



(a) Clock 이 Data보다 늦을 때



(b) Clock 과 Data가 lock 되었을 때



(c) Clock 이 Data 늦을 때

그림 3. Phase Detector 의 동작

data-B와 이보다 빠른 data-A와의 exclusive-OR를 통해 얻어지며 UP 신호는 data-A와 data-C의 exclusive-OR 영역 중 clock 신호와 겹치는 부분을 detect하여 결국 data-B의 각 edge와 clock의 negative edge를 lock 시키게 된다.

그림 4 (a)는 이상적인 경우의 PD 동작을 나타내고 있다[1]. 제안된 회로의 동작은 그림 4 (b)에 보듯이 delay의 크기(ϕ)가 클수록 이상적인 경우에 접근하게 되는데, delay의 크기가 고정되어 있을 경우 오히려 사용되는 clock의 주파수에 따라 ϕ 의 크기가 바뀔 수 있음을 의미한다. 또 이 영역은 최대 90°까지 확장될 수 있는데 delay가 VCO 주파수 변화에 따라 항상 90°의 값을 가질 수 있어야 최적의 동작을 할 수 있음을 의미한다. 제안된 구조는 4단 differential inverter VCO의 설계 후 2단의 cell을 사용하여 90°의 delay를 가질 수 있도록 하였으며 제어전압을 가하여 VCO의 주파수에 따라 가변적으로 동작하게 된다.

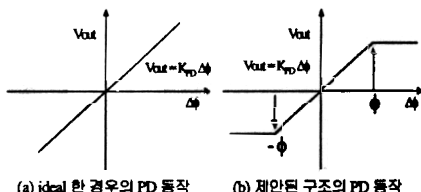


그림4. Phase Detector의 동작

VCO는 그림 5과 같이 4단의 differential inverter를 사용하여 구성하였으며, latch 형태의 load를 첨부하여 고속에서 안정적인 발진을 할 수 있으며 발진진폭의 크기를 증가시켜 PD가 보다 안정적인 동작을 할 수 있도록 하여준다[6].

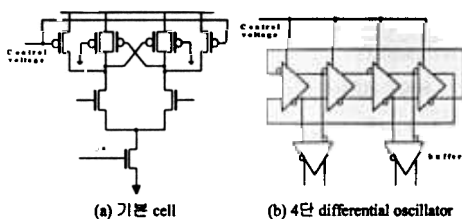


그림5. VCO의 회로도

그림 6은 중심주파수에서의 VCO 동작특성을 보여 준다. 설계된 VCO의 주파수 특성은 그림 7에서 보

여주고 있으며 VCO gain은 약 500MHz/V 이다.

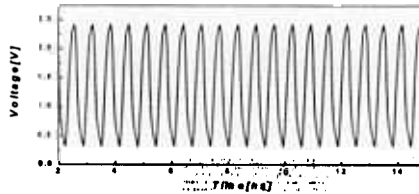


그림6. VCO의 동작(@1.55GHz(center frequency))

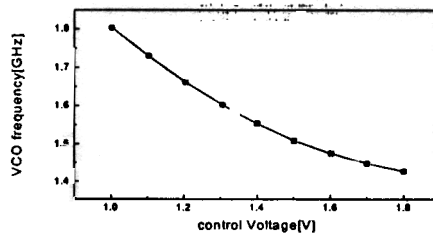
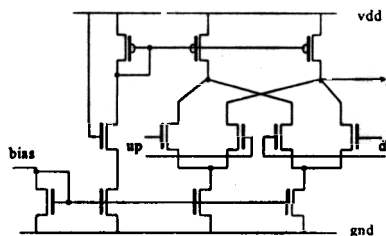


그림7. VCO frequency 특성



3. Simulation and Analysis

제안된 시스템은 그림 1과 같이 구성되어 수신된 data를 복원하게 되는데 전체 시스템의 성능은 VCO의 제어신호로 알 수 있다. 그림 9는 각각 수신된 data가 1.65Gbps, 1.55Gbps, 1.45Gbps일 때의 VCO 제어 전압을 나타낸 것이다. 초기 주파수가 목표 주파수의 10%이내에 있다고 가정했을 때의 초기 값으로 시작하여 각각의 locking time을 볼 수 있는데 중심 주파수를 벗어날수록 누설전류에 의해 locking time이 길어지게 되지만 (b)의 경우 $0.3\mu s$ 이내에 locking이 됨을 알 수 있다. 그림 10은 1.55Gbps의 data를 수신했을 때 PD의 delay control voltage를 나타내고 있는데 VCO를 제어하는 전압이 아닌 loop filter의 capacitor에 걸린 전압만으로 보다 안정적으로 PD를 제어하고 있음을 알 수 있다.

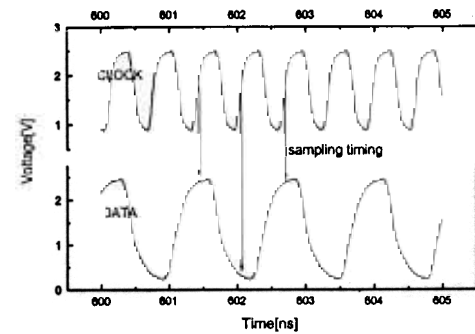
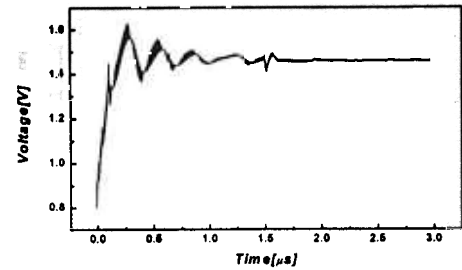
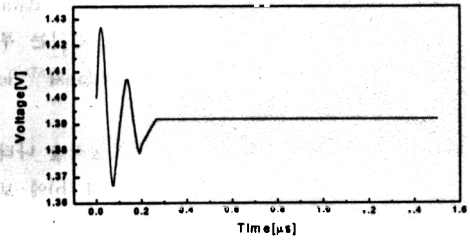
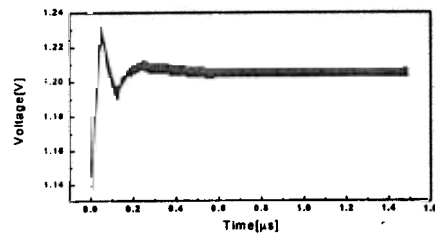
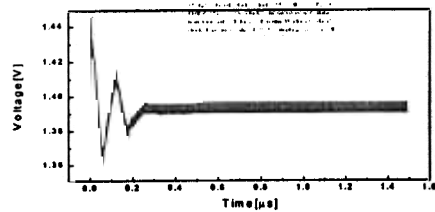
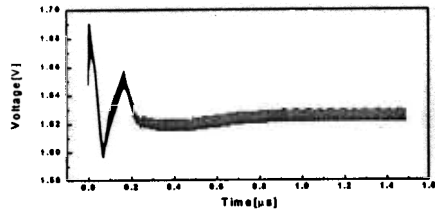


그림 12. Retimed Clock and Data

4. Conclusion

본 연구는 data의 transition만을 detect하는 가변 delay cell을 이용한 PD를 제안하여 high frequency jitter를 줄이고 빠른 locking time을 갖도록 하였고, 그 동작은 data와 clock의 phase error에 따른 simulation을 통해 검증하였다. 이 구조의 시스템은 NRZ 형태의 data가 연속된 0, 1을 수신할 때도 안정적인 동작을 하게 되며 VCO의 기본 cell을 사용한 PD의 설계로 설계시간을 단축시킬 수 있으며 PD 및 MUX, 전하펌프는 고속의 동작을 보장하기 위해 fully differential logic으로 설계되었다. 각 block은 Gigabit Ethernet Protocol에 맞추어 설계되어 high speed switch 및 data transceiver 에 널리 이용될 수 있을 것이다.

References

- [1] IEEE Std 802.3, 1998 Edition.
- [2] Behzad Razavi, *Monolithic Phase-Locked Loops and Clock Recovery Circuits, Theory and Design*, IEEE Press, 1996.
- [3] Bang-sup Song, et al., "NRZ Timing Recovery Technique for Band-Limited Channels," JSSC, vol. 32, no.4, pp.514-520, April. 1997.
- [4] German Guitierrez, et al., "2.488Gb/s Silicon Bipolar Clock and Data Recovery IC for SONET(OC-48)," CICC, pp.575-578, 1998.
- [5] Mounir Meghelli, et al., "SiGe BiCMOS 3.3V Clock and Data Recovery Circuits for 10Gb/s Serial Transmission Systems," ISSCC, pp.56-57, 2000.
- [6] Kamran Iravani, et al., "Clock and Data Recovery for 1.25Gb/s Ethernet Transceiver in 0.35 μ m CMOS," CICC, pp.515-518, 1998.
- [7] John P. Uyemura, *Circuit Design for CMOS VLSI*, Kluwer Academic Publishers, 1993.