

## A 1.5Gbps CMOS Clock and Data Recovery Circuits with Improved Data Jitter Tolerance

이 승 우, 정 태 식\*, 최 우 영

연세대학교 전기·전자공학과

\*한국전자통신연구원 고속 스위치팀

### Abstract

This paper describes a new clock and data recovery circuitry for Gbps data communications. This circuitry is composed of PLL, reset generator block, clock phase control block, and clock generator block. The data recovery circuits are simulated using 0.35 $\mu$ m CMOS process parameters and 0.4UIpp of the data jitter tolerance is obtained at 1.5Gbps with 2<sup>7</sup>-1 PRBS.

### 1. 서론

최근 들어 고속의 데이터 전송 시스템의 수요가 날이 증가하고 있는 추세이다. 이에 관련된 응용 분야로는 Gigabit Ethernet, ATM, Fiber Channel 등을 들 수 있다. 위와 같은 응용 분야에서는 Gbps 영역의 데이터 전송률을 필요로 하고, 정해진 BER 사양을 만족하여야 한다. 이를 위해서는 안정된 클럭을 제공하여야 할 뿐만 아니라, 전송된 데이터를 오류 없이 복원할 수 있는 기능을 가진 데이터 복원 회로의 설계가 필수적이다. 데이터 복원에 관한 연구는 PLL 또는 DLL을 이용한 방법, gated oscillator를 이용한 방법, multi-phase 클럭을 이용한 방법 등의 다양한 방법이 제시되었다.[1-3] 본 논문에서는 데이터의 위상과 동기된 클럭을 제공하여 데이터의 0.4UIpp (peak-to-peak)에 해당하는 지터를 흡수할 수 있는 새로운 구조의 데이터 복원 회로를 제안한다. 본 회로는 0.35 $\mu$ m CMOS 공정을 이용하여 성능을 검증하였다.

### 2. 새로운 구조의 클럭 복원 회로 동작과 특징

그림 1은 본 논문에서 제안한 클럭 복원 회로의 전체 블록도이다. 먼저, 시스템 기준 클럭(reference clock)을 합성하여 안정된 클럭을 제공하는 PLL 블록과 입력 데이터의 위상에 반주기 차이만큼 동기된 클럭을 이용하여 입력 데이터를 리타이밍(retiming)하는 데이터 복원 블록(Data Recovery Block)으로 구성된다. 본 회로는 두 가지의 특징을 갖는다. 먼저, 데이터의 위상과 동기된 클럭을 이용하여 데이터를 리타이밍하는 방식을 이용하였다. 이에 대한 동작 설명은 그림 2에 나타내었다. 또한, 느린 4단의 링 오실레이터 형태를 지닌 CG 블록(Clock Generator Block)을 이용하여 각 단에서 45° 위상 차이를 갖는 클럭을 제공하고, 이를 이용하여 1.5Gbps의 직렬 데이터를 8개의 187.5Mbps의 병렬 데이터로 변환시킬 수 있다. 그림 2는 이러한 데이터에 지터가 생겨 위상이 변하여도 동일하게 클럭의 위상이 바뀌는 과정을 설명한 것이다. 그림 2(a)는 데이터의 지터가 없는 경우를 나타낸 것이다. 만약, 클럭이

데이터의 위상에 동기되지 못한 상태에서 계속적으로 데이터의 지터가 누적되게 될 경우, 클럭의 위상과 데이터의 위상이 차이가 생겨 데이터를 정상적으로 복원할 수 없게 되고, BER을 저하시키는 결과를 낳는다. 이러한 문제점을 해결하기 위해 그림 2(b), (c)와 같이 각각 입력 데이터의 위상이 흔들림에 따라 클럭 신호의 위상을 데이터의 천이에 따라 지속적으로 동기시키도록 하였다. 그림 3은 그림 1에 나타난 데이터 복원 블록 중 RG(Reset Generator) 블록, PC(Phase Control) 블록과 CG(Clock Generator) 블록의 내부 구성도를 나타낸다. 먼저, 입력 데이터가 들어올 경우, RG 블록에서 클럭의 반주기의 펄스 폭을 갖는 reset control 신호를 만들어낸다. PC 블록은 이 신호를 이전 클럭인 clk[n-1]과 현재 클럭인 clk[n] 동안에 CG 블록으로 전달하는 역할을 수행한다. CG 블록은 4단의 링 오실레이터 형태를 지닌다. 그림 3의 CG 블록은 4단 중 한 단만을 나타낸 것이며, phase control 신호를 각 단의 두 개의 mux에 인가시켜서 데이터의 천이에 따라 현재의 클럭 위상을 그림 2와 같이 변화시키도록 하는 역할을 수행한다. 이러한 과정을 통해 직렬의 입력 데이터는 4단에서 나온 차동 신호 8개의 클럭을 이용하여 데이터에 반주기 동기된 8개의 병렬 데이터로 복원된다. PLL의 경우, 데이터 복원 회로 부분에서 사용한 CG 블록을 이용하여 VCO를 구성하였다. 기준 클럭은 23.43MHz를 이용하였고, 분주 수는 8이다. 이는 PLL내의 VCO 출력이 약 187.5MHz에서 동작하지만, 각 단의 클럭 출력을 사용하기 때문에 실제로 사용하는 클럭은 1.5GHz와 동일하다.

### 3. 시뮬레이션 결과 및 토의

본 회로는 0.35 $\mu$ m CMOS 공정 파라미터를 이용하여 레이어아웃 후 SPICE 시뮬레이션을 수행하였다. 그림 4는 입력 데이터의 지터를 0.4UIpp를 가하였을 경우에 대한 결과 파형이다. 입력으로 1.5Gbps의 NRZ 직렬 데이터를 인가하여 출력으로 얻은 8개의 병렬 데이터의 출력 파형을 보여준 것이다. 그림에서 보면 알 수 있듯이 0.4UIpp의 지터를 갖는 입력 데이터를 가할 경우에도 오류 없이 데이터를 복원할 수 있음을 확인할 수 있다. 입력 데이터는 2<sup>7</sup>-1 비트의 NRZ PRBS 데이터를 입력으로 가하였다. 그림 5는 각각 입력 데이터의 지터가 없는 경우와 0.4UIpp의 값을 갖는 경우의 입력 데이터의 eye 다이어그램을 보여준다. Post-layout 시뮬레이션 결과, VCO 이득은 약 28MHz/V 이고, 제어전압이 0.8~2.2V의 값을 가질 때 VCO의 출력은 168.5~207.7MHz의 값을 갖는다. 이는 클럭사이의 위상 차이를 고려할 때 약 1.35~1.66GHz의 값을 의미한다. 그

림 6은 설계한 회로의 레이아웃을 나타낸다. 레이아웃의 전체 면적은 약 2.3x2.3mm<sup>2</sup>이다.

본 논문에서 제안한 새로운 구조의 1.5Gbps 급 데이터 복원 회로는 느린 클록을 제공하는 PLL을 이용하여 고속의 데이터 전송이 가능하고, 직렬 데이터를 병렬 데이터로 변환시킬 수 있다. Post layout 시뮬레이션 결과, 최대 0.4UIpp의 입력 데이터 지터를 흡수할 수 있으며, 이는 Gigabit Ethernet, ATM, Fiber Channel등에서 데이터 복원을 위한 유닛으로 충분히 사용할 수 있다고 생각된다. 제안된 회로는 현재 제작 중이므로 측정결과는 추후 발표할 예정이다.

참고 문헌

1. A. E. Dunlop, et al., ISSCC'95, WP 2.7, pp. 44-45, 1995.
2. K. H. Lee, et al., IEEE JSSC, 30(4), pp. 353-364, 1995.
3. N. Yamaoka, et al., CICC'97, 4.2.1, pp. 45-48, 1997.

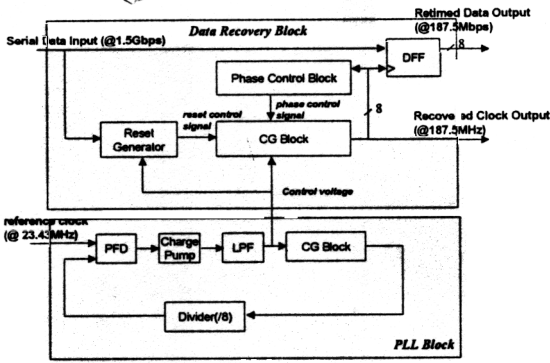


그림 2 제안한 클록 및 데이터 복원 회로의 구성도

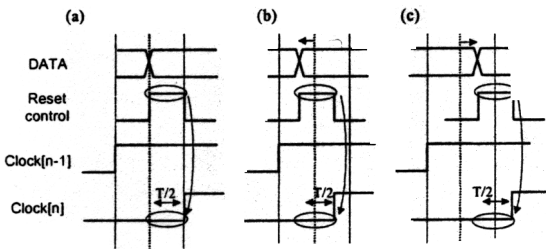


그림 2. 데이터 위상 변화에 따른 클록 위상 변화를 나타내는 타이밍도 : (a) 데이터 위상 변화가 없을 경우 (b) 데이터 위상이 앞설 경우 (c) 데이터 위상이 뒤질 경우

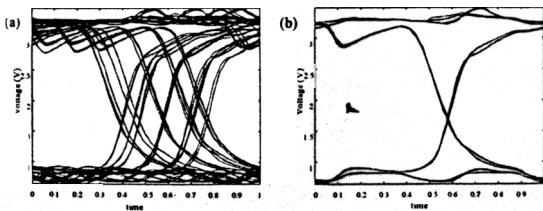


그림 5. 입력 데이터의 eye 다이어그램 (a) 지터가 0.4UIpp 일 경우, (b) 지터가 없을 경우

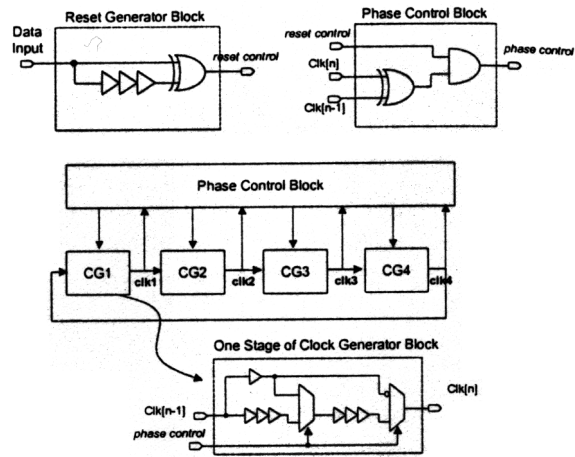


그림 3. Reset Generator 블록, Phase Control 블록, Clock Generator 블록 내부 구성도

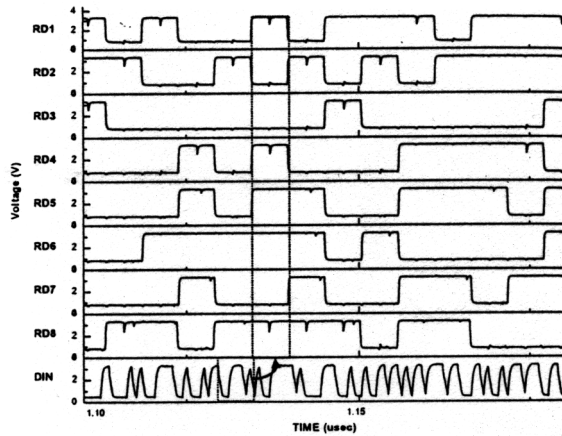


그림 4. 입력 데이터의 지터가 0.4UIpp일 경우의 입력 데이터와 복원된 8개의 병렬 데이터의 시뮬레이션 결과 파형

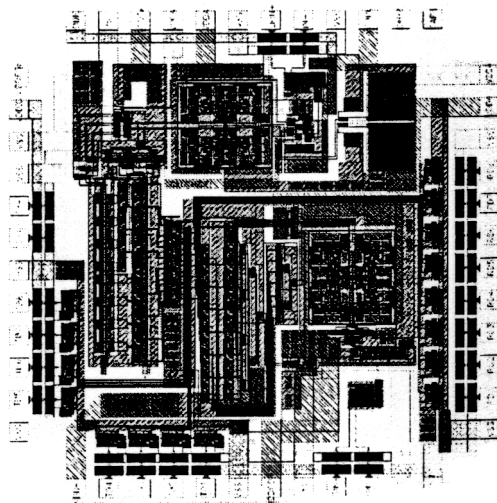


그림 6. 회로의 레이아웃