

빠른 locking 특성을 갖는 622Mbps 버스트모드 클럭/데이터 복원회로

김유근, 이천오, *이승우, **류현석, **채현수, 최우영
 연세대학교 전기전자공학과
 *하이닉스, **삼성종합기술원
 Tel : 02-2123-2874 Fax : 02-312-4584
 Email : jdai@yonsei.ac.kr

요약

새로운 구조의 622Mbps급 버스트 모드 클럭/데이터 복원 회로를 제안하였다. 제안된 회로는 CDR (Clock and Data Recovery) 블록과 PLL (Phase Locked Loop) 블록으로 나뉘며, 빠른 acquisition time (1bit 이내)을 갖는다. CDR 블록은 클럭이 입력 데이터에 연동되어, 지터가 내재된 입력 데이터에도 항상 최적의 샘플링 시점을 갖도록 설계되었다. 제안된 회로는 0.35 μ m CMOS 공정을 이용하여 제작되었으며, 칩의 성능은 측정을 통해 검증되었다. PLL은 CDR 블록에서 double-edged DFF 이 사용되므로 half rate 클럭으로 동작한다. 측정 결과 PLL의 locking 범위는 200MHz - 400MHz로 나타났으며, 622Mbps 버스트 모드 입력 데이터를 손실 없이 복원하는 것을 확인하였다.

따라서 본 논문에서는 빠른 acquisition 시간 (1bit 이내)을 갖는 새로운 구조의 622Mbps급 버스트모드 클럭/데이터 복원 회로를 제안하고, 이를 구현하였다[4]. 이 회로에서는 입력과 입력을 지연시킨 신호를 XOR하여 만든 펄스를 제어신호로 하여 입력 데이터에서 클럭과 데이터를 복원한다. 이를 이용하여 빠른 acquisition time (1bit 이내)을 갖고, jitter를 내재한 입력에도 항상 데이터의 중앙에 클럭이 정렬되도록 하여 최적의 샘플링 시점에서 데이터를 복원하게 된다. 제안한 구조에 대한 검증을 위하여 MOSIS TSMC 0.35 μ m CMOS공정을 이용하여 구현하고, 측정을 통해 제작된 칩의 동작을 확인하였다.

2. 클럭/데이터 복원회로의 구성과 동작원리

1. 서론

일반적인 continuous mode 통신 시스템의 수신단에서는 입력 데이터의 지터를 최소화 하도록 PLL을 이용한 클럭/데이터 복원회로를 많이 사용한다[1]. 하지만 버스트 모드 수신단에서는 입력 데이터의 주파수가 system clock과 독립되어 있고, 데이터가 언제 들어올 지 알 수가 없다. 이러한 상황에서 입력 데이터를 decision error 없이 정확하게 복원하기 위해서는 입력 데이터의 phase, frequency에 맞는 clock으로 decision하는 것이 가장 좋다. 일반적인 통신 시스템에서 PLL을 이용하여 clock을 extraction하지만, 버스트모드 수신단에서 요구하는 빠른 acquisition 시간을 얻기는 매우 힘들다[2-3].

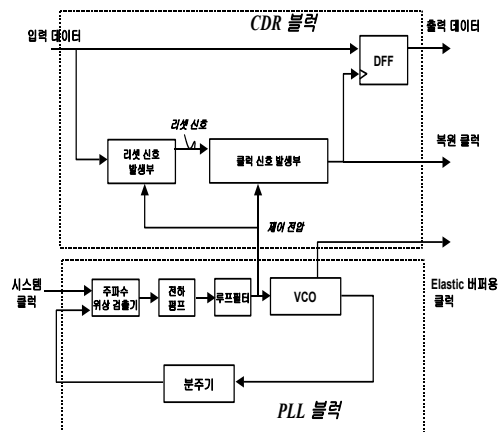


그림 1. 전체 블록도

제안된 회로의 전체 블럭도는 그림 1과 같이 입력 데이터를 받아 데이터와 클럭을 복원하는 데이터 복원부와 시스템 클럭을 제공하는 위상 동기 회로 (Phase Locked Loop)로 구성되어 있다. 데이터 복원부는 리셋 신호 발생부, 클럭 신호 발생부와 double-edged DFF으로 구성되어 있다. 위상 동기 회로는 주파수/위상 검출기와 전하 펌프, 루프필터, 분주기와 VCO (Voltage Controlled Oscillator)로 구성되어 있는데, 이 전압 제어 발진기는 데이터 복원부에 사용한 것과 같은 구조이다. 이에 대해서는 3장에서 자세히 다루고 있다.

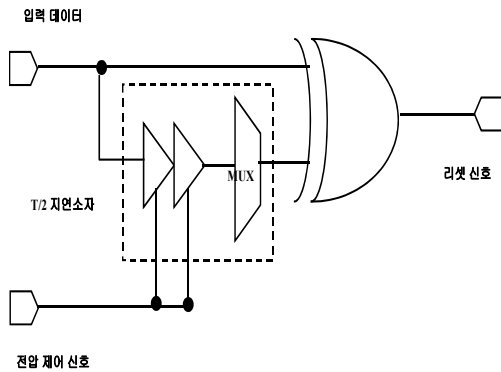


그림 2. 리셋 신호 발생부

그림 1에서 PLL은 시스템 클럭을 체배하여 데이터 복원부에 제어 전압을 제공한다. 이 때 VCO는 데이터 복원부의 클럭 신호 발생부와 같은 구조를 사용하여 같은 제어 전압에 동작하도록 한다.

데이터 복원부에서 리셋 신호 발생부는 그림 2와 같이 입력 신호 데이터 비트율 (bit rate)의 반주기($T/2$)만큼 지연시키는 지연소자와 XOR로 구성되어 있다. 반주기 지연 소자는 뒤에서 설명할 클럭 신호 발생부의 일부를 사용해서 지연소자들이 같은 전압으로 제어되어 주파수에 상관없이 반주기가 되도록 하였다. 리셋 신호 발생부에서는 입력 데이터와 이 입력 데이터 비트율의 반주기만큼 지연시킨 신호와 XOR를 취하여 리셋 신호를 발생시킨다. 이렇게 함으로써 데이터의 천이가 있을 때마다 입력 데이터

비트율의 반주기 만큼의 폭을 가진 펄스를 생성시킬 수 있다.

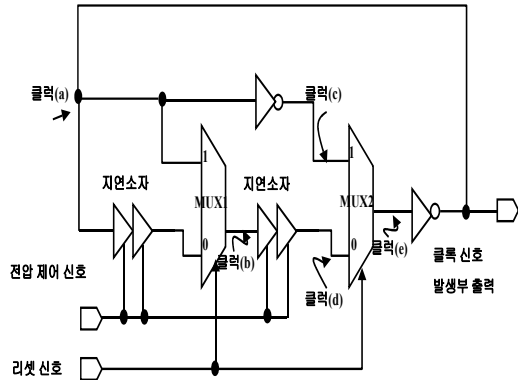


그림 3. 클럭 신호 발생부

그림 3은 클럭 신호 발생부를 나타낸 것이다. 클럭 신호 발생부는 PLL의 전압 제어 신호에 의해 제어되는 지연소자와 리셋 신호 발생부에서 생성되는 리셋 신호로 제어되는 MUX와 반전기(inverter)로 구성되어 있다. 만약 리셋 신호가 로직 '0'이라면 클럭 신호 발생부는 일반적인 링구조의 VCO로 동작하게 된다. 리셋 신호가 로직 '1'이라면 그림 3에서 MUX1은 클럭(a)를 선택하게 되고, MUX2는 클럭(a)의 반전 신호인 클럭(c)를 선택한다. 그리고, 리셋 신호가 반주기($T/2$) 후에 다시 1에서 0으로 바뀌면, 두 MUX의 선택 신호도 바뀐다. 이 때, MUX1은 다시 클럭(a)의 지연된 신호를 입력으로 갖고, MUX2는 클럭(b)의 반주기 지연된 신호인 클럭(d)를 선택하게 된다. 따라서, 리셋 신호가 0에서 1로 바뀐 후 $T/2$ 동안 클럭(e)는 현상태의 값을 유지하다가, 리셋 신호가 1에서 0으로 바뀌는 시점에서 클럭(a)의 신호 값(리셋 신호가 0에서 1로 바뀐 시점의 값)이 클럭(e)에 도달한다. 그림 4는 동작 설명을 위한 타이밍도이다. 이 타이밍도에서는 게이트 소자의 지연 시간은 고려하지 않았다. 그림에서와 같이 입력 데이터가 0에서 1로 바뀔 때, 입력 데이터의 반주기의 리셋 신호가 리셋 신호 발생부에서 생성된다. 이로 인하여 앞에서 언급했듯

이 클럭(b)가 리셋 신호에 따라 0에서 1로 바뀌고, 클럭(c)는 클럭(a)의 반전이므로 그림 4와 같이 타이밍도를 나타낼 수 있다. 또한, 클럭(d)는 클럭(b)의 반주기 후의 클럭이고, 클럭(e)는 클럭 (a)가 반전된 형태로 나타나게 된다. 따라서 리셋 신호에 의해 입력 데이터의 반주기 (입력 데이터의 중앙)에 클럭이 정렬된다.

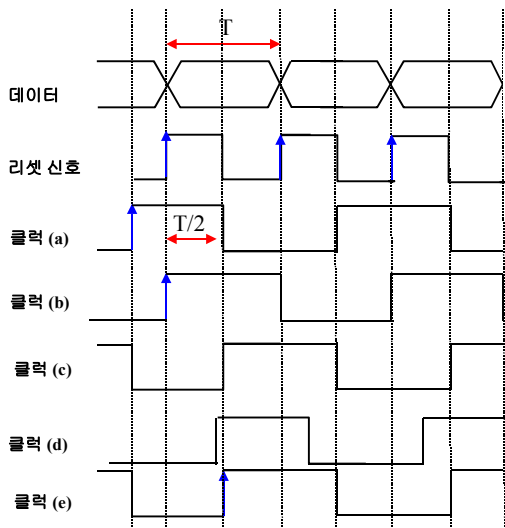


그림 4. 동작 설명을 위한 타이밍도

즉, 입력 데이터에 jitter나 그 외의 요인으로 인하여 timing error가 발생하여도, 데이터의 천이에 리셋신호가 발생하여 정확히 데이터의 중앙에서 클럭을 정렬할 수 있다.

3. 클럭/데이터 복원회로의 설계

1) 리셋신호 발생부의 설계

그림 2에서의 리셋 신호 발생부는 데이터 rate의 반주기에 해당하는 리셋 신호를 생성하는 회로이다. 데이터 주기의 반 주기를 만들기 위해 XOR를 이용한다. XOR의 한 입력에 데이터 입력을 연결하고, 다른 입력에 데이터 입력을 반 주기 지연시킨 신호를 연결한다. 이 때, 사용하는 지연 회로는 클럭신호 발생부내의 일부로 구성된다.

2) 클럭신호 발생부의 설계

클럭신호 발생부는 그림 3과 같이 지연 소자로 사용되는 차동 인버터들과 2개의 MUX와 1개의 차동 인버터로 구성된다. 본 논문에서는 일반적인 형태의 차동 인버터만을 사용한 링 오실레이터가 아닌 MUX를 첨가한 새로운 구조의 링 오실레이터를 사용하였다. 지연소자로 사용된 차동 인버터는 각각이 2단으로, 총 4단의 차동 인버터와 2개의 MUX로 링 오실레이터를 구성하였다. Oscillation 주파수 범위는 200MHz-400MHz로 설계하였다. MUX의 select 신호가 로직 '0' 일 때에는 클럭신호 발생부는 일반적인 링 오실레이터 형태를 이룬다. 이 클럭신호 발생부와 같은 구조를 PLL의 VCO로 사용함으로써 클럭신호 발생부와 PLL이 같은 주파수에서 동작하도록 하였다. 그러기 위하여 PLL의 VCO로 사용된 클럭신호 발생부의 MUX입력에는 로직 0을 인가한다. 그리고 리셋신호 발생부에서 반주기 지연은 클럭신호 발생부의 일부인 MUX 1개와 2개의 인버터를 사용하여 얻을 수 있다. 이렇게 함으로써 클럭신호 발생부의 지연소자로 사용되는 차동인버터, PLL의 VCO의 차동인버터, 리셋신호부의 반주기 지연소자의 차동 인버터는 동일한 컨트롤 전압으로 제어가 됨으로써, 공정의 변화 등에도 동일하게 적용받아 보다 안정적인 동작을 할 수 있도록 하였다.

3) PLL의 설계

PLL는 외부에서 시스템 클럭을 제공받는 일반적인 구조를 사용하였다. 사용된 PLL는 PFD, 전하 펌프, VCO, 분주기 등으로 구성된다. PFD는 두 신호의 위상 차이를 비교하여 이 차이만큼의 전압을 발생시키는 역할을 한다. 이 전압 차이는 전하 펌프에 의해 전류량으로 변환되며, 루프 필터는 위상 차이를 누적하게 된다. 이는 제어 전압을 통해 VCO에 전달되며, VCO의 클럭 주파수를 조절하게 된다. 본 논문에서 사용한 PLL의 특징은 VCO가 CDR 블록의 클럭

발생부와 동일하다는 것이다. 이는 PLL의 동기된 주파수 정보를 CDR모듈에 전달하기 위해 제어전압 신호를 사용하여 동일한 주파수에서 CDR 모듈과 PLL이 동작하도록 하기 위해서이다. 또한 CDR블럭에서 double-edged DFF를 사용하여 half rate 클럭으로 PLL이 동작되도록 하였다. 분주는 8분주를 하여 VCO출력 주파수의 1/8에 해당하는 시스템 클럭을 인가하도록 하였다. PLL의 동기범위는 200MHz - 400MHz가 되도록 설계하였다.

본 논문에서는 2차 루프 필터를 이용하여 3차의 PLL을 구성하였다. 2차 루프 필터를 구성한 결과, 저항 및 캐패시터들의 값은 각각 1.2k과 200pF 및 20pF을 사용하였다. VCO의 이득은 100MHz/V이고, 전하 펌프의 전류는 300uA이다.

4) 전체 블록의 설계

앞서 언급한 블록들과 DFF, elastic buffer용 클럭 발생부를 합쳐 전체 블록을 완성하게 된다. 클럭 발생부에서 생성된 클럭은 데이터 주파수의 1/2이므로 DFF으로 데이터를 샘플링할 때는 double-edged DFF을 사용한다. 일반적으로, fast lock 특성이 있는 CDR은 빠른 동기 과정에서 생기는 jitter 잡음을 제거하기 위한 elastic buffer가 필요하다. Elastic buffer는 입력 지터를 제거하기 위하여 지터가 없는 클럭으로 다시 retiming 시켜준다. 따라서 입력으로 복원된 클럭과 이에 정렬되어 있는 데이터, 그리고 지터가 없는 클럭이 사용되고 출력으로 데이터와 지터가 없는 클럭이 복원되는 것이다. 그러나 본 연구에서는 이러한 elastic buffer는 구현되지 않았고, elastic buffer 블럭을 추가했을 때 필요한 지터가 없는 클럭을 생성하는 블럭만을 추가 하였다. 이를 수행하기 위하여 PLL의 4단 VCO에서 90° 차이의 위상을 가진 2개의 클럭을 XOR하여 지터가 없는 클럭을 생성한다. 일반적인 시스템에서는 622Mbps에 데이터에 대해 622MHz의 클럭이 복원된다. 그러나 본 회로의 구조상 622Mbps

의 데이터 rate에 311MHz의 클럭이 복원된다. 이러한 문제는 앞서 언급한 elastic buffer와 elastic buffer용 클럭 발생부를 사용함으로써 해결할 수 있다.

4. 측정 결과

제안한 회로를 검증하기 위하여 MOSIS TSMC 0.35um CMOS공정을 이용하여 제작된 칩으로 측정하였다. 측정은 크게 PLL과 PLL을 포함한 전체 회로로 나누어 측정하였다.

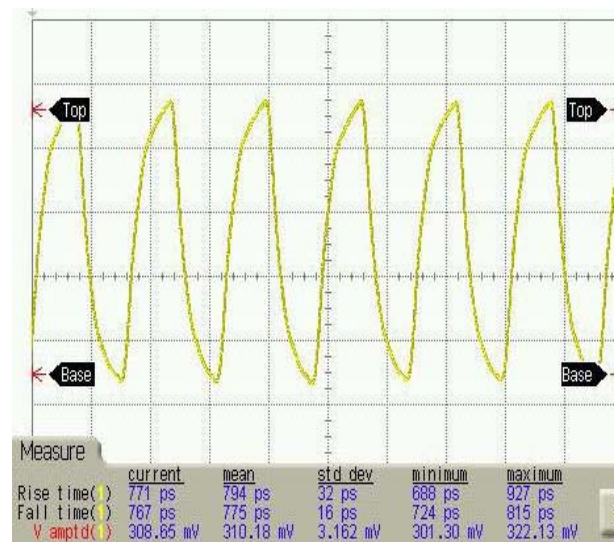


그림 5. PLL의 VCO 출력 파형

그림 5는 PLL의 주파수가 311MHz일때의 출력 파형이다. 측정된 PLL의 locking 범위는 200MHz - 400MHz로 나타났으며 이는 시뮬레이션 결과와 매우 유사한 결과이다.

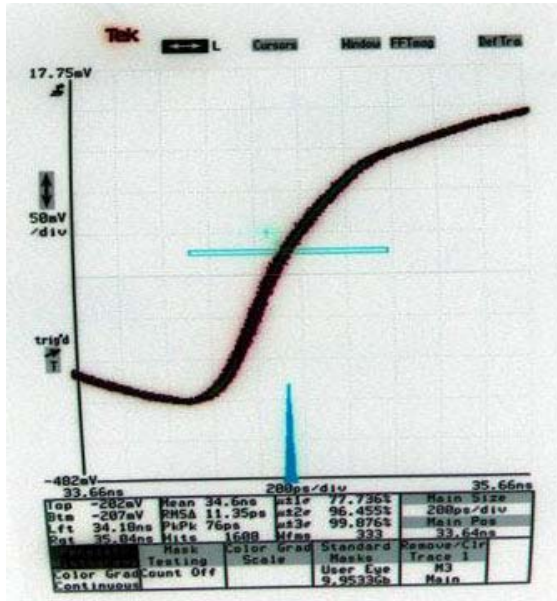


그림 6. PLL의 지터 특성

그림6은 300MHz 에서의 출력의 지터 측정 그림이다. RMS 지터가 11.35ps, 최대 (peak-peak) 지터가 76ps로 나타났다. 최소 주파수인 200MHz에서는 RMS 지터와 최대 지터가 15.5ps, 96ps 로 나타났으며 최대 주파수인 400MHz에서는 각각이 11.7ps, 84ps로 나타났다. 회로를 실험하기 위하여 Anritsu MP1632A/C 3.2G BERT 를 이용하여 버스트모드 입력 데이터를 만들어 측정하였다. 버스트 모드 입력의 생성을 위해 PRBS에 burst window를 씌워 이 데이터만을 뽑아 버스트 모드 입력 packet 데이터를 만들었다. 실험에서는 burst window의 크기를 50us, burst window의 간격을 30us로 하였다.

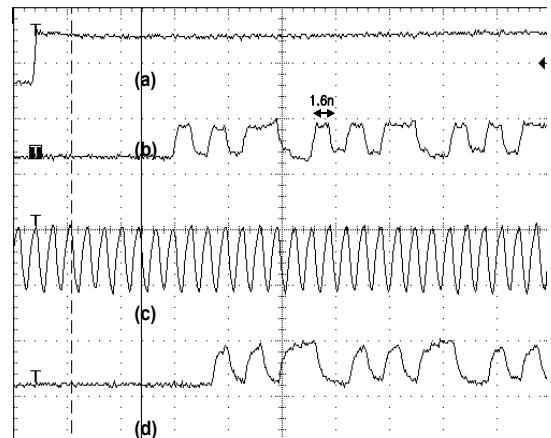


그림 7. (a) 버스트 윈도우
(b) 버스트 모드 입력 데이터
(c) elastic buffer용 클럭
(d) 복원 데이터

그림7은 버스트모드 윈도우와 622Mbps 입력 데이터, 복원 데이터와 elastic buffer에 사용될 클럭을 나타낸 그림이다. 데이터 패턴은 10101100 의 8bit를 반복하여 인가하였으며, 3.1n 지연 후에 정확히 복원됨을 알 수 있다. 이러한 지연은 입력버퍼와 출력버퍼 및 칩 내의 gate 지연시간에 의해 발생한 것이다. 측정결과 $2^{31}-1$ 의 PRBS 인가시 400Mbps-680Mbps 까지 error 없이 동작됨을 확인하였다. (c)의 elastic buffer에 사용될 클럭은 앞 절에서 언급했듯이 PLL의 VCO에서 합성한 클럭이다. 표 1은 제작된 칩의 사양을 나타낸 것이다.

표 1. 제작된 칩의 사양

전원	+3.3 V 단일 전원
PLL 동기 범위	200~400MHz
CDR 동작 범위	400~680Mbps
칩 면적	2.1×2.1mm ²
전력 소모	130mW (코어) 150mW (I/O)
제작 공정	0.35um CMOS 2Poly-4Metal

5. 결론

빠른 locking 특성을 갖는 622Mbps 버스트 모드 클럭/데이터 복원 회로를 MOSIS TSMC 0.35um CMOS공정을 이용하여 설계 제작하였다. 제작된 클럭/데이터 복원 회로는 622Mbps 버스트 모드 데이터를 1bit내에 복원하며, 지터를 내재한 입력에 연동될 수 있도록 클럭 발생부를 설계함으로써 데이터 중앙에 클럭을 정렬시킨다. 구조상 622Mbps에 대하여 311MHz의 클럭이 복원되므로 double-edged FF으로 데이터를 샘플링하도록 설계하였다. Elastic buffer에 필요한 안정적인 클럭을 만들기 위해 PLL의 VCO에서 90°위상차이의 두 클럭을 XOR을 이용하여 622Mbps에 대한 입력에 622MHz의 클럭을 만들어 내었다. 차후에 이를 이용하면 입력 지터를 제거한 보다 안정적인 데이터와 클럭을 얻을 수 있다. 제작된 버스트 모드 클럭 복원 회로는 ATM-PON이나 WDM-PON등에 이용될 수 있으며, 622Mbps는 ATM-PON의 하향 최대 데이터 rate이다.

참고문헌

- [1] Djahanshahi, H. and Salama, C, "Differential CMOS circuits for 622-MHz /933-MHz clock and data recovery applications," IEEE JSSCC, Vol. 35 (6),pp. 847 -855, June 2000.
- [2] T. Kajiwara, E. Maekawa, et al., "An optical receiver design for ATM-PON access system", 1996, Global Telecommunications Conference, Vol. 3, pp. 1613-1617
- [3] S.H. Ide, et al., "+3.3 V PON Receiver IC with a High-Speed ATC Circuit" 1997 EDMO, pp. 141-146
- [4] 이승우,최우영, 대한민국 특허, 출원번호: 10-2001- 0029972, 2001년

- [5] Yamaoka, N, et al., "A CMOS data and clock recovery macrocell for burst-mode/continuous-mode transmissions", 1997 CICC, pp. 45-48