

# A Low-Voltage and Wide-Range Phase-Locked Loop for Standard Mobile Imaging Architecture

이윤우<sup>1</sup>, 성장경<sup>2</sup>, 최우영<sup>2</sup>

<sup>1</sup> 연세대학교 전기전자공학과 & 삼성전자 SYSTEM LSI, <sup>2</sup> 연세대학교 전기전자공학과  
yunwoo.lee@samsung.com

**Abstract** – We present a low-voltage and wide-tuning-range phase-locked loop (PLL) designed in 0.18 $\mu$ m 3.3 V CMOS process. A four-stage voltage-controlled oscillator operating from 10-MHz to 1.38-GHz is designed using the DC-to-DC voltage up/down-converter. When input reference clock is 1-MHz, the locking range of the PLL covers from 50-MHz to 1.2-GHz, locking time is 30- $\mu$ s, and the maximum power dissipation is 13.5-mW at 3.3 V bias in 1.2-GHz operation conditions. Even in the PVT (Process, Voltage, Temperature) worst conditions, the locking range of the PLL covers from 325-MHz to 650-MHz, which is good enough to guarantee mass-production for standard mobile imaging architecture.

**Keywords:** Wide Range PLL, SMIA(Standard Mobile Imaging Architecture), Current mismatch, Cross-coupled delay cell.

## 1 서론

PLL(Phase-Locked Loop)은 일반적으로 마이크로프로세서나 통신 시스템에서 주파수 합성이나 CDR(Clock & Data Recovery), 직렬 데이터 링크 용도로 사용된다. 최근 Nokia 사와 STMicroelectronics 사는 포괄적인 휴대기기용 카메라 모듈 규격을 발표했다. SMIA (Standard Mobile Imaging Architecture)라고 불리는 이 규격은 영상정보를 휴대폰 본체로 연결하는 고속 인터페이스 등을 상세히 규정하고 있다. 그림 1. 에서 보는 바와 같이 CSI(Camera Serial Interface)의 송신단과 수신단간 인터페이스는 표준 데이터 전송과 제어로 구성된다. 데이터 전송 인터페이스는 데이터와 클럭, 스트로브를 갖는 단방향 차동 직렬 인터페이스(unidirectional differential serial interface)이며, 제어 인터페이스는 I2C 표준에 적합한 양방향 제어 인터페이스이다.

또한 데이터와 스트로브 신호를 생성하기 위한 클럭은 PLL 을 사용한 시스템 클럭에서 생성되게 된다. PLL 클럭은 직렬 인터페이스 1.0 메가픽셀(Megapixel) 해상도(VS6650, ST: 1152V x 864H)의 30fps 대역폭을 만족시키기 위해서는 390Mhz, 2.0 메가픽셀 해상도(UXGA: 1600 x 1200)의 30fps 대역폭을 만족시키기 위해서는 Blank 데이터를 포함할 경우 650Mhz 의 광대역 주파수 범위를 확보해야 한다. 사용

전압은 전력 소모를 줄이기 위해 2.4V ~ 2.8V 를 표준으로 사용하고 있어 저 전압 설계를 필요로 한다.

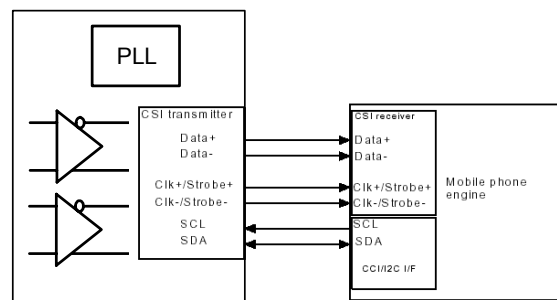


그림 1. 송신단과 수신단 간의 CSI 인터페이스.

## 2 PLL 구조

### 2.1 ARCHITECTURE

그림 2 는 적용된 광대역 PLL 의 Block diagram 이다. PFD 는 주파수 입력신호와 feedback 출력간 주파수와 위상 차이를 구분하여 디지털 업/다운 신호를 발생시키고, CP(Charge Pump)가 이를 전류로 바꾸어 준다. LF(Loop Filter)는 전류를 제어 전압으로 바꾸고, 고주파 노이즈를 제거한다. 또한 PLL 이 lock 이 될 경우 DC 전압을 안정되게 유지해 주며, DC 전압은 VCO 를 제어하여 주파수를 발생시킨다. 발생된 주파수는 D2S(differential-to-single-ended converter) Block 을 거쳐 2 분주 없이 최고의 동작 주파수를 출력 버퍼를 통하여 출력한다[5]. Main divider 의 분주 비율을 조절하여 50Mhz, 325Mhz, 659Mhz, 1.2Ghz 에서 동작을 검토할 수 있도록 네가지 setting 범위를 설정했다.

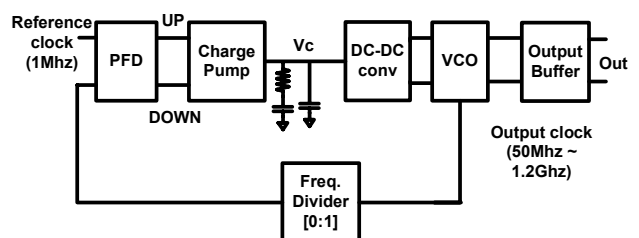


그림 2. 광대역 PLL 의 Block diagram

## 2.2 Charge Pump Mismatch 개선

CP의 출력 전류는 NMOS와 PMOS의 출력 전압 차이에 의해서 sinking/sourcing 시 전류 mismatch가 발생하게 되며, locking 범위와 jitter 특성을 저하시킨다. 따라서 전류 mismatch를 개선할 목적으로 그림 3. 과 같이 feedback amplifier를 추가하여 전류 mismatch를 0.5% 미만으로 개선하였다. 추가된 증폭기의 발진현상을 예방하기 위해 출력단에 30pF의 Capacitance를 추가했다. [3]

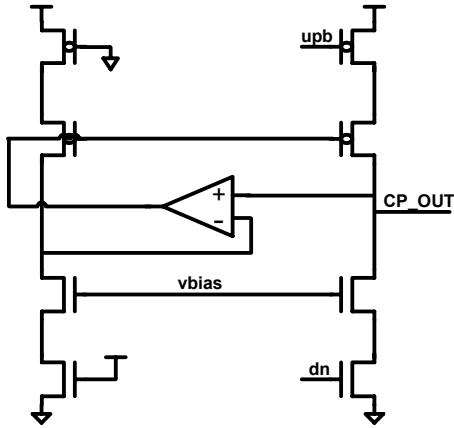
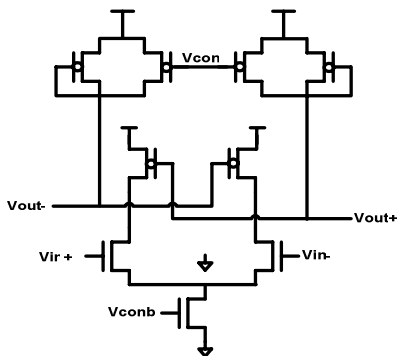


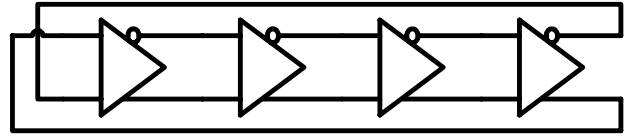
그림 3. Charge Pump 회로도

## 2.3 Voltage Controlled Oscillator 설계

Wide range VCO를 만족시키며 동시에 noise 특성을 개선하기 위해 그림 4. 와 같이 PMOS cross-coupled load를 사용하였다. Symmetric load를 사용하여 선형성을 향상시키고, cross-coupled delay cell을 적용하여 높은 dynamic PSRR 특성과 저주파수 영역을 확보하였다.[1] 또한, DC-DC 전압 업/다운 변환기를 사용하여 4단 Ring oscillator를 구동함으로써 제어 범위를 넓힐 수 있었다.[6]



(A) Delay cell



(B) 4 단 Ring VCO

그림 4. Delay cell 과 Ring VCO

## 2.4 D2S(differential-to-single-ended Converter) 설계

일반적으로 PLL은 50% duty를 맞추기 위해 VCO에서 2배의 주파수를 발생시키고 이를 2분주하여 사용한다. 이런 동작은 실제적으로 차동 신호(differential signal)일 경우 낭비 요소가 될 수 있다. PLL의 최대 동작 주파수가 1/2배 줄어들게 되며, 또한 입력 tracking jitter에 영향을 줄 수 있다. 그러나 그림 5와 같이 differential-to-single-ended converter를 사용할 경우 50% duty cycle을 갖는 single-ended 구조와 동일한 출력을 얻을 수 있다.[2]

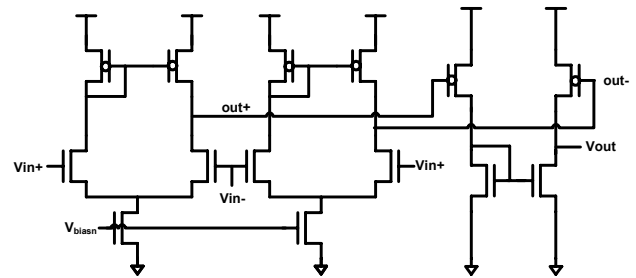


그림 5. Differential-to-single-ended converter

## 3 시뮬레이션 결과

광 대역 PLL 설계는 0.18 $\mu$ m CMOS 3.3V 공정 parameter를 적용했으며, 시뮬레이션은 HSPICE로 진행하였다. 시뮬레이션 결과 그림 6과 같이 charge pump의 전류 mismatch를 0.5% 미만으로 줄일 수 있었다. 그림 7,8,9는 VCC에 따른 제어 전압에 대한 출력 주파수를 나타냈으며, PVT worst 조건에서 3.3V의 경우 10Mhz~1.18Ghz, 2.8V의 경우 100Mhz~850Mhz, 2.4V의 경우 180Mhz~820Mhz의 동작 주파수를 확인했다.

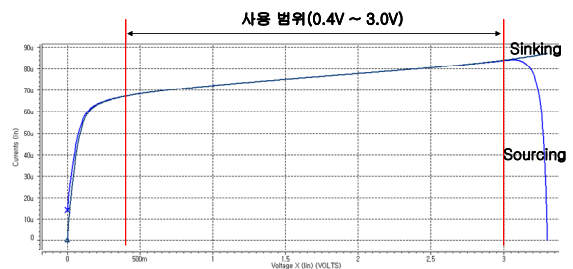


그림 6. CP Current mismatch 특성

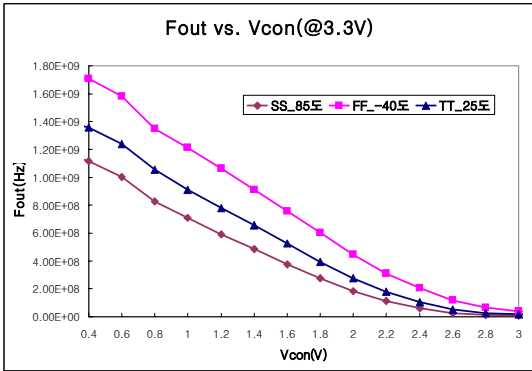


그림 7. VCO 특성(@3.3V)

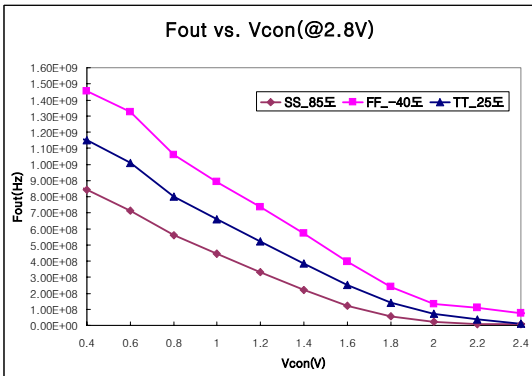


그림 8. VCO 특성(@2.8V)

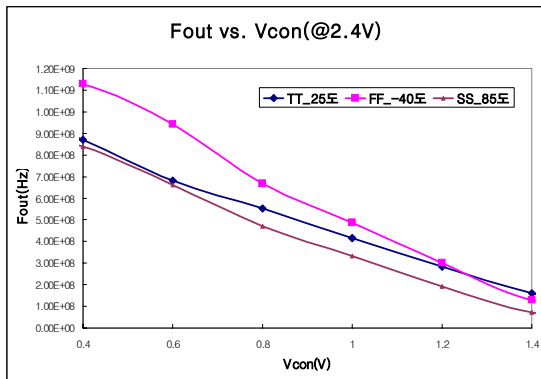


그림 9. VCO 특성(@2.4V)

또한 그림 10 은 입력 주파수 1Mhz 에 대한 1.024GHz 의 출력 주파수로 동작할 때 30μs 의 locking 시간이 필요함을 보여주고 있으며, 그림 11 은 1024 분주된 출력 주파수 1.024GHz, 그림 12 는 그림 11 을 확대하여 1.024GHz 주파수 특성을 나타내었다. 그림 13 에서는 설계된 PLL 의 layout 으로 크기는 273um x 355um (PAD 제외)이다.

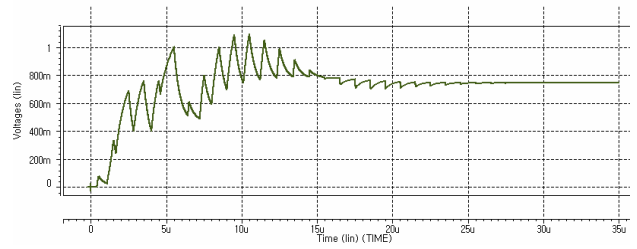


그림 10. VCO 제어 전압

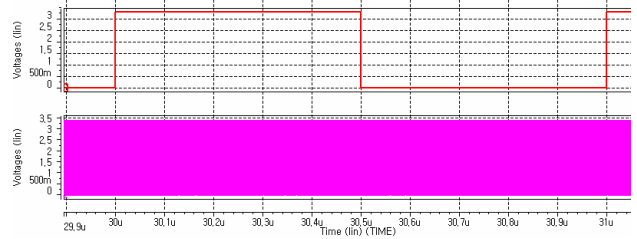


그림 11. 1024 분주된 1.024Ghz 주파수

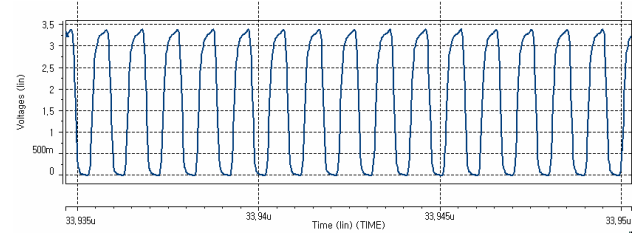


그림 12. 1.024Ghz 출력 주파수

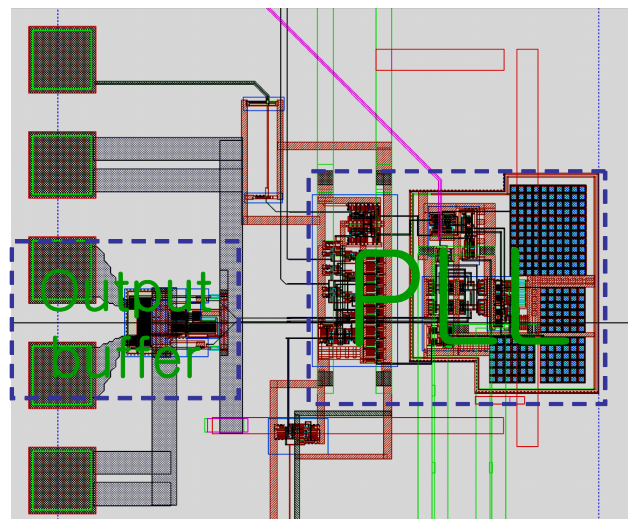


그림 13. Layout

## 4 결론

이 논문은 3.3V 저 전압 광 대역 PLL 설계에 대한 것으로 Worst 공정(SS 조건)에서도 10Mhz~1.38Ghz 의 동작 주파수를 갖는 4 단 VCO 를 설계했다. 입력 클럭 주파수가 1Mhz 인 경우, locking 범위는 50Mhz ~ 1.2Ghz 이며, locking 시간은 30 $\mu$ s, power 소모는 최대 15.38mW(@3.3V, 1.2GHz)이다. 이를 SMIA(Standard Mobile Imaging Architecture)에 적용 가능한 양산성 확보를 위해 PVT Worst(공정:SS, 전압:2.4V~3.3V, 온도:-40~85 도) 조건 에서도 locking 범위가 325Mhz ~ 650Mhz 를 만족할 수 있도록 했다. 표 1 에서는 설계된 PLL 의 특성을 요약했다.

<표 1> 광대역 PLL 특성 및 시뮬레이션 결과

|            |                |
|------------|----------------|
| 공정         | 0.18 CMOS 3.3V |
| 전압         | 2.4 ~ 3.3V     |
| 입력 주파수     | 1.0 ~ 30Mhz    |
| 출력 주파수     | 50 ~ 1.2Mhz    |
| Locking 시간 | < 30us         |
| Duty       | 49.99 ~ 50.01% |
| Power 소모   | 6.04 ~ 15.38mW |
| 온도 범위      | -45 도 ~ 85 도   |
| Corner     | NN/SS/FF       |

본 연구에 사용된 설계 tool 을 제공해준 IC Design Education Center (IDEC)에게 감사의 뜻을 표합니다

## References

- [1] Ei-Hage, M.; Fei Yuan “An overview of low-voltage VCO delay cells and a worst-case analysis of supply noise sensitivity “, Electrical and Computer Engineering, 2004. Canadian Conference on , Volume: 3 , 2-5 May 2004 Pages:1785 - 1788 Vol.3
- [2] Maneatis, J.G., “Low-jitter process-independent DLL and PLL based on self-biased techniques”, Solid-State Circuits, IEEE Journal of , Volume: 31 , Issue: 11, Nov.1996 Pages:1723 – 1732
- [3] Jae Shin Lee; Woo Kang Jin; Dong Myung Choi; Gun Sang Lee; Suki Kim; “A wide range PLL for 64X speed CD-ROM & 10X speed DVD-ROM ”, Consumer Electronics, 2000. ICCE. 2000 Digest of Technical Papers. International Conference on , 13-15 June 2000 Pages:98 – 99
- [4] Bautista, D.P.; Aranda, M.L.; “A low power and high speed CMOS Voltage-Controlled Ring Oscillator”, Circuits and Systems, 2004. ISCAS '04. Proceedings of the

2004 International Symposium on , Volume: 4 , 23-26 May 2004 Pages:IV - 752-5 Vol.4

[5] Kuo-Hsing Cheng; Ching-Wen Lai; Yu-Lung Lo; “A CMOS VCO for 1V, 1GHz PLL Applications”, Advanced System Integrated Circuits 2004. Proceedings of 2004 IEEE Asia-Pacific Conference on 4-5 Aug. 2004 Page(s):150 - 153

[6] Yeon Kug Moon; Kwang Sub Yoon; “A 3.3 V high speed CMOS PLL with a two-stage self-feedback ring oscillator”, J.G.; Solid-State Circuits, IEEE Journal of , Volume: 31 , Issue: 11, Nov.1996 Pages:1723 – 1732